

# UM SINTETIZADOR DE FREQUÊNCIAS DE 40 A 70 MHz COM RESOLUÇÃO DE 10Hz E APENAS DOIS 'LOOPS'

Por Luiz Amaral  
PY1LL/AC2BR

## INTRODUÇÃO

Para equipamentos de HF (de 1 a 30MHz), a utilização de oscilador local de 40 a 70MHz, com conseqüente primeira FI de 41MHz, é um modo bem aceito de se conseguir uma recepção praticamente livre de imagens. Muitas vezes características contraditórias no projeto são resolução fina de frequência, velocidade de sintonia, baixo ruído na saída, pureza espectral, baixo consumo e baixo preço.

A maioria dos projetos usa vários 'loops' para se conseguir resolução fina. Este artigo mostra um método para superar esta dificuldade, usando apenas dois 'loops'.

O presente artigo é uma versão mais moderna do meu artigo anterior apresentado na revista Ham Radio de dezembro de 1989, com características melhoradas devido à existência, atualmente, de componentes apropriados para as exigências eletrônicas.

## O ALGORITMO

Normalmente, a não ser que técnicas especiais sejam utilizadas, o passo mínimo de frequência, isto é, a resolução do sintetizador, é igual à frequência de referência do mesmo.

A Figura 1 mostra o diagrama em blocos de tal 'loop'.

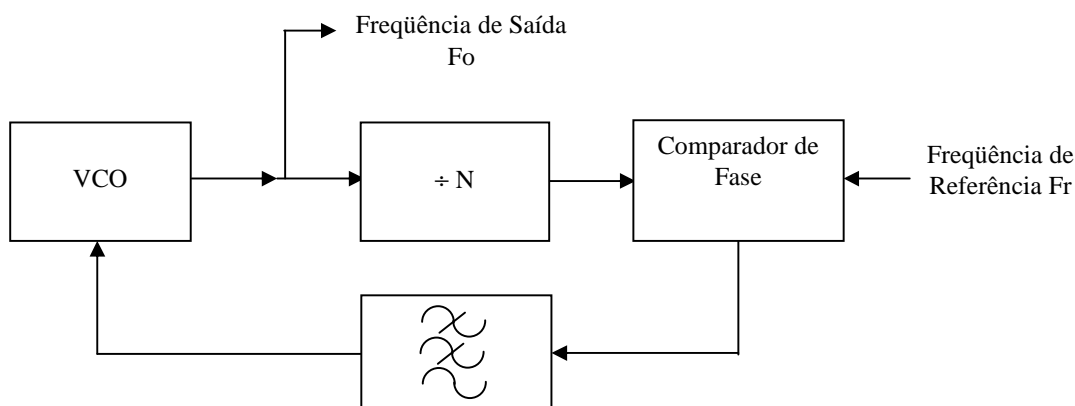


Figura 1

A frequência de saída **Fo** é dada por:

$$\mathbf{F_o = N \times F_r \quad (I)}$$

Como se vê em (I), mudando-se **N** para **N+1** ou **N-1**, **Fo** muda para cima ou para baixo de exatamente **Fr**, ou seja, **Fr** é a resolução nesse processo de síntese.

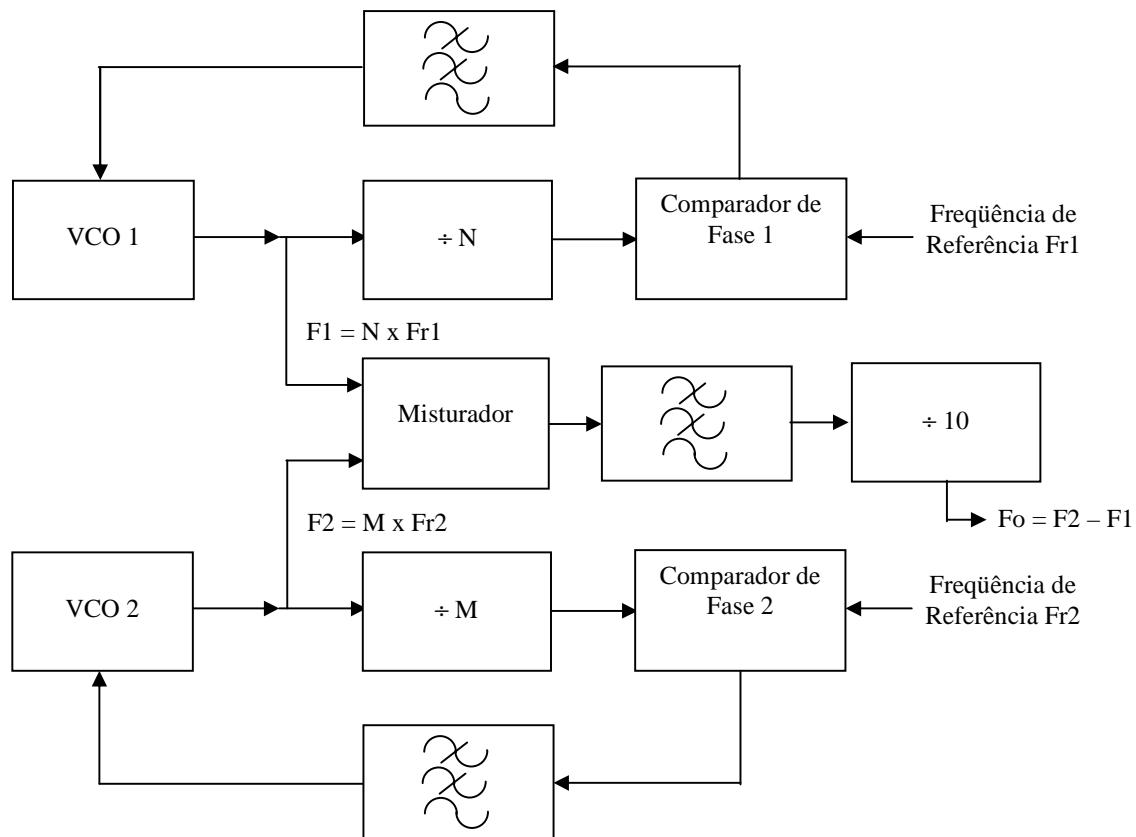


Figura 2

O diagrama em blocos do sistema com o novo algoritmo é apresentado na Figura 2. Para se conseguirem tempos de 'lock' curtos e baixo ruído na saída, é necessário que se use frequências de referência substancialmente altas. Se pusermos  $Fr1 = 99,9\text{kHz}$  e  $Fr2 = 100\text{kHz}$  na Figura 2, podemos reescrever a equação (I) como:

$$F_o = [(M \times 100 - N \times 99,9) / 10] \text{ kHz} = \{[100 \times M - (100 - 0,1) \times N]\} / 10 \text{ kHz}$$

$$F_o = \{[10 \times (M - N) + 0,01 \times N]\} \text{ kHz} \quad \text{(II)}$$

Pode-se verificar que, variando-se  $N$  de uma unidade,  $F_o$  varia de  $0,01\text{kHz}$ , ou seja,  $10\text{Hz}$ , apesar dos 'loops' terem suas frequências de referência da ordem de  $100\text{kHz}$ !

Para efetuar saltos de  $10$ ,  $100$  ou  $1.000\text{kHz}$ , muda-se somente o valor de  $M$ . Para saltos de  $10$ ,  $100$  ou  $1.000\text{Hz}$  (ou alguns de seus múltiplos), muda-se o valor de  $N$  e de  $M$  simultaneamente, mantendo-se o mesmo valor de  $M - N$ .

### Dedução das Equações do Projeto

Um dos problemas de se sintetizar com apenas um 'loop' de  $40$  a  $70\text{MHz}$  é o alcance relativamente alto:  $30\text{MHz}$  em um VCO de  $40\text{MHz}$ . Isto, entre outras coisas, implica num varactor de variação de capacidade de mais do que  $(70/40)^2$ , ou seja,  $C_{\text{max}}/C_{\text{min}} > 3,0625$ , lembrando-se que  $C_{\text{min}}$  e  $C_{\text{max}}$  levam em conta a capacitância distribuída no circuito, o que piora muito as coisas.

Uma das vantagens do presente método é que se pode utilizar VCO's na parte alta de VHF, por exemplo, fazendo-se a faixa de frequências um problema menor. Pode-se sugerir o VCO  $M$  operando de  $1.600$  a  $2.000\text{MHz}$  e o VCO  $N$  de  $1.200$  a  $1.300\text{MHz}$ , ambos simples 'loops'.

Vamos agora deduzir as equações de projeto para esse sistema. Devemos lembrar que a frequência de saída é um número de sete dígitos decimais, por exemplo, 47.936,42 kHz.

$$F_o = 10.000 \times B_6 + 1.000 \times B_5 + 100 \times B_4 + 10 \times B_3 + B_2 + 0,1 \times B_1 + 0,01 B_0 \quad (\text{em kHz})$$

Do mesmo modo:

$$N = N_0 + 10 \times N_1 + 100 \times N_2 + 1.000 \times N_3 = 10.000 \times N_4$$

$$M = M_0 + 10 \times M_1 + 100 \times M_2 + 1.000 \times M_3 + 10.000 \times M_4$$

Levando estas últimas três expressões na equação (II), tem-se:

$$10.000 \times B_6 + 1.000 \times B_5 + 100 \times B_4 + 10 \times B_3 + B_2 + 0,1 \times B_1 + 0,01 B_0 = 10 \times [M_0 - N_0 + 10 \times (M_1 - N_1) + 100 \times (M_2 - N_2) + 1.000 \times (M_3 - N_3) + 10.000 \times (M_4 - N_4)] + 0,01 \times (N_0 + 10 \times N_1 + 100 \times N_2 + 1.000 \times N_3 + 10.000 \times N_4)$$

Igualando os termos correspondentes, tem-se:

- a)  $M_4 - N_4 = 0$
- b)  $M_3 - N_3 = B_6$
- c)  $M_2 - N_2 = B_5$
- d)  $M_1 - N_1 + N_4 = B_4 \quad (\text{III})$
- e)  $M_0 - N_0 + N_3 = B_3$
- f)  $N_2 = B_2$
- g)  $N_1 = B_1$
- h)  $N_0 = B_0$

Como os  $B_i$  são números dados, temos oito equações com dez incógnitas para determinar os  $N_i$  e os  $M_i$ .

Isto nos dá dois graus de liberdade para escolher as faixas de  $F_1$  e  $F_2$ . Como temos de estabelecer valores para dois parâmetros, escolhemos  $N_4$  primeiro. Se este valor e também o de  $M_4$  for muito alto, poderemos ter problemas com os divisores que podem falhar e com ruído mais alto devido aos grandes fatores de divisão. Se, por outro lado,  $N_4$  e  $M_4$  forem muito pequenos, teremos problemas para cobrir toda a faixa dos VCO's.

Uma boa escolha é  $N_4 = 1$ .

A faixa de  $F_1$  ('loop' N) é da ordem de 100MHz porque, para cobrir 99,9kHz (o máximo passo coberto pelo 'loop' M sozinho) em passos de 100Hz (depois dividido por 10 na saída), temos 1.000 canais com 99,9kHz da frequência de referência, o que nos dá 100MHz. Portanto, a faixa de  $F_2$  ('loop' M) é de 100MHz + 300MHz (faixa da saída antes da divisão final por 10) = 400MHz.

O outro grau de liberdade nos permite fixar o valor de  $N_3$ . Escolhendo o valor 2 para ele (significa que com  $N_4 = 1$ , para 100 MHz de faixa, temos a faixa de  $F_1$  cobrindo de 1.200 a 1.300MHz e, portanto, a faixa de  $F_2$  cobre de 1.200 + 400 = 1.600MHz a 1.300 + 700 = 2.000MHz). Estas frequências são convenientes para os pre-scalers modernos do tipo 'two-modulus' e para as faixas de variação dos VCO's.

Reescrevendo as expressões de  $N$  e  $M$  usando as equações (III) e os valores  $N_4 = 1$  e  $N_3 = 2$ :

$$N = 10.000 \times N_4 + 1.000 \times N_3 + 100 \times N_2 + 10 \times N_1 + N_0 \quad \text{ou}$$

$$N = 12.000 + 100 \times B_2 + 10 \times B_1 + B_0 \quad (\text{IV})$$

$$M = 10.000 \times M_4 + 1.000 \times M_3 + 100 \times M_2 + 10 \times M_1 + M_0 = 10.000 + 1.000 \times (B_6 + 2) + 100 \times (B_5 + B_2) + 10 \times (B_4 - 1 + B_1) + B_3 - 2 + B_0 \quad \text{ou}$$

$$M = 11.988 + 1.000 \times B_6 + 100 \times (B_5 + B_2) + 10 \times (B_4 + B_1) + B_3 + B_0 \quad (\text{V})$$

Como a saída cobre de 40.000,00 a 69.999,99kHz, o valor de  $B_6$  pode ser 4, 5 ou 6.  $B_5$ ,  $B_4$ ,  $B_3$ ,  $B_2$ ,  $B_1$  e  $B_0$  podem ser de 0 a 9. Agora é possível se calcular a faixa exata de  $N$ ,  $M$ ,  $F_1$  e  $F_2$ :

a) **Nmin: B2 = B1 = B0 = 0**

Da equação (IV): **Nmin = 12.000** e **F1min = 99,9 x Nmin = 1.198.80,0kHz**

b) **Nmax: B2 = B1 = B0 = 9**

Da equação (IV): **Nmax = 12.999** e **F1max = 99,9 x Nmax = 1.298.600,1kHz**

c) **Mmin: B6 = 4; B5 = B4 = B3 = B2 = B1 = B0 = 0**

Da equação (V): **Mmin = 15.988** e **F2min = 100 x Mmin = 1.598.800kHz**

d) **Mmax: B6 = 6; B5 = B4 = B3 = B2 = B1 = B0 = 9**

Da equação (V): **Mmax = 19.986** e **F2max = 10 x Mmax = 1.998.600kHz**

Suponhamos que se queira sintetizar uma saída de 56.721,98kHz. Assim, **B6 = 5, B5 = 6, B4 = 7, B3 = 2, B2 = 1, B1 = 9 e B0 = 8.**

Usando as equações (IV) e (V):

$$N = 12.000 + (100 \times 1) + (10 \times 9) + 8 = 12.198$$

$$M = 11.988 + (1.000 \times 5) + [100 \times (6 + 1)] + [10 \times (7 + 9)] + (2 + 8) = 17.858$$

Assim **F1 = 99,9 x 12.198 = 1.218.580,2kHz** e **F2 = 100 x 17.858 = 1.785.800kHz**

Tudo funciona, pois **Fo = (F2 - F1) / 10 = 56.721,98kHz.**

O algoritmo mostrado nesse tipo de síntese é obviamente conveniente que seja implementado com microprocessador.

Na prática, os divisores **N** e **M** dos circuitos integrados PLL comerciais ainda não aceitam frequências tão altas diretamente, mas os PLL's podem utilizar os chamados 'two-modulus pré-scalers' que hoje em dia já apresentam possibilidade de operar até essa faixa de frequências.

Dessa forma, os valores de **N** e **M** têm de ser escritos na forma com que eles são usados nos sistema com tais 'pre-scalers'. Assim:

$$N = N_p \times P_n + A_n \text{ e } M = M_p \times P_m + A_m \quad (\text{VI})$$

Com **Np** e **Mp** os valores dos divisores 'N' dos PLL's, **Pn** e **Pm** os valores menores das divisões dos 'two-modulus pré-scalers' e **An** e **Am** os valores dos divisores 'A' dos PLL's.

Como a ordem de grandeza das frequências dos dois PLL's é a mesma, podemos escolher **Pn = Pm = P.**

Para uma frequência de 2 GHz, um valor conveniente de **P** seria 128, pois daria uma frequência à entrada do PLL compatível com a tecnologia atual.

Assim, usando-se a equação (II):

$$F_o = 10 \times P \times (M_p - N_p) + 10 \times (A_m - A_n) + 0,01 \times (P \times N_p + A_n) \text{ ou com } P = 128:$$

$$F_o = 1.280 \times (M_p - N_p) + 1,28 N_p + 10 \times A_m - 9,99 \times A_n \quad (\text{VII})$$

Pode-se escrever as expressões de **Mp**, **Np**, **Am** e **Na**, usando-se (VI), com os fatores de divisão iguais a **P**:

$$M_p = \text{int} (M / P)$$

$$A_m = M - M_p \times P \quad (\text{VIII})$$

$$N_p = \text{int} (N / P)$$

$$A_n = N - N_p \times P$$

Desta forma, as equações (IV), (V) e (VIII) devem ser usadas para a determinação, pelo microprocessador, dos valores dos fatores de divisão dos PLL's. É, agora, um mero problema de software.

## Conclusões

O presente artigo apresenta um método de se conseguir sintetizar frequências de 40 a 70 MHz com passos mínimos de 10 Hz, usando-se apenas dois 'loops'. O nível de ruído de fase do sinal de saída resulta bastante

baixo devido às relativamente altas frequências de comparação ( $\approx 100\text{kHz}$ ) e ainda com uma divisão final por 10 que diminui esse ruído por mais 20 dB. Claro que, para se obter o nível de ruído previsto, todas as boas técnicas de montagem, como linhas curtas, filtragens rigorosas dos sinais DC, técnicas de distribuição de terra, VCO's e filtros de RF bem blindados, isolamento dos VCO's de suas cargas, pre-sintonia dos VCO's, etc, devem ser utilizadas como em qualquer sintetizador de frequências.

Na verdade é mostrado muito mais um algoritmo do que um circuito. Este pode ser implementado com os componentes apropriados já existentes com a tecnologia atual.

É apresentado um exemplo de escolha das frequências dos dois 'loops' compatíveis com os componentes já encontrados no mercado. Claro que, com a evolução da tecnologia de componentes, é perfeitamente possível se adaptar o algoritmo a projetos de sintetizadores em maiores frequências, com resolução ainda mais fina, mantendo-se a simplicidade de dois 'loops' apenas.

### **Referências**

Amaral, L. C. M, PYILL and Mathias, C. A. C., A Two-Loop 10Hz step 40 – 70MHz Synthesizer, Ham Radio, Janeiro 1989.

As demais referências estão todas listadas na acima mostrada.