



Projekt Elektronik

Planung und Aufbau eines einfachen 100 MHz Spektrumanalysators

Abschlussbericht

Gruppe ELE31
Wintersemester 2003/2004

13. April 2004

Robert Elschner, 192561
André Grede, 192676
Martin Haller, 192386
Leszek Koschel, 202191
Marcus Rose, 200575
Steffen Schostan, 192378
François Xavier Tchiako, 169383

Betreuer: Stefan Seifert

0 Inhaltsverzeichnis

0	Inhaltsverzeichnis	2
1	Einleitung	4
2	Aufbau	5
2.1	Grundprinzip des Spektrumanalysators	5
2.2	Prinzip des Mischens	6
2.3	Frequenzen beim Mischvorgang	7
2.4	Aufbau/Blockschaltbild	8
3	Anforderungen	10
4	Projektplanung	12
4.1	Einteilung in Teilgruppen	13
4.2	Zeitplanung	13
5	Schnittstellen	15
5.1	Schnittstellentypen	15
5.2	Schnittstellen zwischen den Modulen	17
5.2.1	Schnittstellen des Frequenzvariablen Oszillators und Mischers	17
5.2.2	Schnittstellen des 1. ZF-Filters und des ZF-Verstärkers	17
5.2.3	Schnittstellen des 2. ZF-Moduls	18
5.2.4	Schnittstellen des Steuerungs- und Verarbeitungsmoduls	18
6	Die Module	19
6.1	Frequenzvariabler Oszillator und Mischer	20
6.1.1	Zielstellung	20
6.1.2	Blockschaltbild des VFO und des Mischers	21
6.1.3	Schaltungsentwurf und Realisierung	23
6.1.4	Der DDS (Direct Digital Synthesizer)	25
6.1.5	Die PLL (Phasenregelkreis)	26
6.1.6	Der VCO (Spannungsgesteuerter Oszillator)	27
6.1.7	Der Teiler	27
6.1.8	Das Schleifenfilter der PLL	28
6.1.9	Phasenrauschen (Phase Noise)	30
6.1.10	Verstärker und erster Mischer	33
6.1.11	Messergebnisse	36
6.1.12	Layout und Bestückungsplan	39
6.1.13	Fazit	41
6.2	Erstes ZF-Filter und ZF-Verstärker	42
6.2.1	Anforderung	42
6.2.2	Bauform	42
6.2.3	Entwurf	43
6.2.4	Modifikationen	46
6.2.5	Messung und Zusammenfassung	49

6.3	2. ZF-Modul und 10 MHz-Referenz	52
6.3.1	Zielstellung	52
6.3.2	Vorbetrachtung	53
6.3.3	Planung des Lokaloszillators	54
6.3.4	80-Mhz Quarzoszillator mit Frequenzverdoppler	54
6.3.5	Entwurf eines Lokaloszillators mit Hilfe einer PLL	56
6.3.6	Mischerbeschaltung	58
6.3.7	Auswahl der Zwischenfrequenz und des ZF-Filters	60
6.3.8	Leistungsumsetzung	61
6.3.9	Spannungsversorgung	62
6.3.10	Das Platinen-Layout	62
6.3.11	10 MHz-Referenzoszillator	63
6.4	Steuerungs- und Verarbeitungsmodul	66
6.4.1	Funktionsweise	66
6.4.2	Hardware	67
6.4.3	Software im Mikrokontroller (Firmware)	79
6.4.4	Software auf dem PC (LabVIEW)	90
7	Zusammenfassung	100
8	Literaturverzeichnis	101
A	Anhang	102
A.1	Bauteilliste des Frequenzvariablen Oszillators und des Mischers	102
A.2	Bauteilliste des ersten ZF-Filters und des ZF-Verstärkers	104
A.3	Bauteilliste des 2. ZF-Moduls und der 10 MHz-Referenz	105
A.4	Bauteilliste des Steuerungs- und Verarbeitungsmoduls	109
A.5	Abkürzungen und Übersetzungen	112

1 Einleitung

Das Projekt Elektronik dient als Projektlabor der Vertiefung und der Anwendung der Kenntnisse aus der Lehrveranstaltung „Analog- und Digitalelektronik“. Dabei stehen die selbständige Auswahl einer Problemstellung sowie die Erarbeitung der zugehörigen Lösung als Gruppe im Mittelpunkt. Projektmanagement, Bildung von spezialisierten Teilgruppen, Schnittstellenabsprachen sowie Präsentation des Projektes sind außerdem wesentliche Bestandteile.

Im vorliegenden Abschlussbericht stellt die Gruppe ELE31 ihr ausgewähltes Projekt „Planung und Aufbau eines einfachen 100 MHz-Spektrumanalysators“ vor. Dabei soll ein Einblick in die Arbeitsweise der Gruppe sowie die Funktionsweise der einzelnen Module des fertigen Projektes gegeben werden.

Um dem Leser die bei der Entwicklung auftretenden Probleme nahe zu bringen, enthält der Abschlussbericht neben allen zum Nachbau erforderlichen Informationen viele zusätzliche Details wie zum Beispiel grundlegende Erklärungen zur Funktion, Simulationsergebnisse und Messergebnisse. Aufgrund der Komplexität des Projektes kann natürlich nicht auf alle für das Verständnis notwendigen Grundlagen eingegangen werden. Das ist nicht Sinn und Zweck des Abschlussberichtes und würde seinen Umfang sprengen. Zum Verständnis muss somit eine gewisse akademische Vorbildung des Lesers vorausgesetzt werden. Für genauere Erklärungen sei bereits an dieser Stelle auf die im Anhang zu findende Literaturliste hingewiesen.

Zur besseren Präsentation des Projektes wurde begleitend zu den Arbeiten eine Internetseite erstellt. Für am Nachbau Interessierte enthält sie neben vielen wertvollen Informationen auch die zur Herstellung der Leiterplatten notwendigen Layouts im Gerber-Format. Die Software für den Mikrokontroller und ein Programm für die Verarbeitung der Daten auf dem Rechner stehen dort ebenfalls zum Download bereit.

Die Gruppe ELE31 des Wintersemesters 2003/2004 wünscht viel Spaß beim Lesen des Berichtes und allen am Nachbau Interessierten viel Erfolg bei ihren Versuchen.

Berlin im April 2004

2 Aufbau

2.1 Grundprinzip des Spektrumanalysators

Ein Spektrumanalysator ist ein Messgerät, mit dem man sich das Frequenzspektrum (genauer: die spektrale Leistungsdichte) eines (periodischen) Signals anschauen kann (Frequenzanalyse). Es findet breite Anwendung in allen Bereichen der Hochfrequenztechnik/ Nachrichtentechnik, da man mit einem solchen Gerät z.B. Modulationen, Signalverzerrungen (Intermodulationen, Harmonische) und Rauschspektrale (sowohl Amplituden- als auch Phasenrauschen) messtechnisch erfassen kann.

Es muss als bekannt vorausgesetzt werden, dass sich jedes beliebige Signal im Zeitbereich als eine Überlagerung (Superposition) von Sinusschwingungen verschiedener Amplitude, Frequenz und Phase (komplexe Fourieranalyse/Fourier-Transformation) auffassen lässt. Diese Amplituden können nun über der entsprechenden Frequenz aufgetragen werden (Frequenzbereich) und bilden so das (Frequenz-) Spektrum des Signals. (beachte: bei dieser Herangehensweise geht die Phaseninformation verloren, deshalb spektrale *Leistungsdichte*).

Diese Analyse kann rechnerisch mittels „Fast Fourier Transform“ (FFT) erfolgen, die aber einen hohen Rechenaufwand benötigt, oder es wird eine direkte analoge Messung durchgeführt. Dazu stelle man sich ein unendlich schmales Bandpassfilter vor, das nur eine bestimmte Frequenz passieren lässt. Damit lässt sich das zu messende Signal prinzipiell auf zwei Wegen abtasten.

1. Verschieben des (abstimmbaren) Filters entlang des Eingangssignals; dies setzt aber ein extrem schmalbandiges und *gleichzeitig* breit abstimmbares Filter voraus, das nicht zu realisieren ist.
2. Verschieben der Frequenzen entlang eines festen Filters: Heterodynprinzip

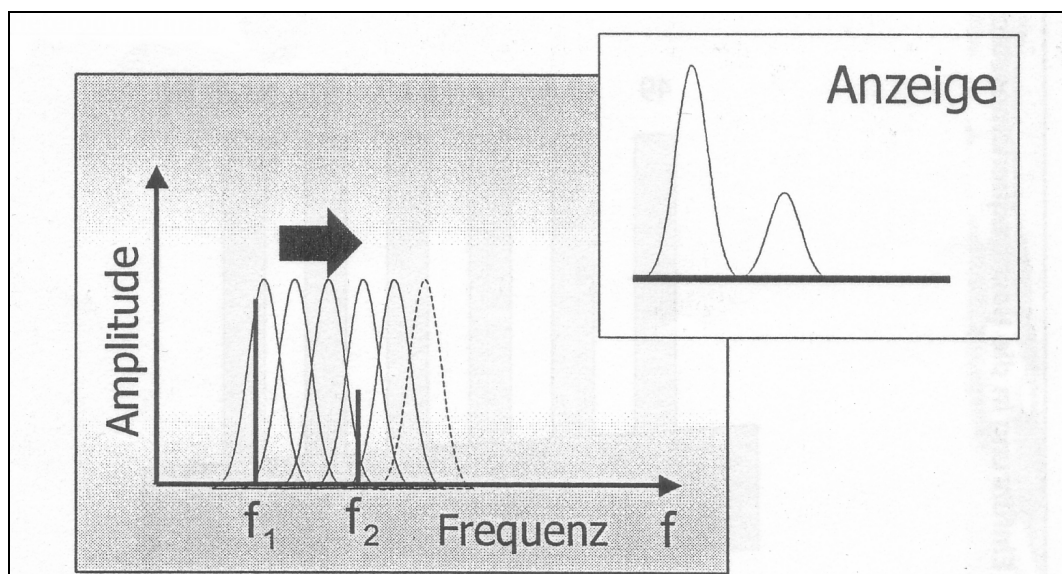


Abb. 2-1: Analoge Frequenzanalyse

Beim Heterodynprinzip wird das Eingangssignal der Frequenz f_{RF} mit Hilfe eines frequenzstabilen Oszillatorsignals der Frequenz f_{LO} auf eine Zwischenfrequenz (intermediate frequency - IF) $f_{IF} = |f_{LO} - f_{RF}|$ umgesetzt (Mischung), auf der es besser verarbeitet werden kann (beachte: wegen der Betragsstriche muss es immer auch eine zweite Frequenz geben, die auf die Zwischenfrequenz umgesetzt wird: die (unerwünschte) Spiegelfrequenz). Im Falle eines frequenzvariablen Oszillators (variable frequency oscillator, VFO) liegt der Vorteil darin, dass man verschiedene Eingangsfrequenzen nach der Mischung mit den gleichen nachfolgenden (schmalbandigen) Baugruppen verarbeiten kann (FM-Radioempfänger, Spektrumanalysator).

2.2 Prinzip des Mischens

Es lässt sich mathematisch zeigen, dass eine Multiplikation zweier Kosinussignale unterschiedlicher Kreisfrequenzen $f_1 > f_2$ im Resultat eine Überlagerung zweier Kosinussignale mit den Frequenzen $f_1 - f_2$ und $f_1 + f_2$ ergibt, bei Erhaltung der Phaseninformation.

Diese Tatsache kann nun zur Frequenzumsetzung ausgenutzt werden. Beim Mischen an einer (nichtlinearen) Diodenkennlinie wird der differentielle Leitwert der Diode g_D (Tangente an die I-U-Kurve) durch die (große) LO-Signalspannung periodisch moduliert, er ist also eine (beliebige) periodische Funktion der Frequenz f_{LO} . Fällt nun eine (kleinere) RF-Signalspannung über der Diode ab, so ergibt sich der fließende Strom getreu dem Ohmschen Gesetz aus der Multiplikation $U_{RF}(f_{RF}) \cdot g_D(f_{LO})$, er wird also frequenzumgesetzt. Mit einem ohmschen Lastwiderstand kann dann eine frequenzumgesetzte Spannung gewonnen werden. Da der Diodenleitwert natürlich keinen sinusförmigen Zeitverlauf hat, sondern beliebig periodisch sein kann (je nach Arbeitspunkt der Diode und Amplitude des LO-Signals), ist er nicht nur Funktion von f_{LO} , sondern auch von $2f_{LO}$, $3f_{LO}$ usw. Dementsprechend entstehen neben dem gewünschten Mischprodukt noch viele andere (unerwünschte). Eine nachfolgende Bandpassfilterung ist also unbedingt notwendig. Durch geeignete Verschaltung mehrerer Dioden (Gegentakt-, Ringmischer) können durch sich kompensierende Ströme bestimmte unerwünschte Frequenzen im Ausgangssignal (z.B. f_{RF} , f_{LO}) von vornherein unterdrückt werden.

2.3 Frequenzen beim Mischvorgang

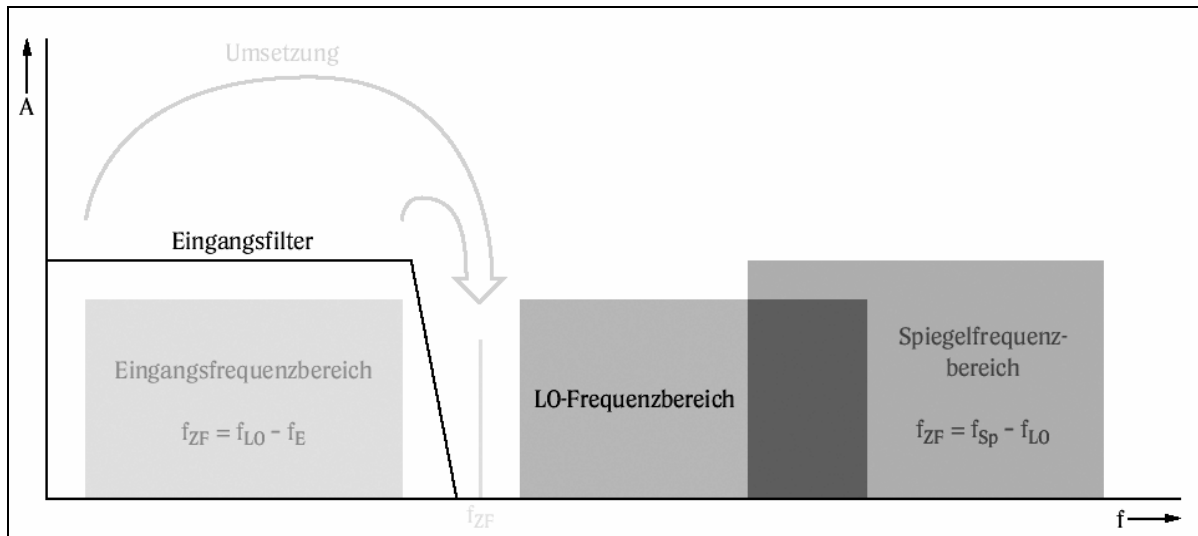


Abb. 2-2: Superheterodynprinzip

Bei der Frequenzumsetzung auf eine höhere Zwischenfrequenz, wie sie in diesem Projekt in der ersten Mischstufe benutzt wird, sind die beteiligten Frequenzen gemäß Abb. 2-2 auf der Frequenzachse verteilt. Der Eingangsfrequenzbereich erstreckt sich von 0 bis 100 MHz, die Zwischenfrequenz bei 170,7 MHz, der Oszillatorbereich liegt zwischen 170,7 MHz und 270,7 MHz. Da es, wie oben gesehen, auch immer eine Spiegelfrequenz gibt, die vom LO auf die ZF umgesetzt wird (hier: 341,4 bis 441,4 MHz), muss diese am Eingang mit einem Tiefpassfilter unterdrückt werden.

Der LO wird nun von 170,7 MHz bis 270,7 MHz durchgestimmt, wobei er zunächst den gesamten Eingangsfrequenzbereich gemäß der Gleichung $f_{IF} = |f_{LO} - f_{RF}|$ auf den Bereich von 170,7 MHz bis 70,7 MHz abbildet (Kehrlagen-Mischung für LO=170,7 MHz). Das sehr schmale ZF-Filter bei 170,7 MHz schneidet nun aber genau den Signalanteil heraus, der betrachtet werden soll, nämlich den, der vorher bei 0 MHz war. Erreicht der LO gerade den Wert 171,7 MHz, so wird der Eingangsbereich auf den Bereich 171,7 MHz bis 71,7 MHz abgebildet. Das ZF-Filter schneidet nun den Teil heraus, der vorher bei 1 MHz war usw. In diesem Sinne wird das Spektrum des Eingangssignals an dem Filter vorbei geschoben.

2.4 Aufbau/Blockschaltbild

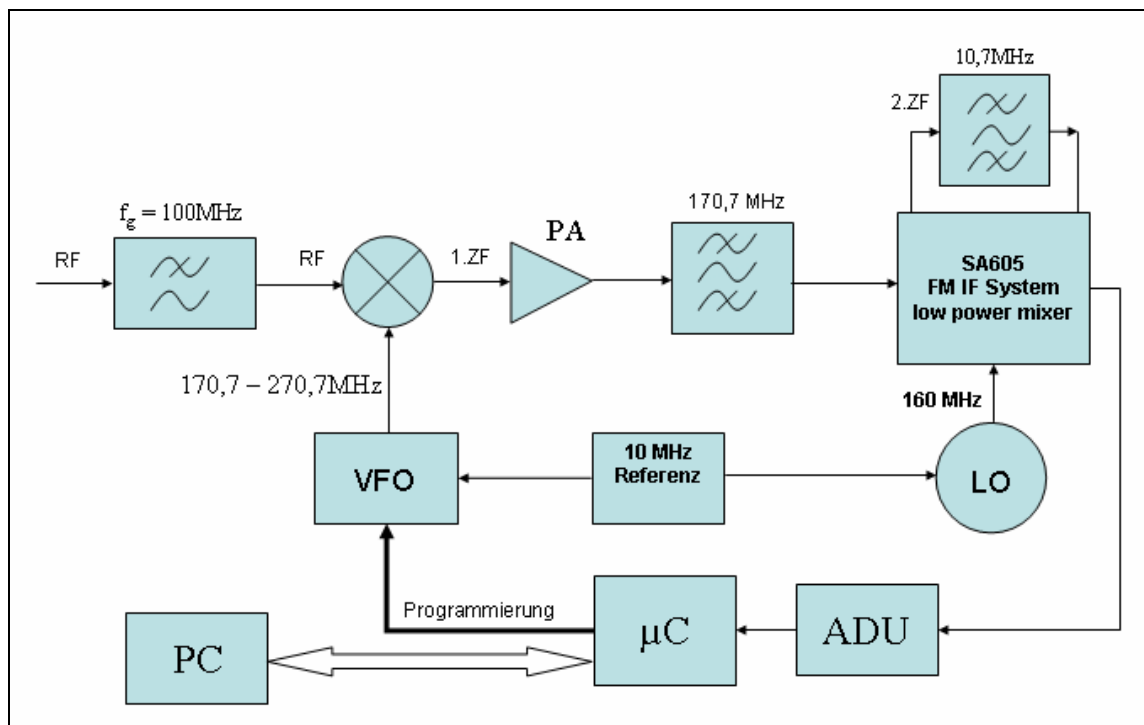


Abb. 2-3: Blockschaltbild des Spektrumanalysators

Die Abbildung 2-3 zeigt das Blockschaltbild des Spektrumanalysators. Wie im Kapitel 2.3 „Frequenzen beim Mischvorgang“ erklärt wurde, wird durch Einsatz des Superheterodynprinzips die Spiegelfrequenz in einen möglichst hohen Frequenzbereich verschoben. Sie kann deshalb sehr einfach am Eingang des Analysators mit Hilfe eines Tiefpasses unterdrückt werden. Dessen Grenzfrequenz wird so gewählt, dass Signale mit Frequenzen im Messbereich nicht beeinflusst werden.

Im folgenden Mischer wird das Eingangssignal mit dem Träger eines Frequenzvariablen Oszillators (VFO) auf die erste Zwischenfrequenz von $170,7\text{MHz}$ gemischt. Die dabei zusätzlich entstehenden Mischprodukte werden im ersten Zwischenfrequenzfilter unterdrückt. Da die Durchgangsdämpfung des Filters extrem hoch ist, wird das Signal zuvor verstärkt.

In der zweiten Zwischenfrequenzstufe kommt ein SA605D der Firma Phillips zum Einsatz. Hierbei handelt es sich um einen integrierten FM Empfänger inklusive Mischer, ZF-Verstärker usw. Unter anderem besitzt er auch einen logarithmischen Signalstärkedetektor. Dieser liefert an seinem Ausgang eine zum Logarithmus der Eingangsleistung proportionale Gleichspannung.

Vorher wird das Zwischenfrequenzsignal im SA605D mit Hilfe eines durch einen Lokaloszillator (LO) erzeugten Trägers von 160MHz auf die zweite Zwischenfrequenz von $10,7\text{MHz}$ gemischt und gefiltert. Das dabei eingesetzte Filter entscheidet über die Auflöseseitenbreite des Spektrumanalysators.

Um die aufgenommenen Werte digital weiter verarbeiten zu können, wird die zu jedem Messpunkt vom zweiten Zwischenfrequenzmodul gelieferte Gleichspannung durch einen Analog-Digital-Umsetzer in ein digitales Datenwort umgesetzt.

Die digitalen Messwerte werden anschließend vom Mikrokontroller an den Computer weitergeleitet, wo sie von geeigneter Software ausgewertet und dargestellt werden. Zusätzlich steuert der Mikrokontroller den Frequenzvariablen Oszillator und somit die gesamte Messung.

Frequenzvariabler Oszillator und Lokaloszillator werden an einen 10MHz Quarzoszillator gebunden. Somit ist gewährleistet, dass der Analysator bei Bedarf mit einer externen Referenz, zum Beispiel der eines anderen Messgerätes, betrieben werden kann.

3 Anforderungen

Eine Kette ist nur so stark wie ihr schwächstes Glied. Entsprechend kann ein Messgerät nicht besser als seine schlechteste Baugruppe sein. Deshalb werden an die einzelnen Baugruppen spezielle Anforderungen gestellt, deren Einhaltung die einzelnen Gruppen gewährleisten müssen.

Um später eine einfache Integration aller Baugruppen in einem Gehäuse zu ermöglichen, hat sich die Gruppe für eine gemeinsame Versorgungsspannung von 15 V-Gleichspannung entschieden. Alle in den einzelnen Teilgruppen benötigten Spannungen sollen durch Linearregler erzeugt werden. Auf den Einsatz von Schaltnetzteilen (DC-DC Wandler) soll unbedingt verzichtet werden, da aufgrund der hohen Schaltfrequenzen hochfrequente Störungen zu erwarten sind.

Der Eingangstiefpass zum Unterdrücken der Spiegelfrequenz ist relativ unkritisch. Theoretisch ist ein Filter 1. Ordnung ausreichend, da die niedrigste Spiegelfrequenz bei 341,4 MHz liegt. Der Rippel im Durchgangsbereich des Filters sollte 1 dB nicht überschreiten.

Der folgende Mischer ist für die spätere Performance des Gerätes das wohl wichtigste Bauelement. Alles was hier an Rauschen und Intermodulationsprodukten entsteht, verkleinert den Dynamikbereich des Spektrumanalysators. Deshalb sollte kein aktiver Mischer eingesetzt werden. Der von uns ausgewählte Ringdiodenmischer benötigt eine Oszillatorleistung von 7 dBm und kann mit einem maximalen Eingangssignal von 3 dBm betrieben werden. Der „conversion loss“ sollte kleiner 8 dB sein. Um einen guten Intercept-Point sowie einen gleich bleibenden „conversion loss“ zu garantieren, sollte der Mischer am Ausgang breitbandig mit 50Ω belastet werden. Um dies zu gewährleisten, muss direkt auf den Mischer ein Diplexer oder ein Dämpfungsglied folgen.

Das erste ZF Filter zur Unterdrückung unerwünschter Mischprodukte sollte eine möglichst kleine Durchgangsdämpfung haben. Um ausreichend steile Filterflanken zu erhalten, ist ein Filter mindestens 3. Ordnung einzusetzen. Wichtig ist, dass im Sperrbereich des Filters keine Lücken auftreten!

Im folgenden ZF System, bestehend aus einem SA605D, wird auf die 2. ZF runtergemischt und logarithmisch gleichgerichtet. Der Eingangsbereich des SA605D ist entsprechend dem Datenblatt mit -20 dBm bis -100 dBm gegeben. Um die Empfindlichkeit zu erhöhen, muss der Verstärker vor dem 1. ZF Filter eine Verstärkung von mindestens 25 dB und eine Rauschzahl kleiner 5 dB haben.

Entsprechend den festgelegten Anforderungen lässt sich der Eingangs- und Dynamikbereich des Spektrumanalysators grob kalkulieren.

Um die 2. ZF-Stufe nicht zu übersteuern, dürfen am Eingang des 1. ZF Filters (15 dB Verlust) maximal -5 dBm anliegen. Berücksichtigt man nun noch ZF-Verstärker sowie Verluste im Mischer, Dämpfungsglied und Eingangsfiler, so erhält man:

$$\begin{aligned} -a_{\text{Filter}} + v_{\text{Verstärker}} - a_{\text{Dämpfungsglied}} - a_{\text{Mischer}} - a_{\text{Filter}} &= 0 \text{ dB} \\ -14 \text{ dB} + 25 \text{ dB} - 3 \text{ dB} - 7 \text{ dB} - 1 \text{ dB} &= 0 \text{ dB} \end{aligned}$$

Somit ergibt sich am Eingang des Spektrumanalysators eine maximale Eingangsleistung von -20 dBm. Die minimale noch messbare Leistung ergibt sich durch den Dynamikbereich der 2. ZF Stufe (SA605D) zu -100 dBm. Wie in der Verlustrechnung erkennbar wird, wurde davon ausgegangen, dass hinter dem 1. Mischer ein Dämpfungsglied eingesetzt wird. Der Aufbau des Dämpfungsgliedes kann sehr einfach realisiert werden. Ein Diplexer hätte zwar weniger Verluste, würde aber den Eingangsbereich des Spektrumanalysators nur verschieben, da der SA605D hier das Maß der Dinge ist.

Die angestrebte Auflösung des gesamten Systems sollte kleiner 0,5 dB sein. Ändert sich die Eingangsleistung um 20 dB, so ändert sich die durch den SA605D detektierte Gleichspannung um 1 V. Bei 256 Quantisierungsstufen und einem Detektorbereich von 0-5 V ergibt sich eine Auflösung von 0,0195 V entsprechend 0,39 dB HF-Eingangsleistungsänderung. Somit kann festgehalten werden, dass ein Analog-Digital-Umsetzer (ADU) mit 8 Bit und 0,02 V Quantisierungsschritten ausreichend ist.

Da die Gleichrichtercharakteristik des logarithmischen Detektors im oberen und unteren Bereich stark nichtlinear ist, kann mit einem Dynamikbereich von maximal 80 dB gerechnet werden. Dies entspricht einer gleichzeitigen Messung von Signalen mit 1 mW bis 10 pW (bzw. 1 W bis 1 MW) Leistung. Die Eingangsempfindlichkeit liegt bei -100 dBm entsprechend 100 fW.

4 Projektplanung

Nachdem bei der Auswahl der Aufgabenstellung darauf geachtet wurde, dass das „richtige“ Projekt ausgewählt und angegangen wurde, wurde bei der Projektplanung darauf geachtet, dass das Projekt „richtig“ angegangen wurde. Dazu zunächst mal ein paar Definitionen:

Ein Projekt ist ein nicht routinemäßiges Vorhaben, das in seinen Zielen, seinem Mitteleinsatz und seiner Terminierung abgegrenzt ist. Ein Projekt wird häufig von mehreren Mitarbeitern realisiert, die in einer temporären Organisationseinheit, der Projektgruppe, zusammenarbeiten. Ein Projektleiter koordiniert die Aktivitäten der Mitglieder einer Projektgruppe.

Ein Projekt kann zur besseren Übersicht in verschiedene Phasen eingeteilt werden:

- **Definitionsphase:** Hierzu gehören im Wesentlichen die Problemanalyse, die Zielklärung, die Potentialanalyse, die Grobplanung und die Wirtschaftlichkeitsberechnung.
- **Planungsphase:** In der Planungsphase erstellen wir die Struktur des Projekts und den genauen Ablauf.
- **Realisierungsphase:** In dieser Phase wird das Projekt organisiert. Meilensteine charakterisieren wichtige Schlüsseletappen, die erreicht werden müssen, bevor das Projekt weiterbearbeitet werden kann. Die einzelnen Arbeitspakete werden von den Projektteams durchgeführt und bei Abweichungen wird sofort gegengesteuert.
- **Abschlussphase:** Ist das Projekt erfolgreich abgeschlossen, erfolgt der Projektabschlussbericht und die Nachkalkulation oder Abrechnung.

Soweit die Theorie.

Die Definitionsphase war im Grunde nach dem ersten Termin abgeschlossen, da wir uns schon im Vorfeld viele Gedanken gemacht hatten über theoretische Grundlagen (analoge Spektrumsanalyse), grobe Realisierung (Blockschaltbild), Anforderungen und vertretbare Kosten.

In der Planungsphase standen zwei Dinge im Vordergrund: Die Einteilung in Teilgruppen auf Grundlage des Blockschaltbildes, und die Erarbeitung des Zeitplans für die Realisierungs- und Abschlussphase.

4.1 Einteilung in Teilgruppen

Durch die Aufteilung in Teilgruppen, die jeweils unabhängig ein Modul des Gesamtprojektes bearbeiteten, konnte flexibel und motiviert auf Probleme in den Teilgruppen durch deren Mitglieder u.a. durch etliche zusätzliche Treffen reagiert werden.

Die technische Abstimmung wurde durch die detaillierte Definition der Schnittstellen sichergestellt, während die zeitliche Abstimmung durch Meilensteine im Zeitplan gewährleistet wurde.

Bei der Lösung kniffliger Probleme wurde gruppenübergreifend zusammengearbeitet.

Projektleiter	Stefan
Eingangstiefpass, VFO/DDS/PLL, 1. Mischstufe, 1. ZF-Stufe	André, Robert, François
LO/PLL, 2. Mischstufe, Logarithmische Gleichrichtung, 10MHz-Referenz	Marcus
ATMEL-Mikrocontroller, ADU, Programmierung, PC	Leszek, Martin, Steffen
Internetseite	François

Tab. 4.1-1: Einteilung der Gruppen

4.2 Zeitplanung

Zur Realisierung des Projektes wurde mit dem 4. Termin der folgende Zeitplan entworfen. Innerhalb des Plans sind Einzelpunkte als Meilensteine hervorgehoben. Diese mussten von den Teilgruppen unbedingt eingehalten werden, um die gemeinsame Abstimmung nicht zu gefährden. Hier wurden im Notfall Zusatztermine eingeschoben.

5.Termin (26.11.03)	<ul style="list-style-type: none"> • Meilenstein: Alle Platinen-Layouts sind erstellt! • Bauteillisten (welche können als Samples bestellt werden, welche müssen gekauft werden, mit Preis) • Alle Schaltungen werden durchgesprochen • Zwischenbericht wird von den Gruppen intern besprochen • Platinen bestellen
6.Termin (03.12.03)	<ul style="list-style-type: none"> • Aufbau und Bestückung der Platinen • Gehäuse auswählen • Alle Bauteile auf Vollständigkeit prüfen
7.Termin (10.12.03)	<ul style="list-style-type: none"> • Schaltungstest • Jede Gruppe muss unabhängig von den Anderen ihre Schaltung testen können.
8.Termin (17.12.03)	<ul style="list-style-type: none"> • Schaltungstest • Meilenstein: Alle Schaltungen funktionieren!
9.Termin (07.01.04)	<ul style="list-style-type: none"> • Referenz von 10 MHz implementieren

	<ul style="list-style-type: none"> • Daten in DDS schreiben • Daten aus ADU auslesen • Kommunikation mit PC/LabVIEW
10.Termin (14.01.04)	<ul style="list-style-type: none"> • Meilenstein: Erster komplexer Test • Integration aller Komponenten auf einem Board
11.Termin (21.01.04)	<ul style="list-style-type: none"> • Abschlussbericht besprechen und planen • Weitere Tests des gesamten Systems • Verbesserung der Software unter LabVIEW
12.Termin (28.01.04)	<ul style="list-style-type: none"> • Schaltungstest • Mögliche Weiterentwicklung der Software
13.Termin (04.02.04)	<ul style="list-style-type: none"> • Schaltungstest • Präsentation, Vorträge und Abschlussbericht besprechen
14. Termin (11.02.04)	<ul style="list-style-type: none"> • Meilenstein: Generalprobe Schaltungstest • Abschlussbericht besprechen
Vorführtermin am 18.02.04	<ul style="list-style-type: none"> • Präsentation des Einfachen Spektrumanalysators vor interessiertem Publikum

Tabelle 4.2-1: Zeitplan

5 Schnittstellen

Im Folgenden werden die eingesetzten Schnittstellentypen aufgeführt und der Einsatz innerhalb des Projektes dokumentiert.

5.1 Schnittstellentypen

Durchführungskondensator (DF)

Durchführungskondensatoren (engl. feedthrough capacitors) werden in der Hochfrequenzelektronik eingesetzt, um eine hochfrequente elektromagnetische Störstrahlung in Verbindung mit einem schirmenden Gehäuse zu vermeiden.



Abb. 5-1: Durchführungskondensator

SMA

Die koaxiale SMA-Schnittstelle wurde als „Subminiature A connector“ von den Firmen Bendix Scintilla und Omni-Spectra entwickelt und zeichnet sich durch ihre geringe Reflexionsdämpfung über einen sehr weiten Frequenzbereich bis hin zu mehreren GHz aus. Daher wird die SMA-Schnittstelle oft in hochfrequenztechnischen Anwendungen benutzt. In Abb. 5-2 ist beispielhaft ein SMA-Stecker abgebildet.

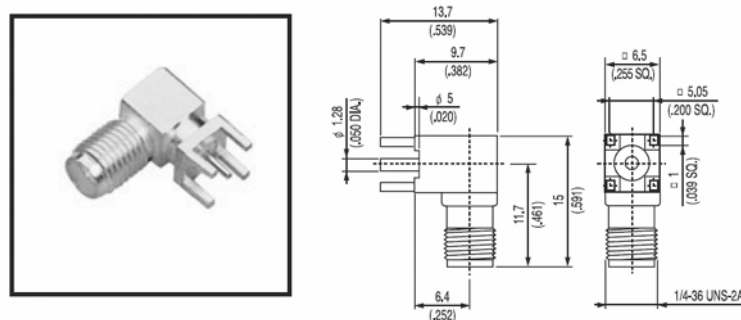


Abb. 5-2: Beispiel für eine angewinkelte SMA-Verbindung für Oberflächenmontage
(Quelle: Yeeun Tech)

RS-232

Die serielle, bidirektionale, asynchrone Schnittstelle EIA RS-232 / ITU V.24 ist insbesondere zwischen PC und Peripherie-Geräten weit verbreitet und unkompliziert einsetzbar. Als Stecker/Buchse gibt es eine 9-polige und eine 25-polige Variante. In Abb. 5-3 sind Stecker und Buchse sowie in Tabelle 5-1 die Pin-Belegung der verwendeten 9-poligen Verbindungsvariante zu sehen.



Abb. 5-3: 9-poliger Sub-D-Stecker und Buchse der RS-232

PIN	Abk.	Signal
1	CD	Carrier Detect (Empfangssignalpegel)
2	RXD	Receive Data (Empfangsdaten)
3	TXD	Transmit Data (Sendedaten)
4	DTR	Data Terminal Ready (Terminal betriebsbereit)
5	GND	Ground (Masse)
6	DSR	Data Set Ready (Betriebsbereitschaft)
7	RTS	Request To Send (Sendeteil ein)
8	CTS	Clear To Send (Sendebereitschaft)
9	RI	Ring Indicator (Ankommender Ruf)

Tab. 5-1: Pin-Belegung der RS-232-Schnittstelle nach [6]

SUB-D-15

Als Verbindung zwischen der Platine des Frequenzvariablen Oszillators (VFO) mit seinem DDS und der Platine des Steuerungs- und Verarbeitungsmoduls kommt eine 15-polige Sub-D-Verbindung zum Einsatz. Hierbei wurde die in Tab. 5-2 dokumentierte Pin-Belegung benutzt.



Abb. 5-4: 15-poliger Sub-D-Stecker und Buchse

VFO-Board (DDS) Sub-D15 / Pin-Nr.	Pin- Belegung	ATMEL-Board Sub-D15 / Pin-Nr.
1	DDS_SETFREQ (DDS setzt Frequenz)	11
2	Bit 0	8
3	Bit 1	15
4	Bit 3	14
5	Bit 2	2
6	Bit 4	6
7	Bit 6	5
8	DDS_RESET (DDS Reset)	4
9	DDS_DATALOAD (Daten durch DDS übernehmen)	3
10	N/C	10
11	GND (Masse)	1
12	N/C	9
13	N/C	2
14	Bit 5	13
15	Bit 7	12

Tab. 5-2: Pin-Belegung der Sub-D15-Schnittstelle zwischen dem Board des Steuerungs- und Verarbeitungsmoduls und dem Board des VFO/DDS

Wannenstecker (ISP-Stecker)

Ein 10-poliger Wannenstecker wird im Steuerungs- und Verarbeitungsmodul als Steckverbindung für das „In-Circuit Serial Programming“ (ISP) des ATMEL-Mikrokontrollers eingesetzt.

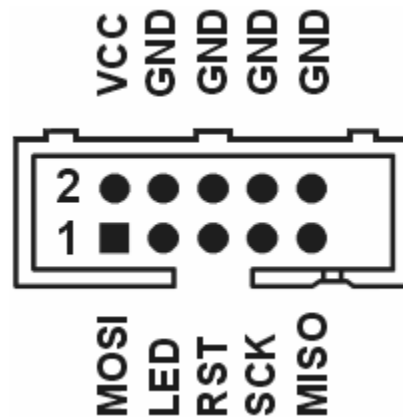


Abb. 5-5: 10-poliger Wannenstecker mit typischer Pin-Belegung als AVR ISP-Stecker

5.2 Schnittstellen zwischen den Modulen

5.2.1 Schnittstellen des Frequenzvariablen Oszillators und Mischers

Tiefpassfilter am Messeingang:

- 1x SMA-Buchse am Eingang
- 1x SMA-Buchse am Ausgang

VFO-Mischer-Schaltung:

- 1x SMA-Buchse am Eingang
- 1x SMA-Buchse am Ausgang (1. ZF)
- 1x SMA-Buchse für eine 10-MHz-Referenz
- 1x SMA-Buchse für externen VCO
- 1x Durchführungskondensator für die 15 V-Gleichspannungsversorgung
- 1x Durchführungskondensator als 12 V-Ausgang zur Versorgung des 1. ZF Verstärkers
- 1x Durchführungskondensator für die Steuerspannung des externen VCOs
- 1x 15-poliger Sub-D-Stecker zur DDS-Programmierung

5.2.2 Schnittstellen des 1. ZF-Filters und des ZF-Verstärkers

- 1x SMA-Buchse am Eingang (1. ZF)
- 1x SMA-Buchse am Ausgang (1. ZF)
- 1x Durchführungskondensator für die 12V-Gleichspannung von der VFO-Mischer-Schaltung

5.2.3 Schnittstellen des 2. ZF-Moduls

- 1x SMA-Buchse am Eingang für die 1. ZF vom 1. ZF Filter und ZF-Verstärker
- 1x SMA-Buchse als Ausgang der 2. ZF (Eingang für externe Filterbank)
- 1x SMA-Buchse als Eingang der 2. ZF (Ausgang der externen Filterbank)
- 1x SMA-Buchse für eine 10-MHz-Referenz
- 1x Durchführungskondensator am Ausgang für die Gleichspannungsauskopplung zum Analog-Digital-Umsetzer (ADU)
- 1x Durchführungskondensator für die 15V-Gleichspannungsversorgung

5.2.4 Schnittstellen des Steuerungs- und Verarbeitungsmoduls

- 1x 9-polige Sub-D-Buchse für die RS-232-Verbindung zwischen Steuerungs- und Verarbeitungsmodul und PC (Hinweis: max. bipolar 15 V)
- 1x 15-polige Sub-D-Buchse zwischen dem Steuerungs- und Verarbeitungsmodul und dem Frequenzvariablen Oszillator (VFO) in 5 V-TTL-Logik zur Programmierung des DDS
- 1x 3-poliger Printstecker für den Anschluss des 1. und 2. Kanals sowie der Masse als Eingänge des Analog-Digital-Umsetzers (Der 1. Kanal des ADU wird hierbei mit der Gleichspannungsauskopplung des 2. ZF-Moduls und die Masse des 2. ZF-Moduls wird mit der Masse am ADU elektrisch verbunden.)
- 1x 4-poliger Printstecker zum optionalen Ansteuern von verschiedenen Zwischenfrequenz-Filtern einer optionalen Filterbank für das 2. ZF-Modul
- 1x 10-poliger Wannenstecker zur Programmierung des ATMEL-Mikrokontroller mittels SPI
- 1x 3-poliger Printstecker für die 15 V-Gleichspannungsversorgung

6 Die Module

Im Folgenden werden die einzelnen Module des einfachen Spektrumanalysators beschrieben.

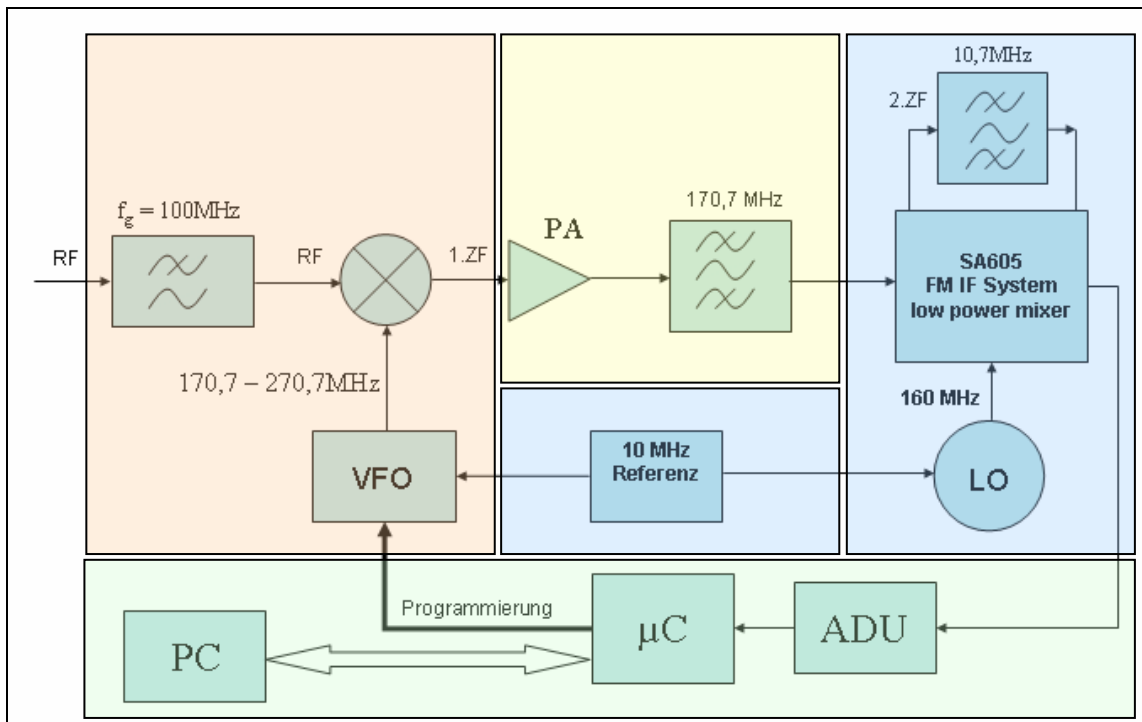


Abb. 6-1: Abhängigkeiten der einzelnen Module des einfachen Spektrumanalysators

Zur besseren Orientierung in den folgenden Kapiteln sei hier mit der Abb. 6-1 eine funktionale Übersicht im Zusammenhang mit den Kapiteln der Module gegeben.

- Frequenzvariabler Oszillator und Mischer (Kapitel 6.1)
- Erstes ZF-Filter und ZF-Verstärker (Kapitel 6.2)
- 2. ZF-Modul und 10 MHz-Referenz (Kapitel 6.3)
- Steuerungs- und Verarbeitungsmodul (Kapitel 6.4)

6.1 Frequenzvariabler Oszillator und Mischer

6.1.1 Zielstellung

Aufgabe unserer Gruppe war der Entwurf und Aufbau eines VFO (variable frequency oscillator) sowie Design und Realisierung einer Mischstufe, mit deren Hilfe das Eingangssignal zwischen 0 und 100 MHz auf die erste Zwischenfrequenz von 170,7 MHz gemischt wird.

Die Frequenz des VFO sollte digital steuerbar sein, um eine einfache Kommunikation mit dem Modul der Mikrokontrollergruppe zu gewährleisten. Da die Schaltung die erste Stufe des Spektrumanalysators darstellt, wurde besonderer Wert auf einen großen Dynamikbereich und vertretbares, die Messung nicht einschränkendes, Phasenrauschen gelegt.

Außerdem sollte die Schaltung schnelle Frequenzwechsel ermöglichen, um die „Sweeptime“ des gesamten Analysators klein zu halten.

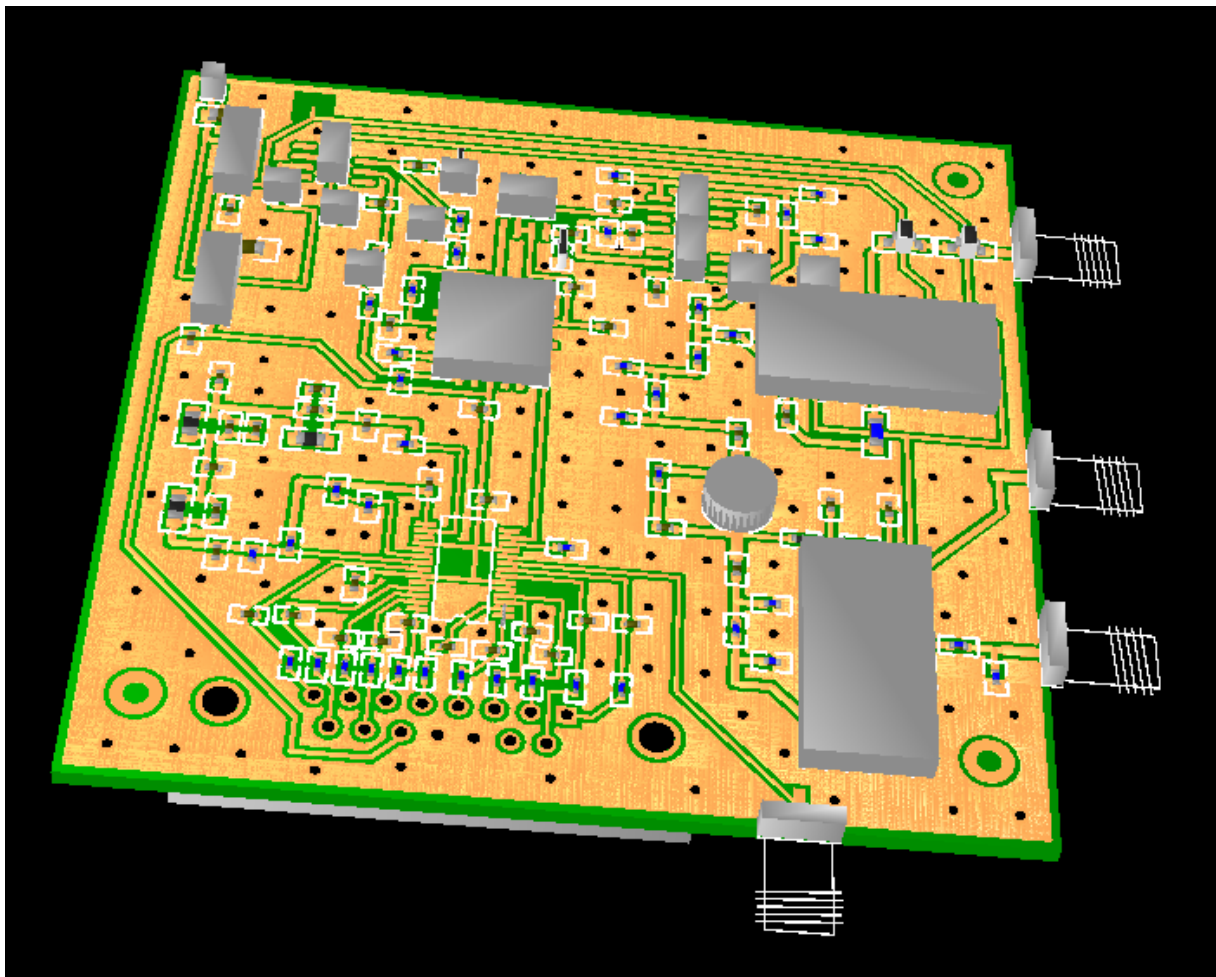


Abb. 6.1-1: 3-D Ansicht des fertigen VFO und Mischer Moduls

6.1.2 Blockschaltbild des VFO und des Mischers

Die zum Mischen notwendige variable Frequenz wird durch einen VCO (voltage controlled oscillator) erzeugt. Um die für unsere Zwecke notwendige Frequenzstabilität zu erreichen, wird dieser durch eine digitale PLL phasenstarr an ein Referenzsignal mit gutem Phasenrauschen gebunden. Abb. 6.1-2 zeigt das Blockschaltbild, das die verschiedenen Baugruppen der Schaltung beinhaltet.

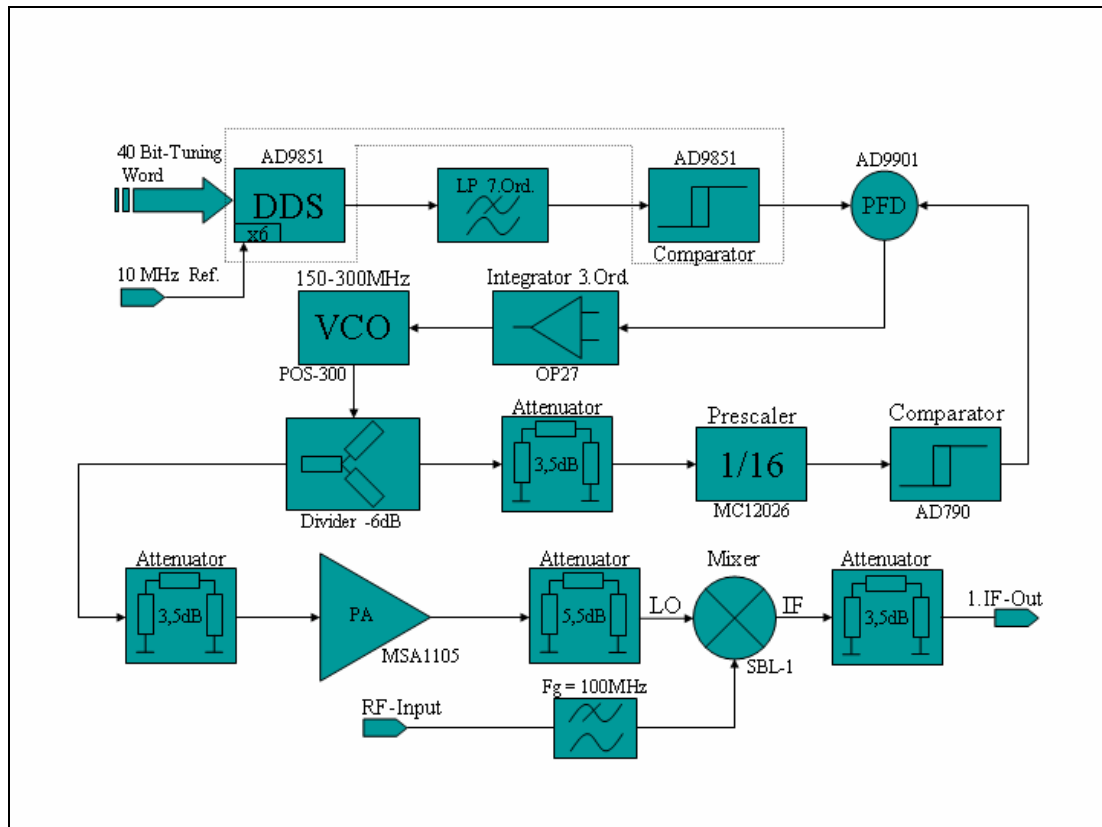


Abb. 6.1-2: Blockschaltbild des VFO und Mischer-Moduls

Um den VCO in einem weiten Frequenzbereich betreiben zu können, wird die PLL mit einem „Direct Digital Synthesizer“ kombiniert, der das veränderliche Referenzsignal erzeugt. Der DDS ist ein steuerbarer Digital-Analog-Umsetzer, der aus einer anliegenden Referenzfrequenz Sinussignale beliebiger Frequenz entsprechend dem Nyquist-Kriterium generiert. Um die spektrale Reinheit zu erhöhen, durchläuft das erzeugte Signal ein elliptisches Tiefpassfilter 7. Ordnung. Anschließend wird es im Komparator des DDS in ein Rechtecksignal umgewandelt und dem digitalen Phasenfrequenzvergleicher (PFD) der PLL zugeführt.

Auf die genaue Theorie der digitalen Frequenzsynthese soll an dieser Stelle nicht weiter eingegangen werden. Wir verweisen dies betreffend auf die entsprechende zahlreich vorhandene Literatur.

Der von uns eingesetzte DDS vom Typ AD9851 besitzt einen internen Taktfrequenzmultiplizierer, der die angelegte Referenzfrequenz mit 6 multipliziert. In unserem Fall können so bei einer Referenz von 10 MHz maximal 30 MHz erzeugt werden.

Direkt auf den VCO folgt ein Leistungsteiler mit 50 Ohm Ein- und Ausgangswiderstand. Beide Ausgänge des Teilers werden mit Dämpfungsgliedern beschaltet, um eine gute Entkopplung des VCOs vom Rest der Schaltung zu gewährleisten. Die Dämpfungsglieder sind so dimensioniert, dass zum einen ein Frequenzteiler mit dem Faktor 16 sowie ein Breitbandverstärker angesprochen werden können. Das hinter dem Frequenzteiler vorliegende Signal ist zu schwach um es direkt in den Phasenfrequenzvergleich einzuspeisen. Deshalb wird es durch einen Komparator verstärkt und danach an den PFD weiter geleitet. Die so gewonnene Regelspannung wird in einem aktiven Integrator 3. Ordnung tiefpassgefiltert und dem VCO zugeführt. Das vom Transistor verstärkte Signal durchläuft ein weiteres Dämpfungsglied und gelangt anschließend an den LO-Eingang (local oscillator) des Mischers.

Wir haben uns für einen Ringdiodenmischer der Firma Minicircuits entschieden. Billige Gilbertzellenmischer wie z.B. der SA602 brauchen zwar weitaus weniger Steuerleistung, haben dafür aber ein weitaus schlechteres Rauschverhalten und einen schlechteren „interception point“ 3. Ordnung, was den Dynamikbereich enorm verkleinert. Um einen einigermaßen konstanten „conversion loss“ sowie einen guten „interception point“ zu erreichen, sollte der Mischer breitbandig mit 50 Ohm belastet werden. Da das auf den Mischer folgende 1. ZF Filter jedoch nur im Durchlassbereich einen Eingangswiderstand von 50 Ohm aufweist, muss am Ausgang des Mischers eine entsprechende Anpassung vorgesehen werden. Diese Aufgabe erfüllt, wenn weitere Verluste vermieden werden müssen, ein Diplexer.

Da in unserem Fall die Empfindlichkeit durch die viel schlechtere 2. ZF Stufe festgelegt wird, haben wir dieses Problem mit einem direkt auf den Mischer folgenden 3,5 dB Dämpfungsglied gelöst.

Wie bereits in der Theorie zu diesem Projekt erläutert wurde, müssen die Spiegelfrequenzen des Eingangssignals unterdrückt werden. Deswegen wird dieses durch einen integrierten Tiefpass, der in einem eigenen Gehäuse untergebracht ist, vorgefiltert und dann dem Mischer zugeführt.

Wir wollen an dieser Stelle noch auf eine zweite Möglichkeit der Frequenzsynthese mit Hilfe einer kombinierten DDS/PLL Anordnung hinweisen. Ein entsprechendes Blockschaltbild zeigt Abb. 6.1-3.

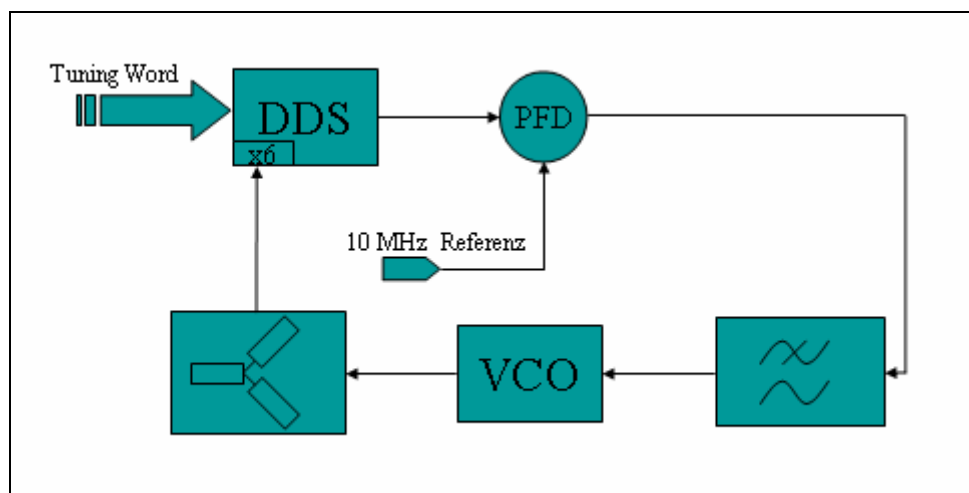


Abb. 6.1-3: Frequenzsynthese mit DDS als fraktionalem Teiler

Das Signal des VCOs wird bei dieser Anordnung nicht in den Phasenfrequenzvergleich, sondern direkt in den DDS als Taktfrequenz gegeben. In den PFD werden das Ausgangssignal des DDS sowie eine beliebige externe Referenz, um die die DDS arbeiten soll, gespeist. In diesem Fall arbeitet die DDS als fraktionaler Teiler, so dass ein zusätzlicher Frequenzteiler, wie im ersten Blockschaltbild, entfallen kann. Diese Methode macht natürlich nur Sinn, wenn die durch den VCO erzeugten Frequenzen die maximale Taktfrequenz des DDS nicht überschreiten, was für den von uns verwendeten DDS nicht zutrifft.

6.1.3 Schaltungsentwurf und Realisierung

Abbildung 6.1-4 zeigt den nach Simulationen und Testaufbau erhaltenen Schaltplan für das „VFO + Mischer-Modul“.

Nachdem im ersten Teil die allgemeine Funktionsweise der Schaltung erläutert wurde, sollen die verschiedenen Baugruppen nun einzeln betrachtet und erklärt werden.

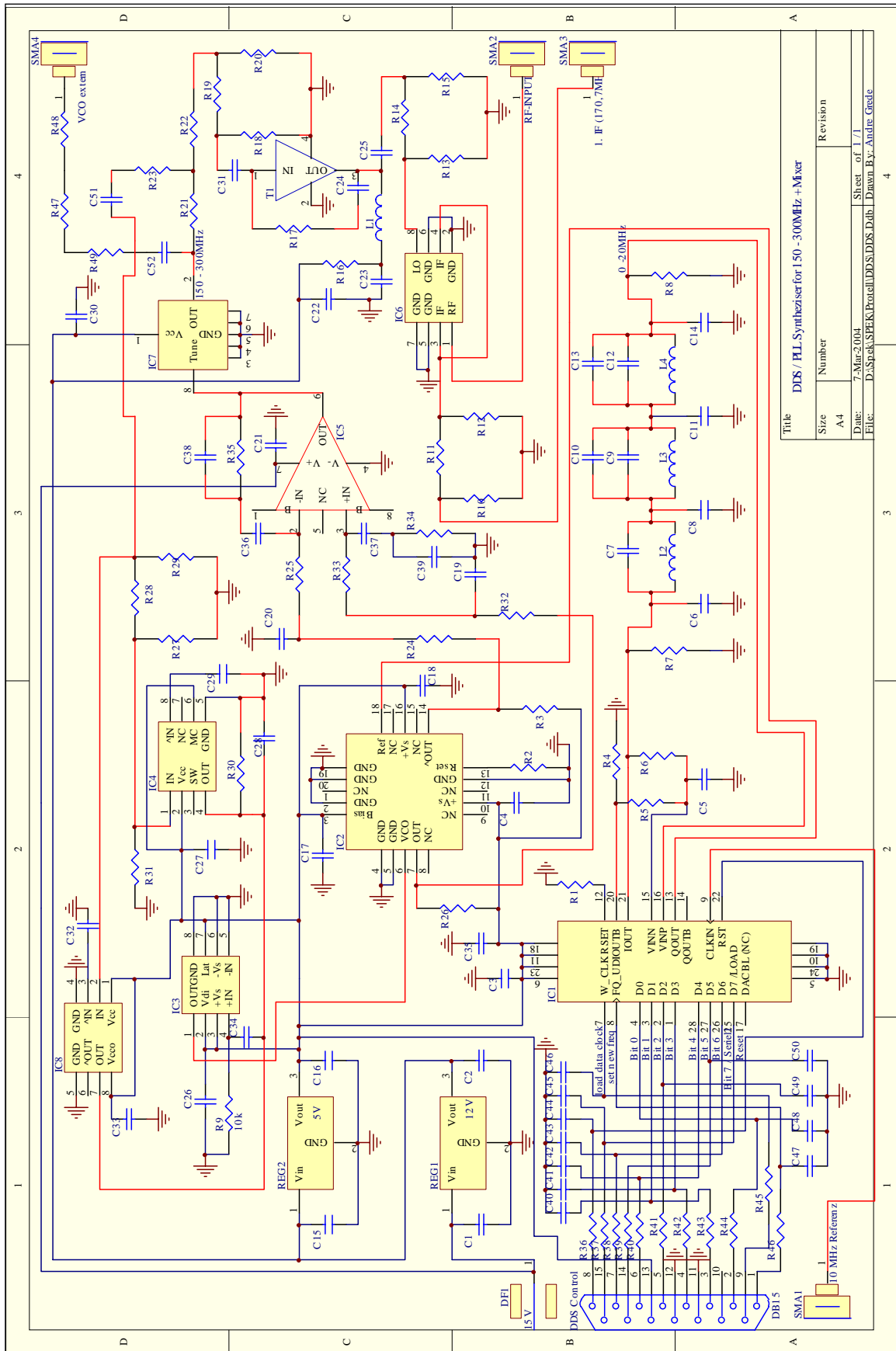


Abb. 6.1-4: Schaltplan des VFO und Mischer-Moduls

6.1.4 Der DDS (Direct Digital Synthesizer)

Bei dem von uns verwendeten DDS (IC1) handelt es sich, wie bereits erwähnt, um einen AD9851 der Firma Analog Devices. Er kann mit einer maximalen internen Taktfrequenz von 180 MHz betrieben werden. Entsprechend lassen sich theoretisch Signale bis 90 MHz erzeugen. Da es aber kein, für die Rekonstruktion des Signals notwendiges, ideales Tiefpassfilter gibt, liegt in der Realität die höchste erzeugbare Frequenz bei ca. 40% der Taktfrequenz.

Entsprechend unserer Planung sollten alle HF-Baugruppen an eine gemeinsame Referenz von 10 MHz gelockt werden. Mit dem internen Multiplizierer wird diese dann auf 60 MHz Taktfrequenz erhöht, so dass sich Signale von maximal 25 MHz erzeugen lassen. Dabei muss erwähnt werden, dass die spektrale Reinheit der Ausgangssignale durch Einsatz des internen Multiplizierers verschlechtert wird.

Die Auflösung (Schrittweite) des DDS ergibt sich bei Steuerung durch ein 32-stelliges Frequenzwort zu:

$$\frac{60 \text{ MHz}}{2^{32}} = 14 \text{ mHz}$$

Um das Signal von Harmonischen und Artefakten des DAC zu befreien, folgt auf den DDS ein elliptisches Tiefpassfilter 7. Ordnung mit einer Grenzfrequenz von 22 MHz.

In Abb. 6.1-5 ist das simulierte S_{21} dargestellt. Die anfangs optimal ermittelten Bauteilgrößen wurden bereits durch handelsübliche Größen ersetzt, so dass sich die Grenzfrequenz auf 20 MHz verschiebt und die Welligkeit im Sperrbereich leicht zunimmt.



Abb. 6.1-5 Amplitudengang des Rekonstruktionstiefpasses (10 dB/div)

Anschließend wird das Signal im Komparator der DDS in ein Rechteck gewandelt. Dieser ist mit einem „peak to peak jitter“ von kleiner 80ps nicht der beste, für unsere Anwendung jedoch ausreichend.

6.1.5 Die PLL (Phasenregelkreis)

Die PLL ist zum größten Teil diskret aufgebaut. Eine integrierte PLL bietet zwar weitaus mehr Möglichkeiten bzw. lässt sich einfacher aufbauen, muss aber auch extern programmiert werden (Teiler, charge pump), was zusätzliche Anforderungen an die Mikrokontrollergruppe stellen würde.

Um ein sicheres Einrasten der PLL im gesamten Frequenzbereich von 170,7MHz bis 270,7MHz zu garantieren, kommt ein digitaler Phasenfrequenzvergleich (IC2, AD9901) zum Einsatz.

Der AD9901 ist ECL/TTL kompatibel, hat eine lineare Übertragungsfunktion und weist keine „tote Zone“ auf. Als äußere Beschaltung sind lediglich ein paar Widerstände zum Einstellen des maximalen Stroms sowie „pull up“ Widerstände für den differentiellen Ausgang notwendig. Genauere Informationen zur Funktionsweise können dem Datenblatt entnommen werden.

6.1.6 Der VCO (Spannungsgesteuerter Oszillator)

Der von uns verwendete VCO (IC7) wird von der Firma Minicircuits unter dem Namen POS-300 angeboten. Tabelle 6.1-1 zeigt seine wichtigsten Eigenschaften.

POS-300

Freq. MHz		Power Output dBm		Tuning Voltage V		Phase Noise dBc/Hz SSB at offset frequencies: Typ.					Pulling MHz pk-pk @ 12 dB	Pushing MHz/V	Tuning Sensitivity MHz/V	Harmonics dBc		3dB Modulation Bandwidth kHz	Power Supply		
Min.	Max.	Typ.	Aux.	Min.	Max.	100 Hz	1 kHz	10 kHz	100 kHz	1 MHz	Typ.	Typ.	Typ.	Typ.	Max.	Typ.	Voltage V	Current mA Max	
150	280,0	10,0		1,0	16,0	-78	-100	-120	-140		1,8	0,30	9,5	13,0	-30,0	-20,0	100,0	12	20

Tab. 6.1-1: Wichtige Daten des VCO POS-300

Wir haben den VCO bewusst auf einer externen Platine montiert, so dass später durch Tausch oder Umschalten von verschiedenen VCOs der Frequenzbereich des Spektrumanalysators erweitert werden kann.

Der VCO liefert mit +10 dBm eine recht ordentliche Ausgangsleistung, die in einem Leistungsteiler aufgeteilt wird. Aufgrund der dabei auftretenden Verluste stehen an jedem der beiden Ausgänge jeweils 4 dBm zur Verfügung. Diese werden im Rückkoppelzweig der PLL über ein PI-Dämpfungsglied zum Teiler geführt.

6.1.7 Der Teiler

Der Teiler (IC4) ist ein „dual modulus prescaler“ der Firma Motorola (MC12026), der abhängig von seiner äußeren Beschaltung Frequenzen von bis zu 1,1 GHz durch 8, 9, 16 oder 17 teilt. Das PI-Dämpfungsglied zwischen VCO und Teiler sorgt für den richtigen Signalpegel und verbessert gleichzeitig die Anpassung, da eventuell entstandene Reflexionen gedämpft werden. Das Ausgangssignal des Teilers wird gleichspannungsentkoppelt, in einem Komparator (IC3) vom Typ AD790 verstärkt und dem PFD zugeführt.

Wie im Schaltbild (Abbildung 6.1-4) zu erkennen ist, steht ein weiterer Teiler (IC8) zur Verfügung. Dabei handelt es sich um einen „prescaler“ der Firma Zarlink, der ebenfalls durch 16 teilt. Wir haben diesen zusätzlichen Teiler ins Schaltbild eingefügt, da zum Zeitpunkt des Layouts noch nicht klar war, welcher Teiler einfacher erhältlich sein würde. Auf der Leiterplatte muss später natürlich nur einer der beiden Teiler bestückt werden. Die bessere Wahl wäre der Teiler von Zarlink, da er ein weitaus besseres Phasenrauschen aufweist. Leider war dieser für uns als Muster nicht erhältlich.

6.1.8 Das Schleifenfilter der PLL

Da der PFD keine integrierte „charge pump“ besitzt, haben wir ein aktives Schleifenfilter (Loopfilter) aufgebaut, das wir, da es den kritischen Teil der Phasenregelschleife darstellt, etwas genauer betrachten wollen.

Abb 6.1-6 zeigt noch einmal den von uns benutzten Integrator 3. Ordnung.

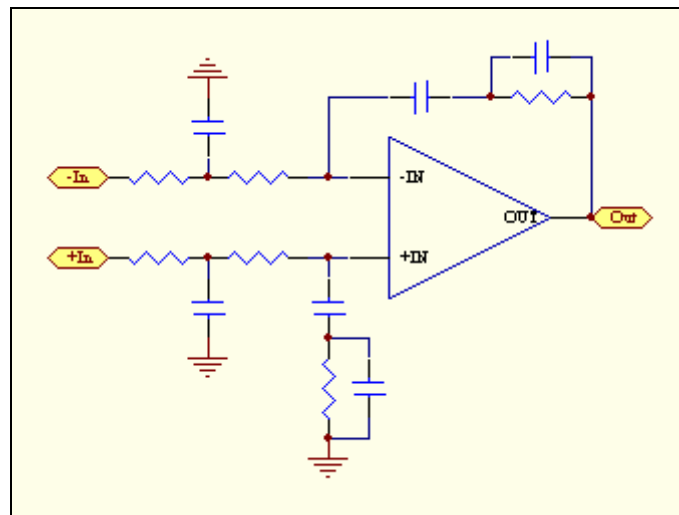


Abb 6.1-6: Schleifenfilter der PLL

Zunächst muss die Regelbandbreite (loop bandwidth) gewählt werden, in der die PLL den frei laufenden VCO an die Referenz lockt. Dabei kann nicht willkürlich vorgegangen werden. Abhängig vom Einsatzgebiet beeinflusst sie das Phasenrauschen, die Einschwingzeit und Stabilität der Regelschleife sowie den Phasenfehler.

Als Faustformel gilt, dass die Regelbandbreite kleiner als ein Zehntel, besser sogar ein Zwanzigstel, der Vergleichsfrequenz sein sollte. Bei der von uns gewählten Phasendetektorfrequenz von 10 MHz ergäbe das eine maximale Regelbandbreite von 500 kHz.

Um Stabilität zu gewährleisten, sollte der Phasenrand zwischen 30 und 70 Grad liegen. Dazu ist es notwendig die Modulationsbandbreite des VCOs zu beachten. Diese ergibt sich aus dem durch den Varaktor sowie parasitäre Kapazitäten gebildeten teils ohmschen und teils kapazitiven Eingangswiderstand am Eingang der VCO-Regelspannung. Wird die Regelbandbreite zu nah an der Modulationsbandbreite des VCOs gewählt, so addiert der Tiefpass am Eingang des VCOs zusätzliche Phasendrehung und verkleinert so den Phasenrand bzw. verursacht im schlimmsten Fall Instabilität.

In Tabelle 6.1-1 ist für den von uns verwendeten VCO eine Modulationsbandbreite von 100 kHz angegeben. Wir haben uns deshalb für eine Regelbandbreite von 20 kHz entschieden, die eine vertretbare Einschwingzeit und einen genügend großen Phasenrand garantiert. Abbildung 6.1-7 zeigt die komplette Simulation der offenen und geschlossenen Regelschleife unter Berücksichtigung aller anderen Komponenten wie VCO, Teiler, PFD und Referenz.

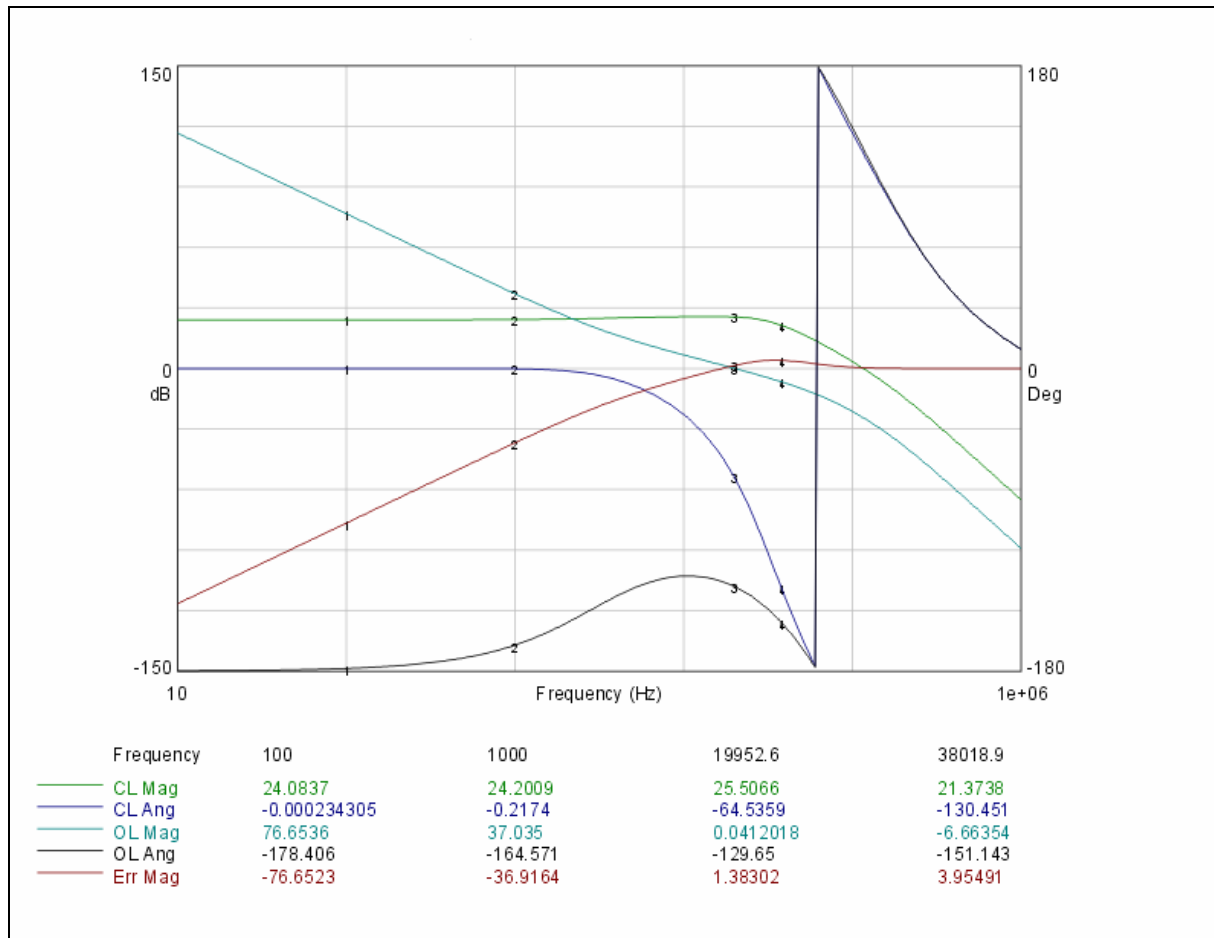


Abb. 6.1-7: Simulation der PLL

Die türkise (OL Mag) und die schwarze (OL Ang) Kurve zeigen den Amplituden- und Phasengang der offenen Schleife. Wie man sieht, hat das Schleifenfilter für DC eine große Verstärkung entsprechend der offenen Schleifenverstärkung des Operationsverstärkers. Diese Eigenschaft sorgt für einen kleinen statischen Phasenfehler und einen großen Haltebereich der PLL. Der Phasenrand beträgt bei 0dB Verstärkung (Marker 3) 50 Grad und liegt damit im vorgegebenen Bereich.

Die grüne (CL Mag) und die blaue (CL Ang) Kurve zeigen den Amplituden- und Phasengang der Phasenübertragungsfunktion der PLL. Wie man sieht, unterscheiden sich gewählte Filterbandbreite und Eigenfrequenz (Marker 4) der PLL deutlich.

In Abbildung 6.1-8 ist eine Simulation zum Einschwingverhalten der PLL beim Auftreten eines Frequenzsprungs zu sehen.

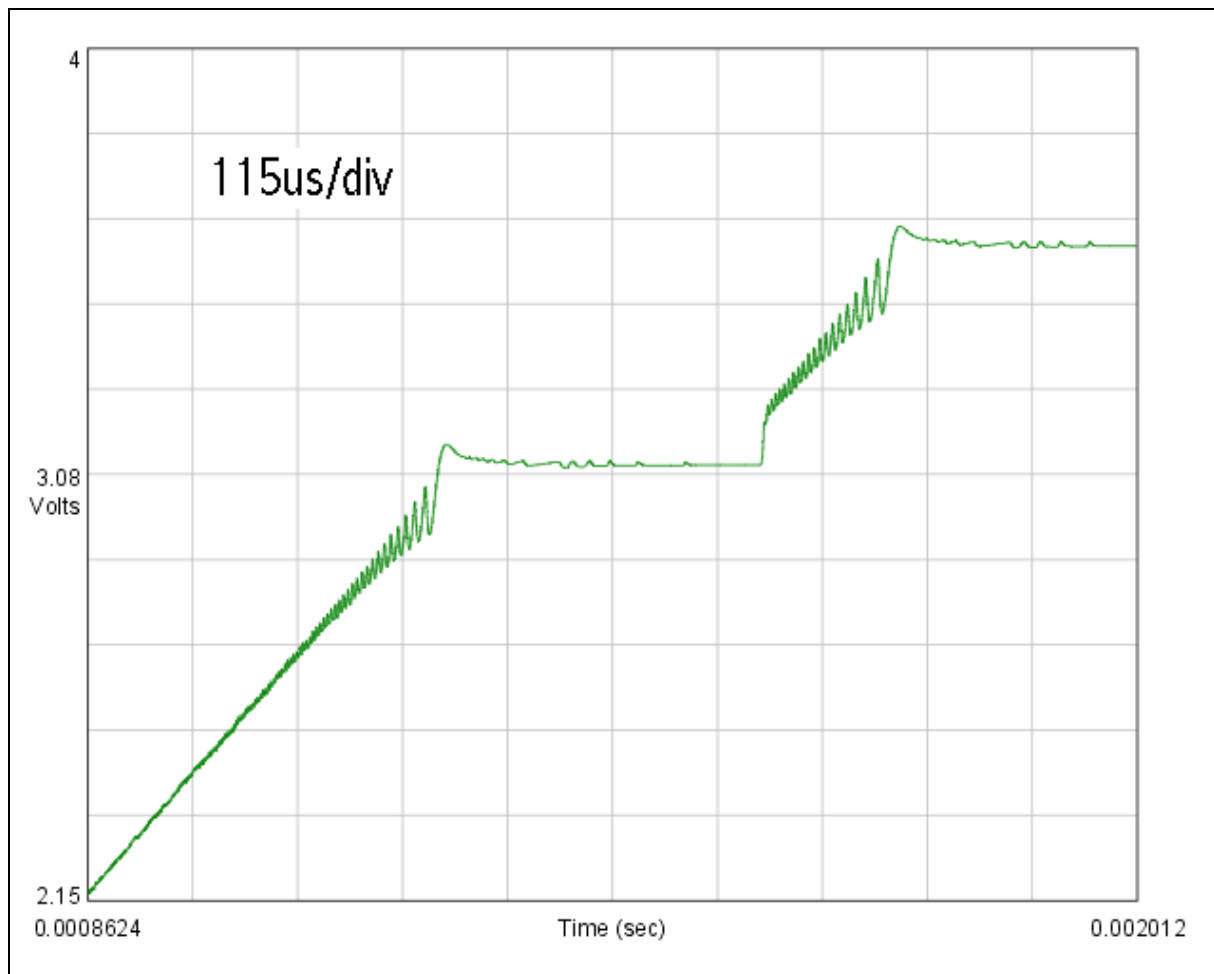


Abb. 6.1-8: Simulierter Frequenzsprung von 5 MHz

Dazu wird der Teiler nach dem Einschwingen von 16 auf 16,5 umgeschaltet, so dass ein Frequenzsprung von 5 MHz auftritt. Wie man sieht rastet, die PLL innerhalb von 220 μ s auf die neue Frequenz ein. Im späteren Betrieb werden die Frequenzschritte natürlich kleiner und somit die Einschwingzeiten geringer sein. Kritisch ist nur das Ende eines „sweeps“, nach dem die Frequenz von maximal 270,7 MHz auf 170,7 MHz zurück gestellt werden muss. Für diesen Spezialfall haben wir in der Simulation eine maximale Einschwingzeit von kleiner 5 ms ermittelt, die im späteren Steuerungsablauf durch die Mikrokontrollergruppe beachtet werden muss.

6.1.9 Phasenrauschen (Phase Noise)

Alle Unregelmäßigkeiten in Frequenz und Phase eines Signals führen zum Phasenrauschen (phase noise) und somit immer zu einer endlich dünnen Linie im Frequenzbereich. Wir können an dieser Stelle nicht auf die gesamte Theorie des Phasenrauschens eingehen. Uns interessiert im Moment lediglich der Einfluss der PLL auf das Phasenrauschen.

Abbildung 6.1-9 aus [15] zeigt unter anderem die Kurve eines frei laufenden und eines mit verschiedenen Regelbandbreiten gelockten Oszillators.

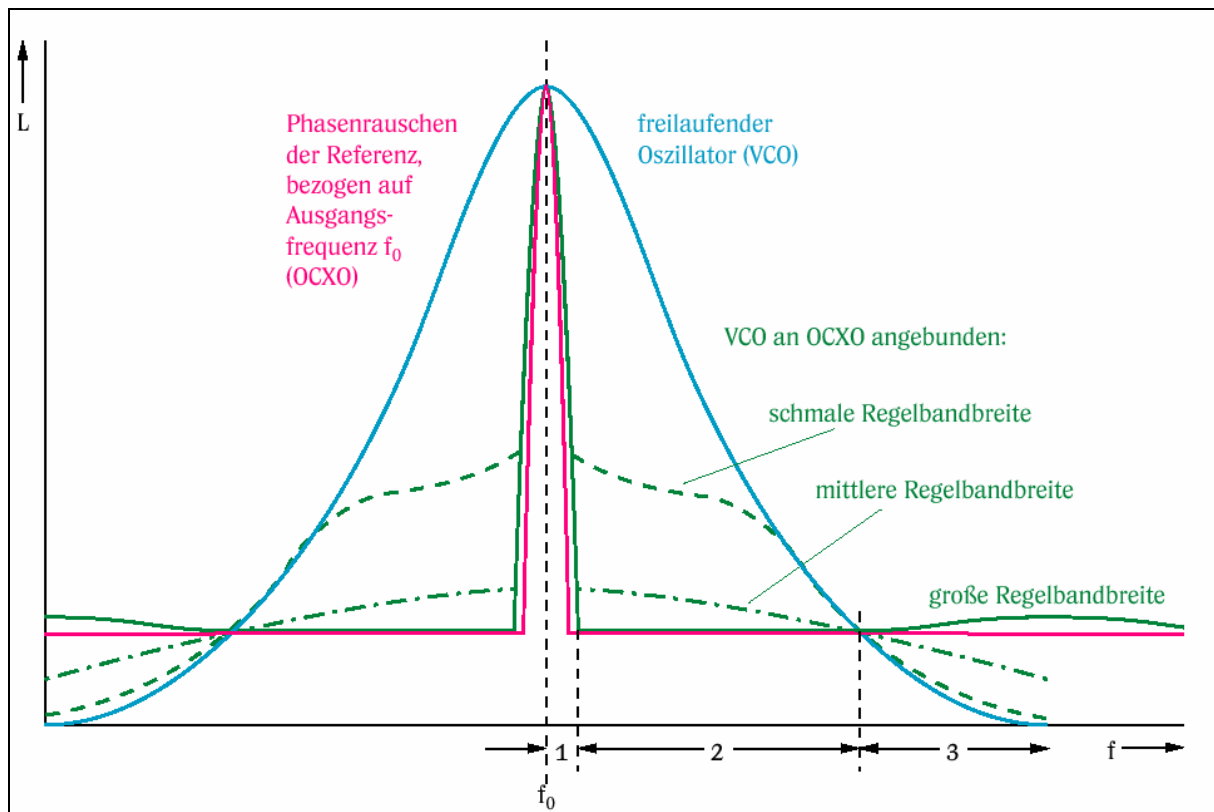


Abb. 6.1-9: Frei laufender und gelockter Oszillator (Quelle: [15])

In der Nähe des Trägers ist das Phasenrauschen des frei laufenden Oszillators sehr hoch. Nach dem Anbinden an eine möglichst gute Referenz ergeben sich entsprechend der Regelbandbreite verschiedene Verläufe für das gesamte Phasenrauschen des Systems. Sehr nah am Träger ist das resultierende Phasenrauschen von dem des Referenzsignals abhängig. Da in unserer Regelschleife die Frequenz vervielfacht wird, verschlechtert sich das Phasenrauschen zusätzlich um:

$$20 \log\left(\frac{1}{N}\right) = 20 \log\left(\frac{1}{16}\right) = 24 \frac{\text{dBc}}{\text{Hz}}.$$

Aus diesem Grund sollte die Vergleichsfrequenz so groß wie möglich gewählt werden. Im folgenden Bereich der Regelbandbreite ist das Phasenrauschen gleich dem der Summe der einzelnen Komponenten des Phasenregelkreises (Teiler, PFD, Referenzsignal). Außerhalb der Regelbandbreite hängt das Phasenrauschen dann wieder vom frei laufenden Oszillator ab.

Vergleicht man die verschiedenen Regelbandbreiten, fällt auf, dass das Oszillatorsignal unterschiedlich gut an die Referenz gebunden wird. Bei einer sehr großen Regelbandbreite wird, wegen der hohen Schleifenverstärkung, das Oszillatorsignal sehr genau an das Referenzsignal gebunden. Aufgrund der durch die Filterung verursachten Phasendrehung wird das Phasenrauschen des Signals in größerer Entfernung zum Träger schlechter als das des frei laufenden Oszillators. Je kleiner die Regelbandbreite, desto mehr nähert sich das Phasenrauschen außerhalb der Regelbandbreite dem des frei laufenden Oszillators an. Aufgrund der sinkenden Verstärkung kann es dann jedoch nicht mehr so gut an die Referenz gebunden werden, wodurch das Phasenrauschen am Träger steigt.

Durch Mischen des Eingangssignals mit dem der PLL wird das Phasenrauschen auf das eigentlich zu messende Signal übertragen. Selbst bei einem perfekten Eingangssignal und idealer Abtastung (Filtern) ist das dargestellte Spektrum somit immer eine Summe des Phasenrauschens der einzelnen Oszillatoren des Spektrumanalysators. Zum besseren Verständnis sei folgendes Beispiel gegeben.

Am Eingang des Spektrumanalysators liege ein -10 dBm starkes Sinussignal. Der Spektrumanalysator selbst produziert im Abstand von 100 kHz ein Phasenrauschen von -100 dBc/Hz. Wird nun ein zweites Signal im Abstand zum ersten von 100 kHz angelegt und der Spektrumanalysator mit einer Auflösungsbreite von 1 kHz betrieben, so muss das zweite Signal größer als

$$-100 \text{ dBc} + 10 \log\left(\frac{1 \text{ kHz}}{1 \text{ Hz}}\right) = -70 \frac{\text{dBc}}{\text{kHz}}$$

sein, um im Spektrum erkennbar zu sein. D.h. also, dass durch das Phasenrauschen der Dynamikbereich des Analysators bei der Messung von Signalen geringen Abstandes verkleinert wird.

Abbildung 6.1-10 zeigt das von uns simulierte Phasenrauschen. Nicht berücksichtigt bzw. geschätzt wurde das Phasenrauschen des PFD, des Teilers und der Komparatoren, da dem Datenblatt keine Angaben zu entnehmen waren.

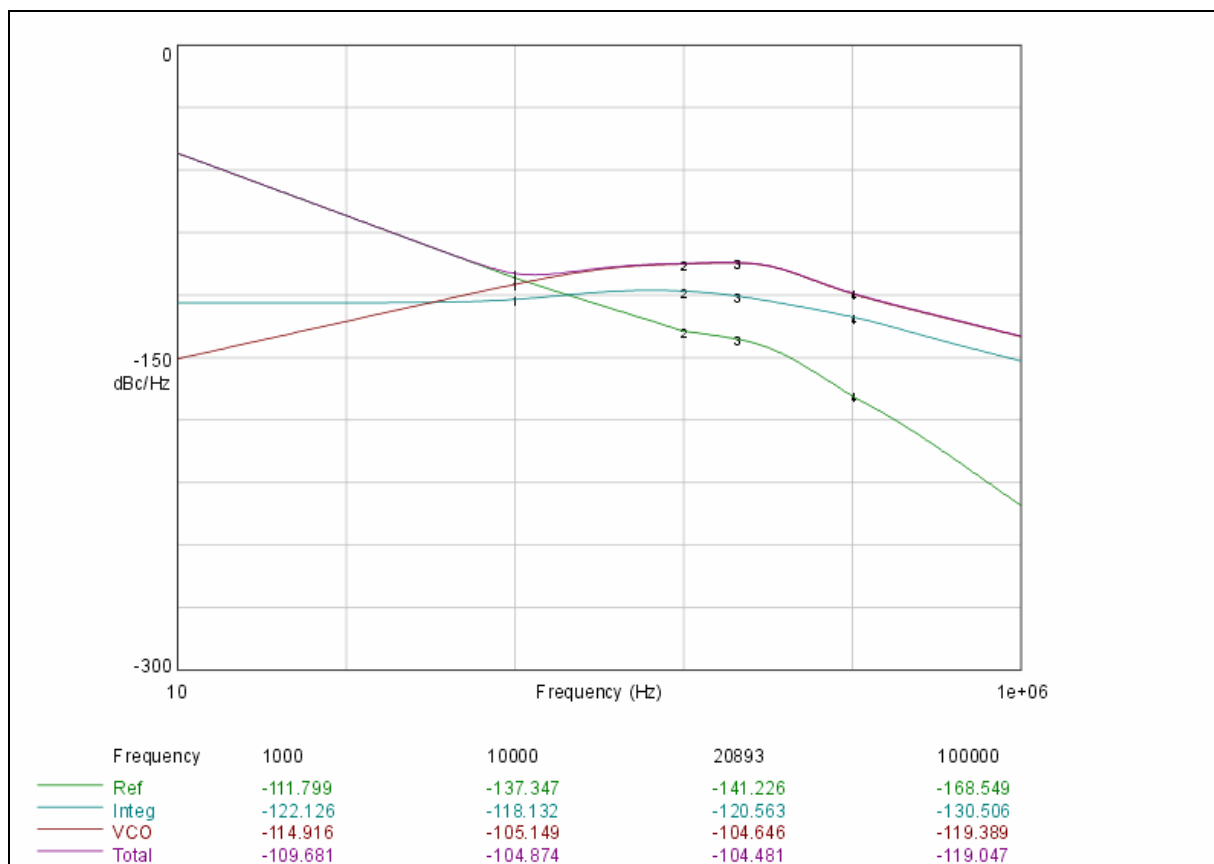


Abb. 6.1-10: Simuliertes Phasenrauschen der PLL

Zu beachten ist, dass in Abbildung 6.1-10 nicht das Phasenrauschen der einzelnen Elemente, sondern ihr Beitrag am Ausgang des VCO dargestellt ist. Gut zu erkennen ist, dass der Beitrag des VCOs zum Phasenrauschen in Trägernähe gering ist.

6.1.10 Verstärker und erster Mischer

Das mit Hilfe der PLL generierte Signal ist nach Durchlaufen des Leistungsteilers zu klein um den Mischer auszusteuern. Es folgt deswegen zunächst ein Verstärker (T1) mit einem PI-Dämpfungsglied am Ein- und Ausgang. Die Dämpfungsglieder sorgen einerseits für Anpassung der Pegel am Eingang des Verstärkers und des Mixers. Zusätzlich verbessern sie die Anpassung unter den einzelnen Stufen und garantieren einen stabilen Betrieb des Verstärkers. Der von uns eingesetzte Mischer (SBL-1) benötigt eine Steuerleistung von +7 dBm. Diese erzeugen wir, indem wir das Signal hinter dem Leistungsteiler (ca. 4 dBm) noch einmal um 3,5 dB dämpfen, dann mit einem MSA1105 um 12 dB verstärken und anschließend mit dem zweiten Dämpfungsglied von 5,5 dB auf die geforderten 7 dBm anpassen.

Diese Werte sind natürlich von der Ausgangsleistung des verwendeten VCOs und der für den Mischer notwendigen Steuerleistung abhängig. Wird ein VCO mit geringerer Ausgangsleistung verwendet, können die Dämpfungsglieder entsprechend angepasst werden. Dabei ist allerdings zu beachten, dass die Dämpfungsglieder hinter dem Leistungsteiler wichtig für die Entkopplung des VCOs sind. Besser ist dann der Einsatz eines anderen Verstärkers wie zum Beispiel des MSA0886. Dieser hat bei 200 MHz eine Verstärkung von 31 dB, ist aber für Frequenzen unter 2 GHz potentiell instabil. Deswegen sind in der Schaltung bereits ein zusätzlicher Kondensator und Widerstand zur Rückkopplung vorgesehen. Die Abbildung 6.1-11 zeigt ein Beispiel zur Leistungsteilung und Verstärkung unter Einsatz eines MSA0886.

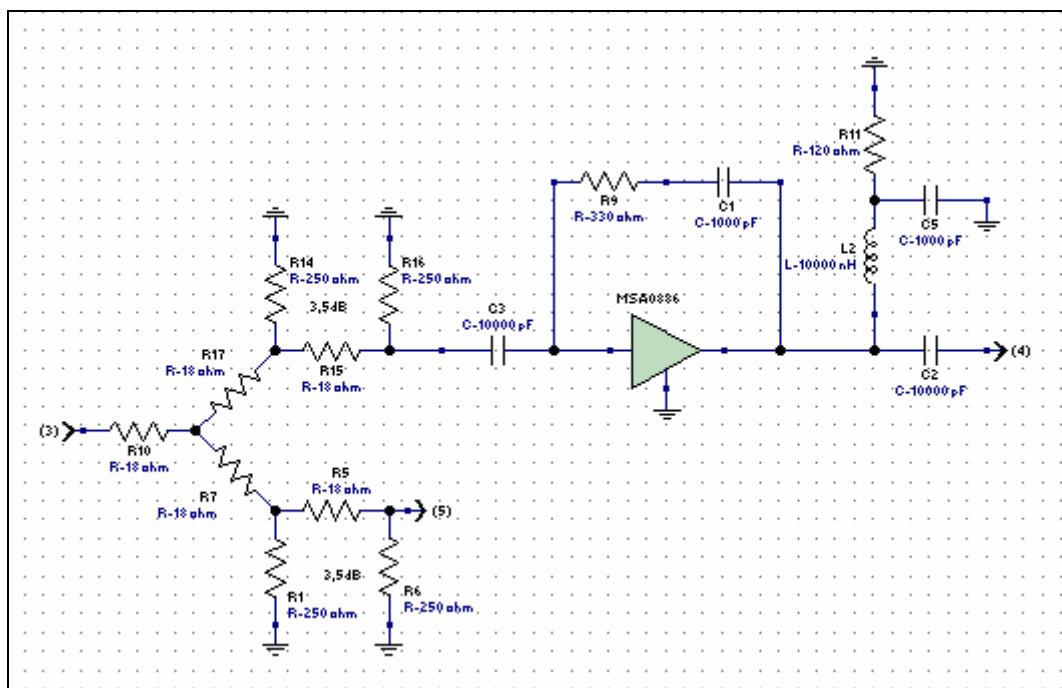


Abb. 6.1-11: Schaltbild zur Leistungsteilung und Verstärkung

Die erhaltenen Simulationsergebnisse zeigen die Abbildungen 6.1-12 und 6.1-13. Ausgang 5 (Parameter S_{53}) dient zum Ansteuern des Frequenzteilers. Ausgang 4 (Parameter S_{43}) liefert das für den Mischer notwendige Signal. In diesem Beispiel wurde mit Hilfe der Dämpfungsglieder am Eingang und der Rückkopplung eine resultierende Verstärkung (Leistungsteiler, Dämpfungsglied, PA) von 10 dB eingestellt. Das auf den Verstärker folgende Dämpfungsglied (hier nicht mitsimuliert) müsste dementsprechend auf 3 dB geändert werden. Beim Einsatz des gleichen Mixers würde nun ein VCO mit 0 dBm Ausgangsleistung ausreichen.

Die Abbildung 6.1-13 zeigt die Simulation des Stabilitätsfaktors (k-Faktor). Er ist im gesamten Frequenzbereich größer 1 und somit der Verstärker uneingeschränkt stabil.

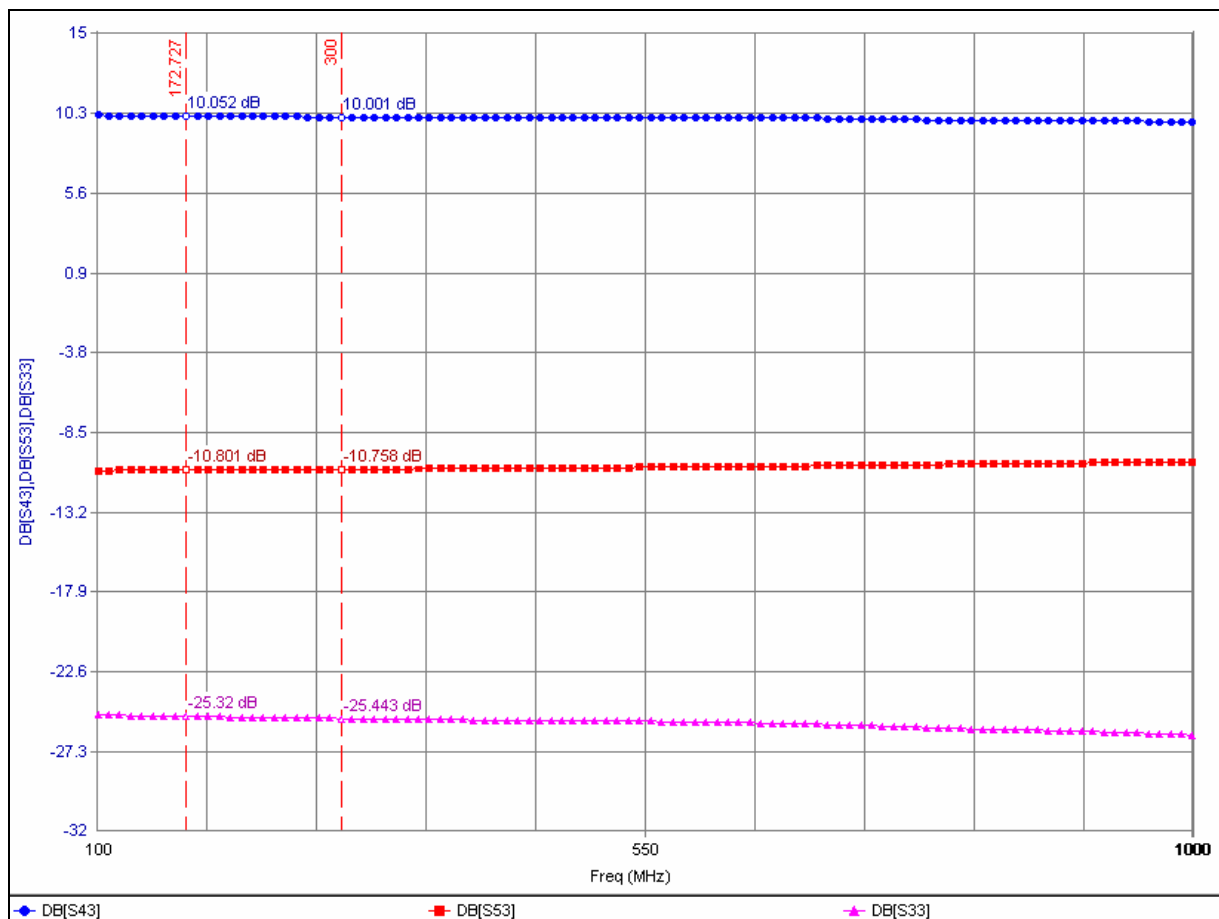


Abb. 6.1-12: Simulation zur Leistungsteilung und Verstärkung

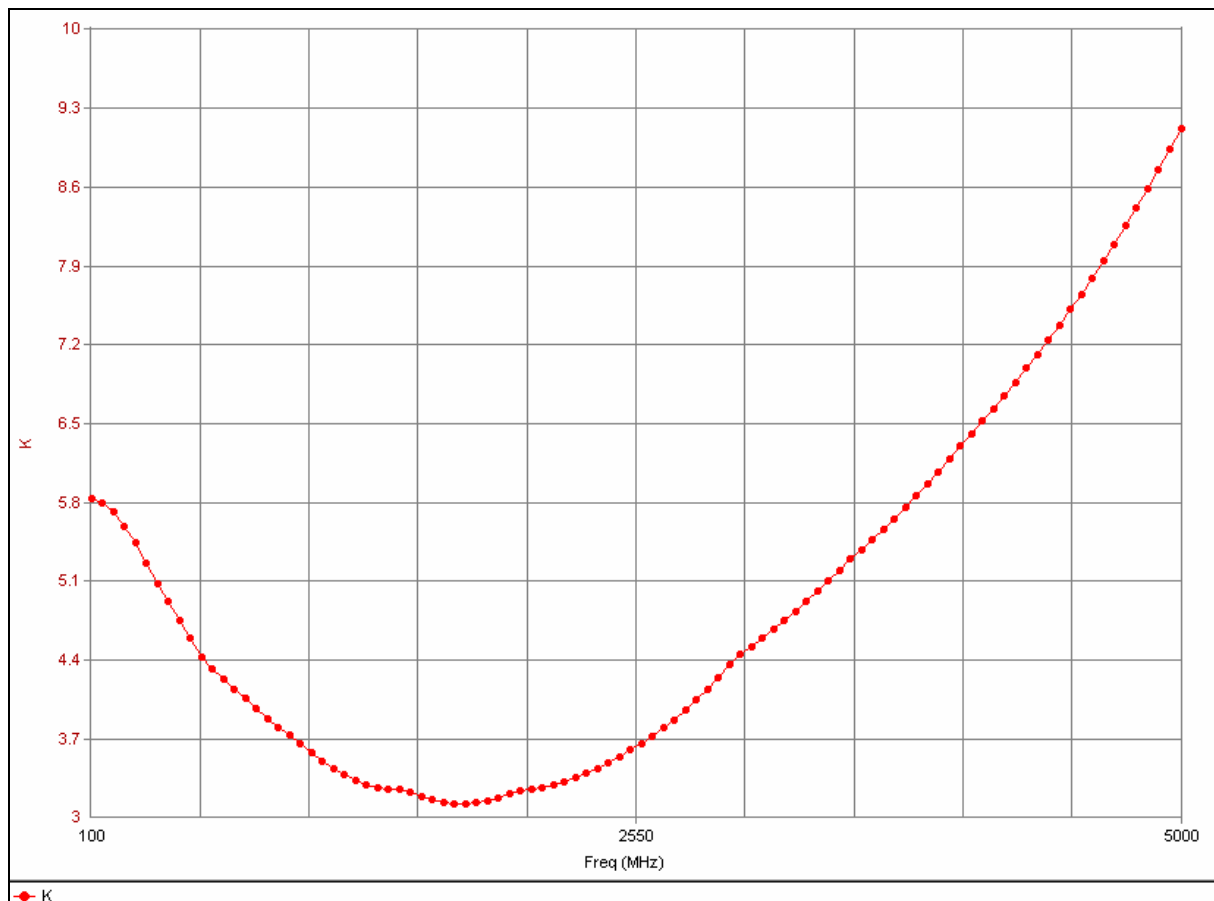


Abb. 6.1-13: Simulation zur Leistungsteilung und Verstärkung

Der Mischer (IC6) ist wie bereits erwähnt ein Ringdiodenmischer vom Typ SBL-1 der Firma Minicircuits. In Tabelle 6.1-2 sind seine wichtigsten Eigenschaften zusammengefasst.

SBL-1 LO Power Level 7 dBm

Frequency MHz		Max. Conversion Loss dB	Min. LO-RF Isolation dB			Min. LO-IF Isolation dB			
LO/RF	IF	Mid-Band Total Range	L	M	U	L	M	U	
1,000-500	DC-500	7,0	8,0	45	35	25	35	25	20

Tab. 6.1-2: Wichtige Daten des Mixers SBL-1

Der Frequenzbereich für das HF-Eingangssignal reicht von 1 MHz bis 500 MHz und legt den maximalen Frequenzbereich unseres Spektrumanalysators fest. Unsere praktischen Messungen haben später gezeigt, dass der Mischer auch bei einigen kHz noch gut funktioniert. Um den Frequenzbereich zu erweitern hätte auch der ebenfalls vorhandene Mischer SRA-1WH eingesetzt werden können. Dieser ist für Eingangssignale bis zu 750 MHz mit einer maximalen Leistung von +10 dBm brauchbar. Ein Nachteil ist jedoch die recht große Steuerleistung von +17 dBm.

Abbildung 6.1-14 zeigt beispielhaft ein von 30 MHz auf 170,7 MHz umgesetztes Signal.

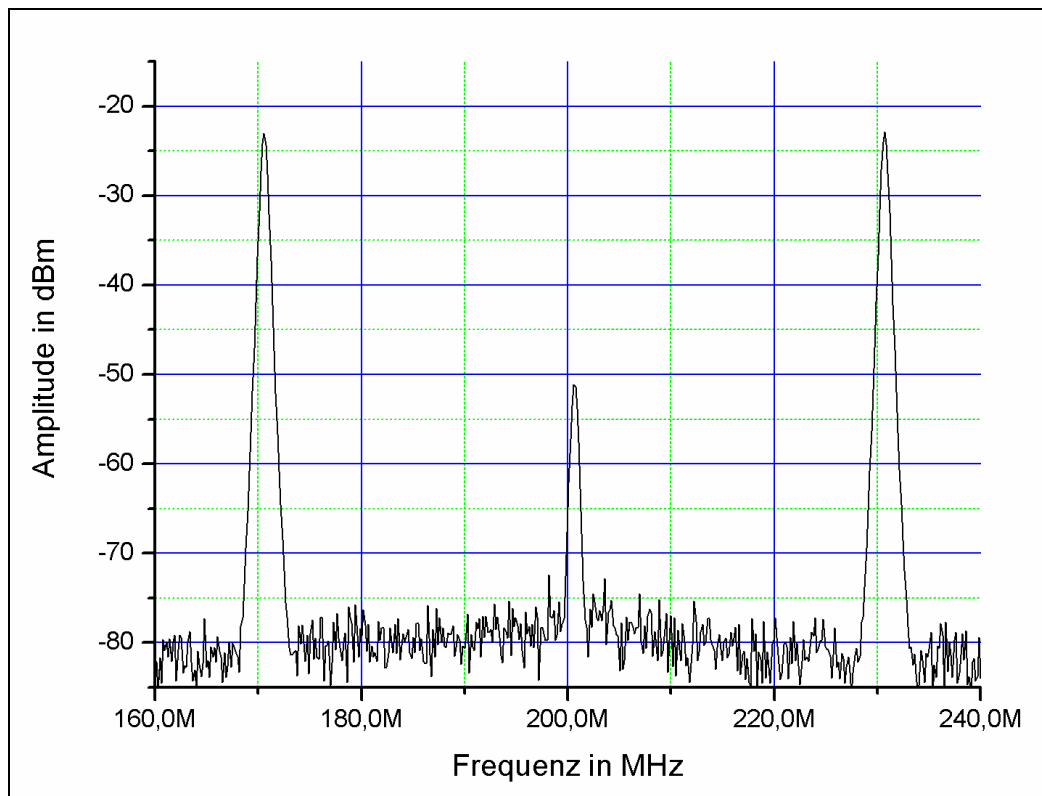


Abb. 6.1-14: Gemessenes Signal am Ausgang der Schaltung

Gut zu erkennen sind das um 40 dB unterdrückte Steuersignal (LO-Signal bei 200,7 MHz) sowie die beiden Mischprodukte bei 170,7 MHz und 230,7 MHz.

Der ermittelte „conversion loss“ liegt bei 7 dB (entsprechend dem Datenblatt), wobei die durch das zusätzliche Dämpfungsglied entstandene Abschwächung sowie die Stärke des angelegten Signals (-12 dBm) bereits berücksichtigt wurden.

6.1.11 Messergebnisse

Um die Eigenschaften des funktionierenden VFO + Mischer-Moduls, im Besonderen des DDS/PLL Synthesizers, besser zu verstehen, haben wir abschließend mehrere Messkurven aufgenommen.

Die Abbildung 6.1-15, 6.1-16 und 6.1-17 zeigen den frei laufenden sowie den an den DDS gelockten VCO. Abhängig von der Bandbreite des betrachteten Spektrums (span) und der für die Messung verwendeten Auflösungsbandbreite (resolution bandwidth, RSBW) kann man die im Kapitel 6.1.9 erläuterten Bereiche der PLL erkennen. In unmittelbarer Nähe zum Träger (Abb. 6.1-15) ist das Phasenrauschen des gelockten VCOs weitaus besser als das des frei laufenden. Aufgrund der von uns gewählten relativ großen Regelbandbreite, ist in Abb. 6.1-16 ein Übergangsbereich zu erkennen, in dem das Phasenrauschen des gelockten VCOs schlechter als das des frei laufenden ist. In großer Entfernung zum Träger und zur Regelbandbreite ist das Phasenrauschen des gelockten und frei laufenden VCOs gleich (Abb. 6.1-17).

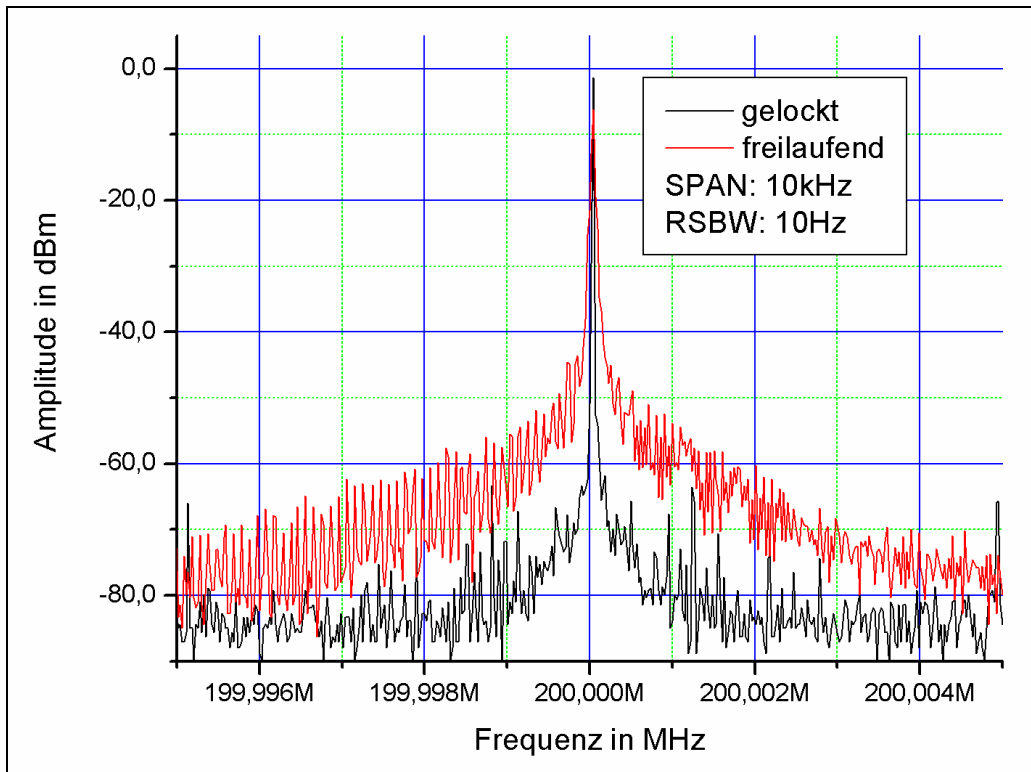


Abb. 6.1-15: Phasenrauschen in Trägernähe

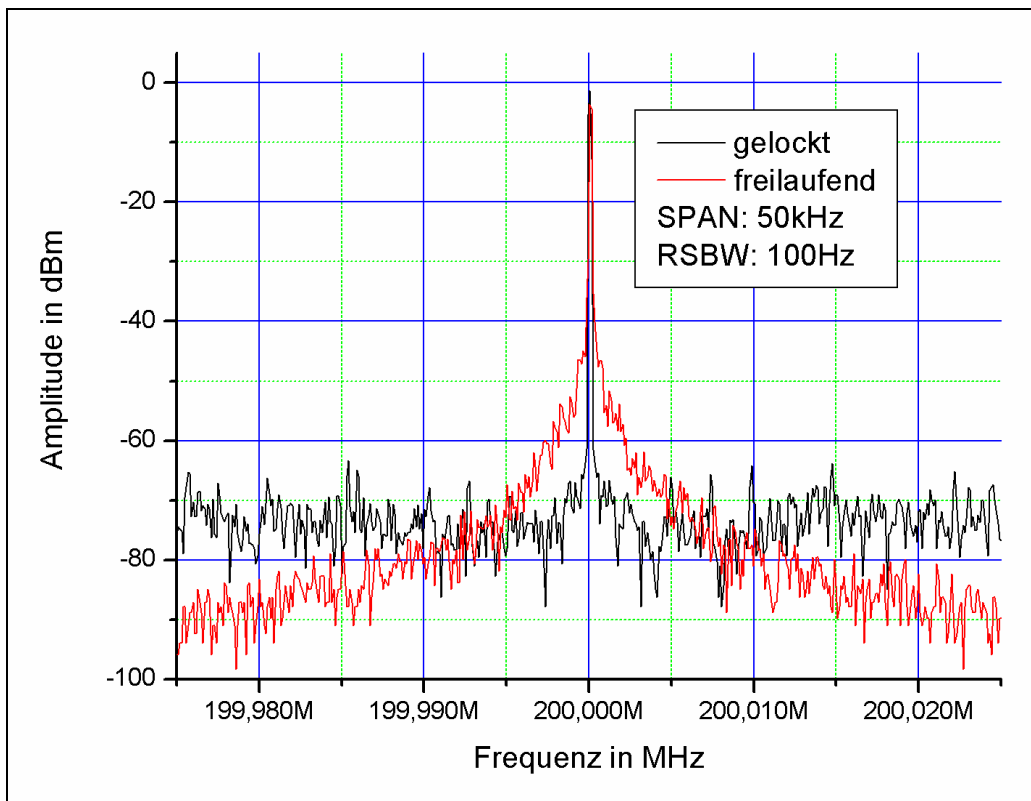


Abb. 6.1-16: Phasenrauschen im Übergangsbereich

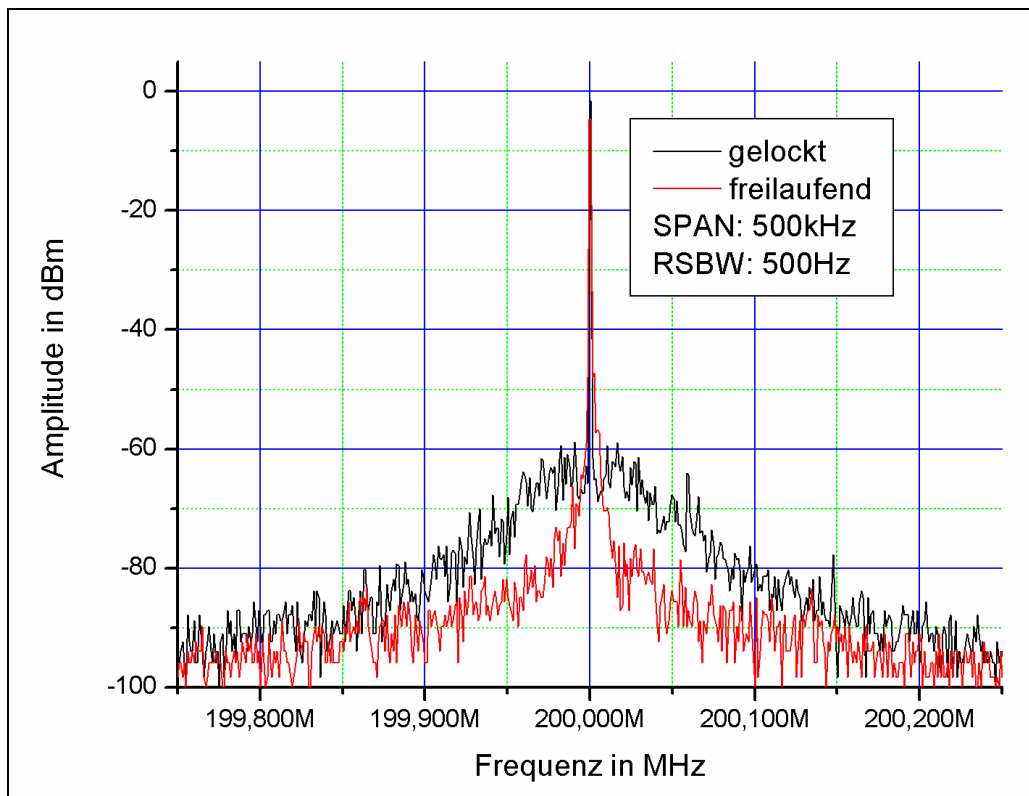


Abb. 6.1-17: Phasenrauschen außerhalb der Regelbandbreite

Abbildung 6.1-18 zeigt das von uns gemessene und simulierte Phasenrauschen. Die magentafarbige Kurve entspricht der Phasenrauschsimulation aus Kapitel 6.1.9.

Da aufgrund fehlender Angaben im Datenblatt das Phasenrauschen des Teilers und des Phasenfrequenzvergleichers als nahezu ideal angenommen wurde, ist das resultierende Phasenrauschen der Simulation weitaus geringer als das gemessene.

Für eine realistische Simulation haben wir später für den Teiler ein Phasenrauschen von -140 dBc und für den Phasenfrequenzvergleichler ein Phasenrauschen von -120 dBc geschätzt. Es bleibt zu erwähnen, dass das Phasenrauschen des PFD unter Umständen weitaus besser ist. Da wir jedoch keine Maßnahmen zur Entstörung unternommen haben, wird die Performance des PFD vor allem durch Rauschen auf der Versorgungsspannung verschlechtert.

Wie die rote Kurve zeigt, stimmen Simulation und Messung gut überein. Abweichungen für höhere Frequenzen ergeben sich entsprechend dem Dynamikbereich und Phasenrauschen des zur Messung verwendeten Spektrumanalysators. Da wir das Phasenrauschen der verwendeten Referenzquelle nicht ausgemessen und in der Simulation verwendet haben, kommt es auch in Trägernähe zu Abweichungen zwischen gemessenen und simulierten Werten.

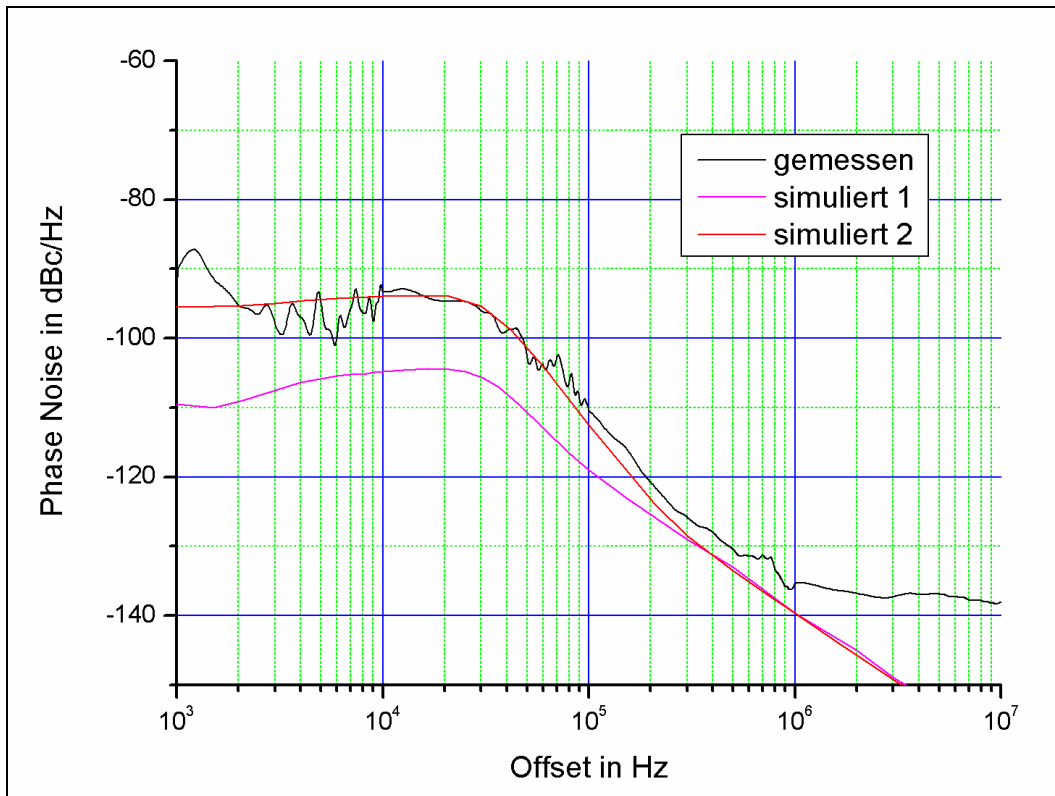


Abb. 6.1-18: Phasenrauschen am Ausgang des VFO

6.1.12 Layout und Bestückungsplan

Abbildung 6.1-19 und 6.1-20 zeigen das Layout sowie den Bestückungsplan des „VCO und ersten Mischer-Moduls“. Die Platine ist größtenteils einseitig und in SMD ausgeführt. Auf der Oberseite werden lediglich Linearregler, Mischer und VCO bestückt.

Ansonsten dient die Oberseite, bis auf einige Durchführungen, als Massefläche. Der VCO kann natürlich auch, wie bei unserem Prototyp, extern angeschlossen werden. Dies ermöglicht, wenn erwünscht, eine Erweiterung des Frequenzbereiches beim Einsatz verschiedener VCOs.

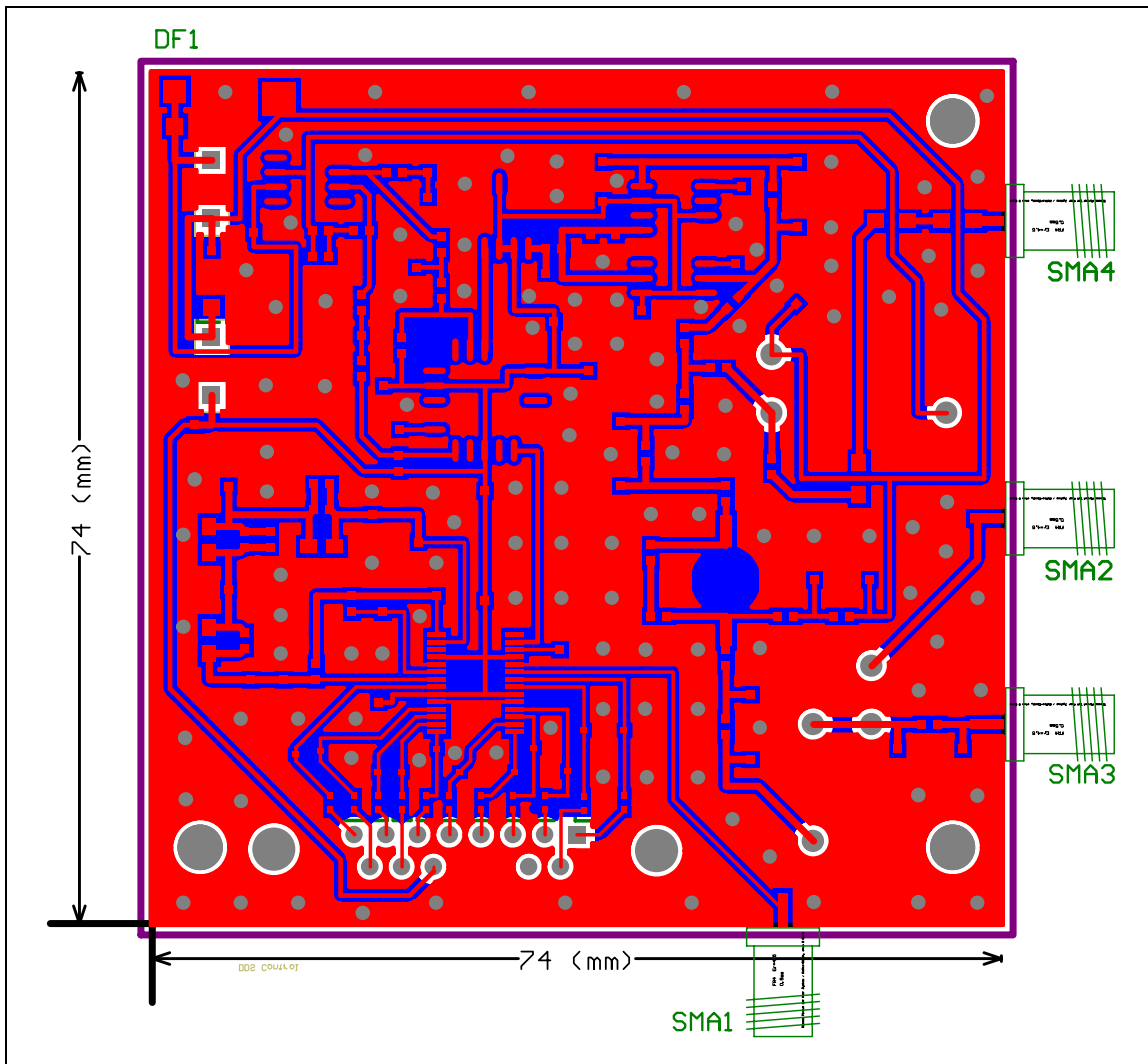


Abb. 6.1-19: Layout der Unterseite

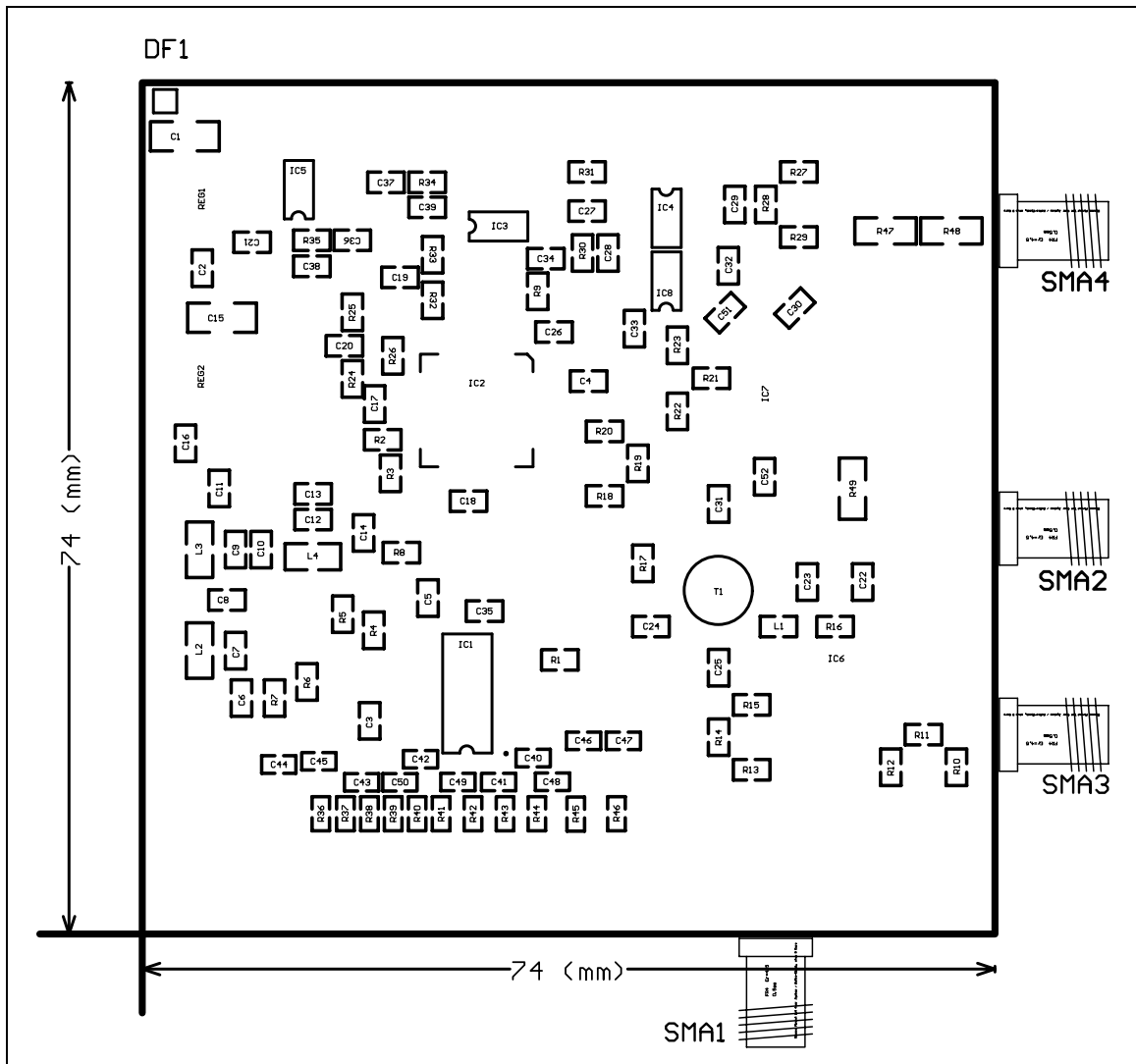


Abb. 6.1-20: Bestückungsplan der Unterseite

6.1.13 Fazit

Abschließend kann gesagt werden, dass die Schaltung alle an sie gestellten Anforderungen erfüllt. Der VFO kann, bei der Verwendung von verschiedenen externen VCOs und einer höheren Referenz, theoretisch Frequenzen bis 1200 MHz erzeugen. Der von uns verwendete Mischer arbeitet bis 500 MHz zuverlässig. Bei 15 V Spannungsversorgung verbraucht die Schaltung ca. 180 mA, entsprechend einer Leistungsaufnahme von 2,7 W.

6.2 Erstes ZF-Filter und ZF-Verstärker

6.2.1 Anforderung

In der ersten Mischstufe wird der gesamte Eingangssignalebereich von 0-100 MHz in Kehrlage unter die jeweilige VFO-Frequenz gemischt:

$$f_{\text{Misch}} = f_{\text{VFO}} - f_{\text{Ein}}$$

Der Trick beim Superheterodynprinzip besteht nun darin, die VFO-Frequenz immer so einzustellen, dass jeweils die Eingangsfrequenz, die gerade abgetastet wird, genau auf 170,7 MHz gemischt wird. Dort kann sie mit einem festen schmalbandigen Bandpassfilter, dem Zwischenfrequenzfilter, vom Rest des Signals getrennt werden.

Beim vorliegenden Aufbau mit zwei Zwischenfrequenzen (170,7 MHz und 10,7 MHz) erfüllt die erste ZF-Filterung die Aufgabe, unerwünschte Mischprodukte in der zweiten Mischstufe zu verhindern (z.B. durch Unterdrückung der 2. Spiegelfrequenz bei 149,3 MHz).

Es wird also ein möglichst schmalbandiges Bandpassfilter um 170,7 MHz benötigt.

6.2.2 Bauform

Zunächst musste die Frage nach der Bauform des Filters geklärt werden. Für den gewünschten Frequenzbereich sind verschiedene Filterarten gebräuchlich, gegen die aber jeweils eine Reihe von Gründen sprechen:

- Für schmalbandige LC-Filter (also mit konzentrierten Elementen) benötigt man Bauelemente mit hohen Güten, diese sind teuer.
- SAW-Filter (surface acoustic wave), bei denen die Filterwirkung auf der resonanten mechanischen Anregung von Kristallen (Piezo-Effekt) beruht, haben zwar hohe Güten, müssten aber für unsere ZF-Frequenz speziell industriell gefertigt werden.
- Interdigital- oder Hairpin-Filter sind zu groß, da hier echte $\lambda/4$ - Längen genutzt werden (für $f = 170,7$ MHz, Leiterplattenmaterial FR4 mit $\epsilon_r = 4,38$ und Microstriptechnik ist $\lambda/4 \approx 25$ cm (s.u.))

Deshalb wurde ein Comblin-Filter ausgesucht. Diese Bauform nutzt nominell auch $\lambda/4$ - Leitungsresonatoren, und garantiert damit eine quasi kostenlose, relativ hohe Güte. Im Unterschied zu Interdigital- oder Hairpin-Filtern werden aber hier die Leitungen einseitig mit konzentrierten Kapazitäten abgeschlossen. Dies belastet die Resonatoren reaktiv und senkt die Resonanzfrequenz, so dass statt 90° nur (in diesem Fall) 23° lange Leitungen genutzt werden können. Das führt zu einer wesentlich kompakteren Bauweise.

In Abbildung 6.2-1 ist der grundsätzliche Aufbau eines Comblin-Filters dargestellt. Entsprechend der Ordnung N des Filters besteht es aus N parallelen Leitungen, die

auf einer Seite direkt und auf der anderen Seite indirekt über Kapazitäten gegen Masse kurzgeschlossen sind. Die Platine, auf der das Filter aufgebaut ist, besteht aus dem Leiterplattenmaterial FR4 ($\epsilon_r = 4,38$) und wurde in Mikrostreifen-Technik (microstrip) layoutet, d.h. die Unterseite ist eine vollständige Massefläche, die zusammen mit den oberseitigen Leiterbahnen Wellenleiter mit einem Wellenwiderstand von 50Ω bildet.

Die Filterwirkung wird im Folgenden kurz beschrieben: Die Leitungen wirken als Resonatoren, d.h. es bilden sich stehende Wellen aus, wenn die Randbedingungen Kurzschluss und Leerlauf erfüllt werden. Diese Bedingung ist aber nur für einfallende Wellen bestimmter Wellenlänge bzw. Frequenz erfüllt. Alle anderen Wellen löschen sich durch destruktive Interferenz auf der Leitung aus. Da die parallelen Leitungen induktiv und kapazitiv verkoppelt sind, koppeln nur die Frequenzen über, die ein Spannungs- und ein Strommaximum auf der Leitung besitzen, also nur die diskreten Frequenzen, die die Randbedingungen erfüllen.

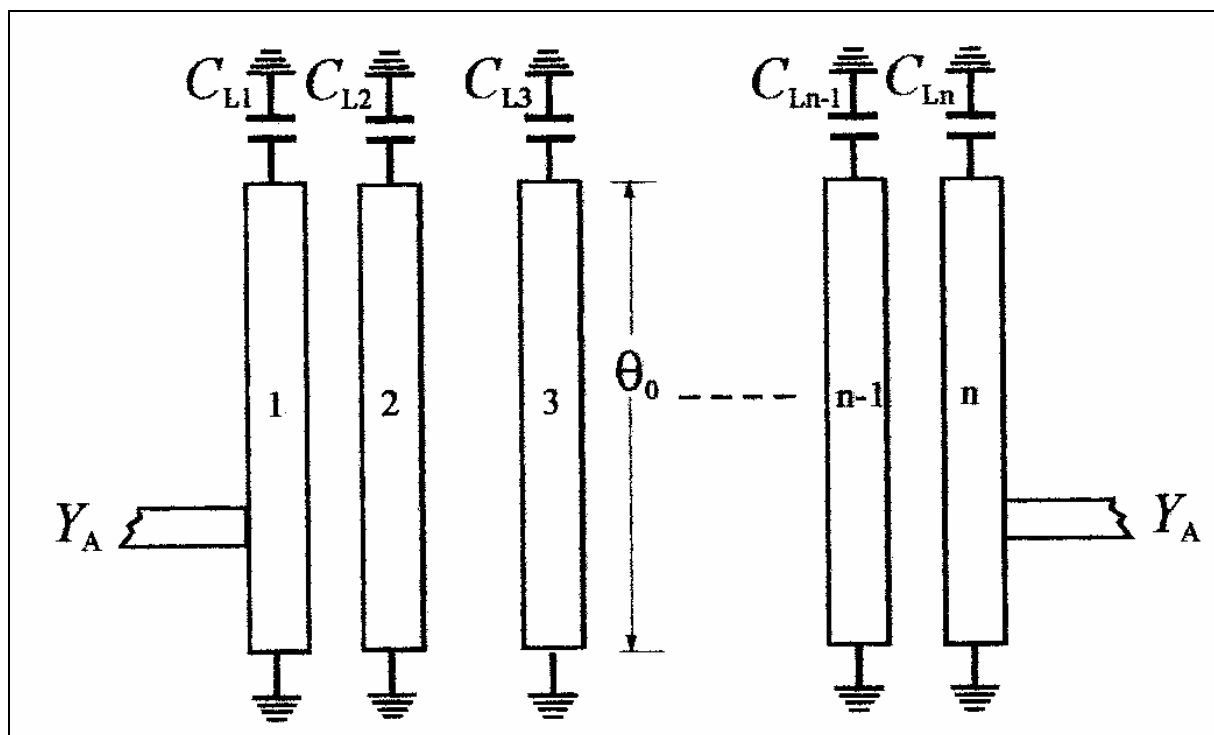


Abb. 6.2-1: Grundsätzlicher Aufbau eines Compline-Filters

6.2.3 Entwurf

Das ZF-Filter wurde als Tschebyscheff-Filter 3. Ordnung entworfen. Dazu wurden folgenden Filter-Eigenschaften festgelegt:

- Mittenfrequenz $f_m = 170,7 \text{ MHz}$
- Bandbreite $B_{3 \text{ dB}} = 4 \text{ MHz}$
- Welligkeit im Durchlassbereich $Ripple = 0,5 \text{ dB}$
- Ein- und Ausgangswiderstand $R_{in} = R_{out} = 50 \Omega$
- Relative Resonatorlänge $L_{Res} = 23^\circ$

Der Entwurf selbst wurde zunächst auf Grundlage der allgemeinen Filterentwurfsregeln vorgenommen (tabellierte, normierte Filterkoeffizienten eines äquivalenten Tiefpasses, Tiefpass-Bandpass-Transformation, Umrechnung der Koeffizienten auf die charakteristischen Parameter der Compline-Bauform). Danach wurde das Filter mit Hilfe eines Feldsimulators untersucht, um realitätsnahe Simulationsergebnisse zu bekommen. Die so erhaltene und optimierte Filtercharakteristik zwischen 150 und 200 MHz zeigt Abb. 6.2-2.

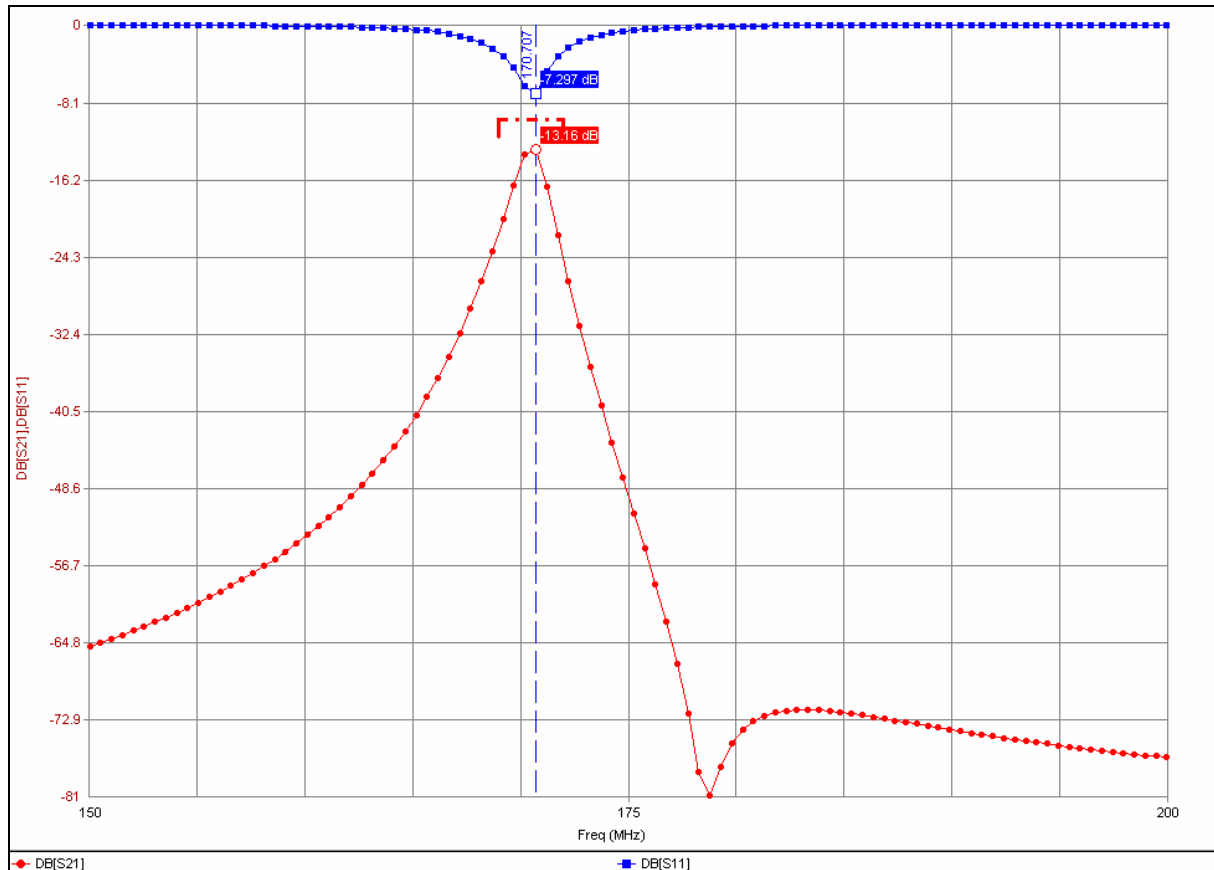


Abb. 6.2-2: Simulierte Streuparameter des 1. ZF-Filters von 150 bis 200 MHz (blau: S_{11} in dB, rot: S_{21} in dB)

An der roten Kurve (S_{21} in dB, entspricht dem Verhältnis zwischen Eingangs- und Ausgangsleistung) sieht man die hohe Selektivität. Laut Simulation ergibt sich bei 5 MHz Abstand zur Mittenfrequenz eine Unterdrückung von 40 dB. Allerdings wird dies mit einer relativ hohen Durchgangsdämpfung von etwa 13 dB (dazu gleich mehr) erkaufte. Die blaue Kurve (S_{11} in dB, entspricht dem Verhältnis zwischen reflektierter und transferierter Leistung) zeigt, dass das Filter auf der Mittenfrequenz mittelmäßig gut angepasst ist.

Eine Simulation von 100 MHz bis 5000 MHz, die in Abb. 6.2-3 zu sehen ist, weist auf ein weiteres Problem hin. Da die Filterwirkung auf Resonanzeffekten beruht, gibt es mehrere Durchlassbänder, denn auch Wellen mit höherer Frequenz können die Randbedingungen erfüllen. Das erste unerwünschte Durchlassband liegt bei -25 dB Unterdrückung, d.h. nur etwa 10 dB unter dem eigentlichen Durchlassband mit 13 dB Durchlassdämpfung. (Da die Feldsimulation nur für ein bestimmtes Frequenzraster durchgeführt wird (geringerer Rechenaufwand), sieht es in Abb. 6.2-3 so aus, als ob

bei 170,7 MHz 40 dB Durchlassdämpfung wären. Dies täuscht natürlich, vgl. Abb. 6.2-2 mit höherer Rechenauflösung).

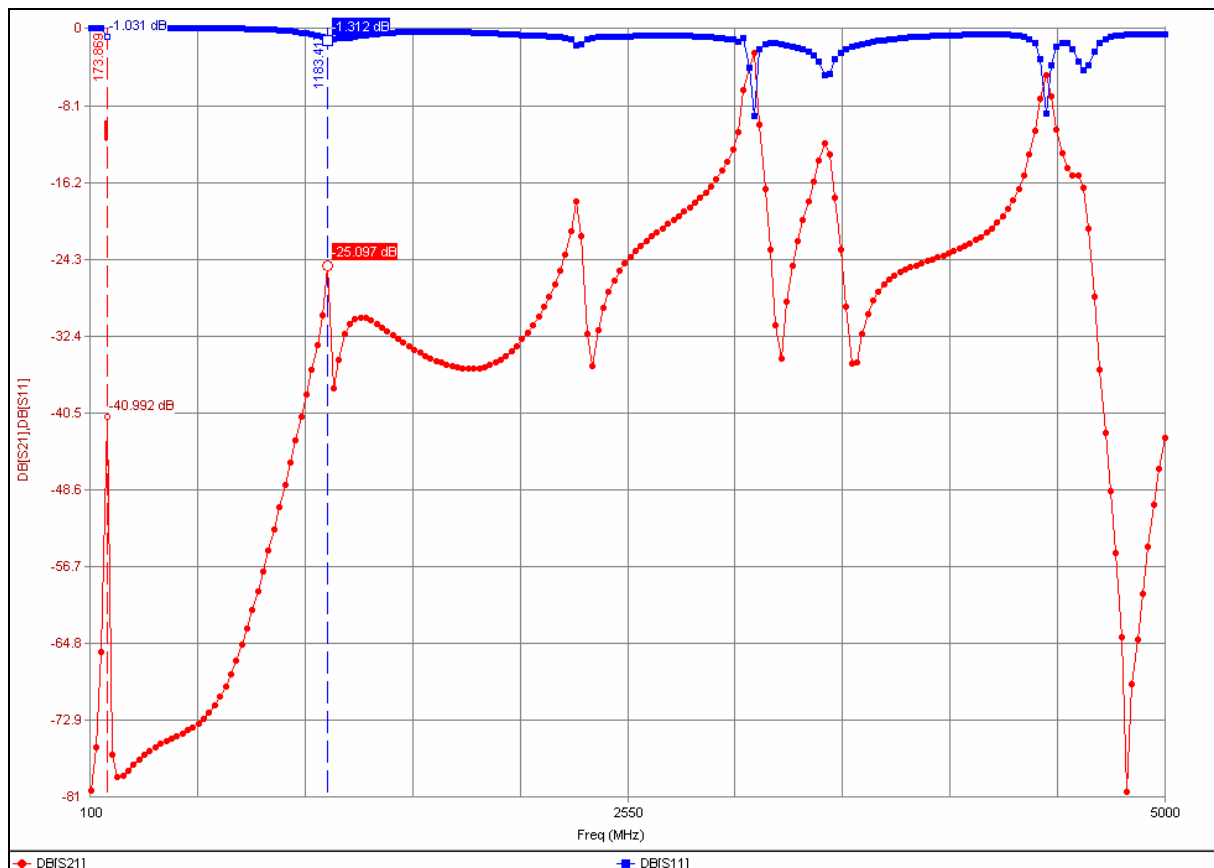


Abb. 6.2-3: Simulierte Streuparameter des 1. ZF-Filters von 100 bis 5000 MHz (blau: S_{11} in dB, rot: S_{21} in dB)

Dazu stellen wir folgende Überlegung an, um die Frequenz des ersten unerwünschten Durchlassbereiches vorherzusagen:

Die Leitungstreifen wurden zu 64,5 mm berechnet und sie entsprechen

$$\frac{360^\circ}{23^\circ} = \frac{\lambda_0}{15,65},$$

also etwa einem 16-tel der Resonanzwellenlänge. Daraus folgt diese zu

$$\lambda_0 = 15,65 \cdot 64,5 \text{ mm} = 1,01 \text{ m}.$$

Dieses Ergebnis wurde schon im Abschnitt Bauform benutzt, um klarzumachen, dass sowohl Interdigital- als auch Hairpin-Filter für diese Frequenz viel zu groß sind.

Aus Abb. 6.2-4 wird deutlich, dass für die nächste resonante Welle gerade

$$L_{\text{Res}} = 64,5 \text{ mm} \approx \frac{7}{16} \lambda_1$$

gelten muss. Die Frequenz muss also etwa das Siebenfache von 170,7 MHz und somit

$$f_1 = 7f_0 = 1195 \text{ MHz}$$

betragen. Das ist exakt in Abb. 6.2-3 zu sehen.

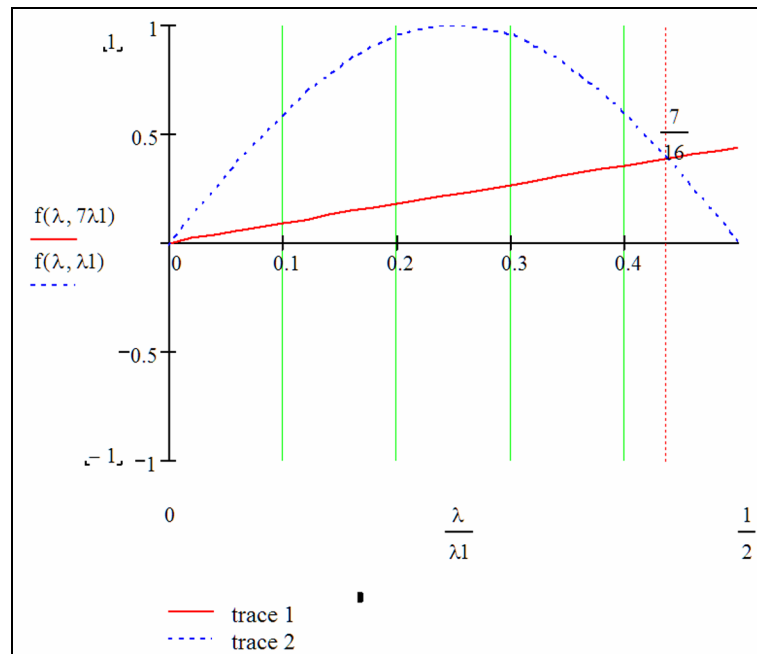


Abb. 6.2-4: Zwei Wellen mit den Wellenlängen $7\lambda_1$ und λ_1 erfüllen die gleichen Randbedingungen

6.2.4 Modifikationen

Wie oben gesehen, hat das Comblin-Filter periodisch wiederkehrende Durchlassbereiche (vgl. Abb. 6.2-3). Deshalb wurde vor das Filter zusätzlich ein LC-Tiefpass mit einer Grenzfrequenz von ca. 250 MHz eingesetzt (L1, C1), das für zusätzliche Dämpfung im oberen Frequenzbereich sorgt.

Die relativ hohe Durchgangsdämpfung von ca. 15 dB ist im Signalpfad sehr unangenehm, denn als passiver Vierpol bedeutet das eine Rauschzahl von ca. 15 dB ($F_2 = 31,6$). Die Empfindlichkeit des Gesamtsystems wird damit um 15 dB herabgesetzt. Um dies zu verhindern, wird vor das Filter eine Verstärkerstufe (PA) geschaltet, deren Verstärkung etwa 30 dB ($G_1 = 1000$) und deren Rauschzahl etwa 3dB ($F_1 = 2$) beträgt. Gemäß dem Gesamttrauschen hintereinander geschalteter Vierpole wird die Gesamttrauschzahl so auf

$$F_{ges} = F_1 + \frac{F_2 - 1}{G_1} = 2 + \frac{31,6 - 1}{1000} = 2,03 \approx 3,1 \text{ dB}$$

reduziert. Gleichzeitig wird der Verlust im ersten Mischer und im folgenden Dämpfungsglied ausgeglichen.

Im Verstärker wird ein Transistor des Typs MSA0886 (IC1) verwendet, für dessen Eingangsanpassung das oben erwähnte Tiefpassfilter (L1, C1) genutzt wird. Die Kondensatoren C1, C2 dienen der Gleichspannungsentkopplung. Die Versorgungsspannung wird über den Vorwiderstand R1 zum Einstellen des Arbeitspunktes (7,8 V; 36 mA) zugeführt. Die Spule L2 und die Kondensatoren C4, C5 dienen zum Abblocken der HF, sie stellen für die Gleichspannung einen Kurzschluss (L) bzw. Leerlauf (C) dar.

Die maximale Leistungsverstärkung des MS0886 bei 170,7 MHz (bei Leistungsanpassung am Ein- und Ausgang) liegt bei ca. 30 dB. Der Ausgang des Verstärkers ($S_{22} \cong 0,5$) ist jedoch nicht auf den Eingang des Bandpassfilters angepasst ($S_{11} \cong 0,18$). Daraus ergibt sich eine resultierende Leistungsverstärkung von etwa 29 dB bei 170,7 MHz.

Der 1 dB-Kompressionspunkt des Verstärkers liegt bei $P_{out} = 12,5$ dBm und der TOI (3rd order interception point) bei $P_{out} = 27$ dBm. Da am Verstärker maximal $P_{in} = -30$ dBm anliegen dürfen (weil der nachfolgende zweite Mischer nur Eingangsleistungen bis $P_{in} = -20$ dBm verträgt), arbeitet er also im linearen Bereich und es sind nur relativ geringe Harmonische zu erwarten. Außerdem werden diese durch das nachfolgende Bandpassfilter gedämpft.

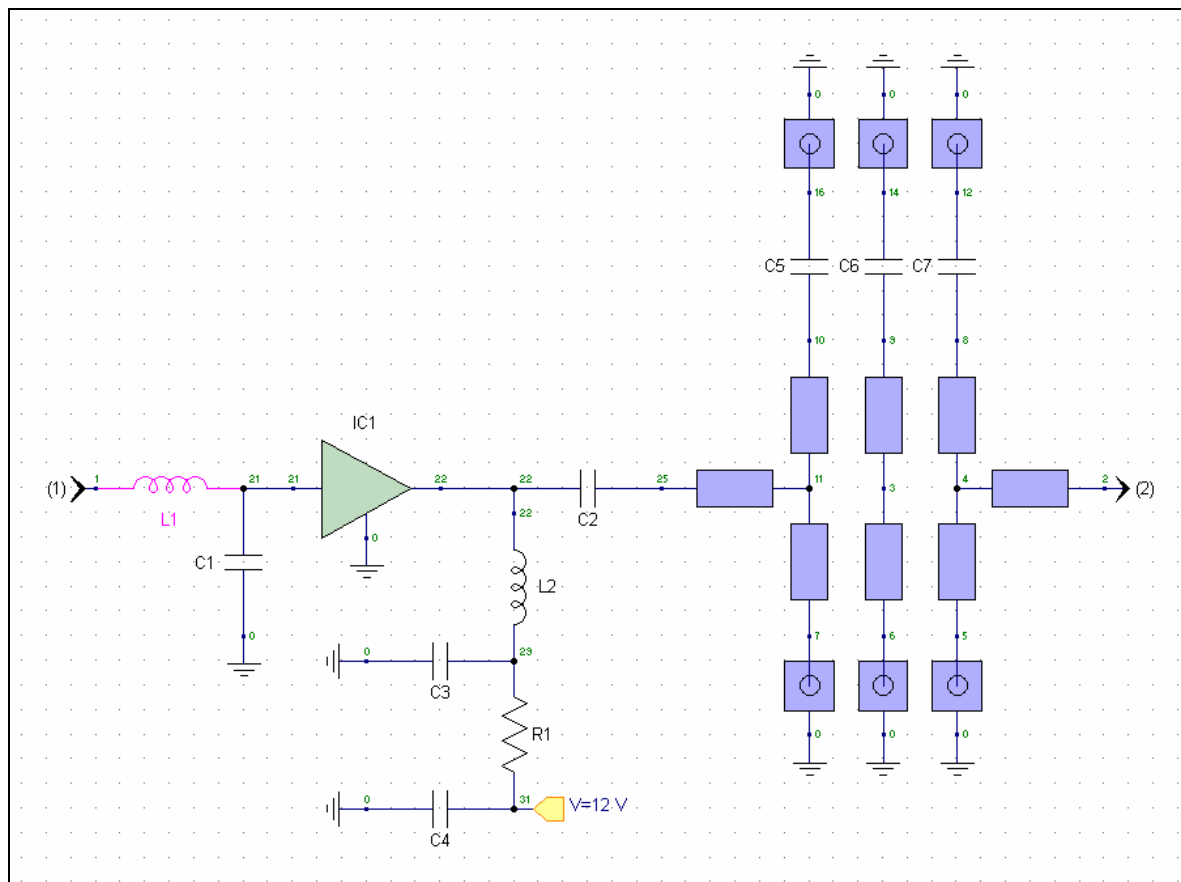


Abb. 6.2-5: Schaltplan des Filters und des Verstärkers (Bauteilliste im Anhang)

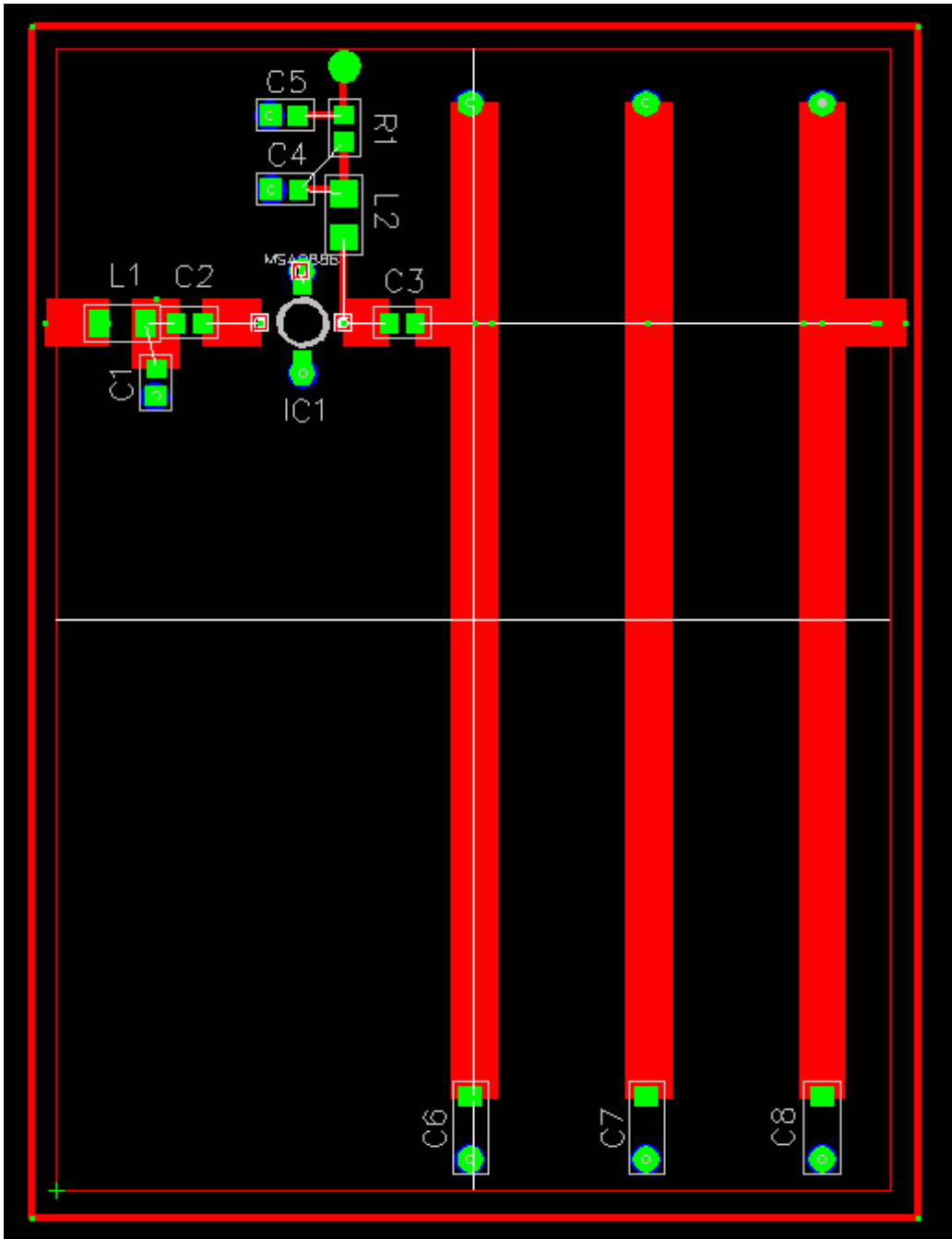


Abb. 6.2-6: Layout der Filterplatine

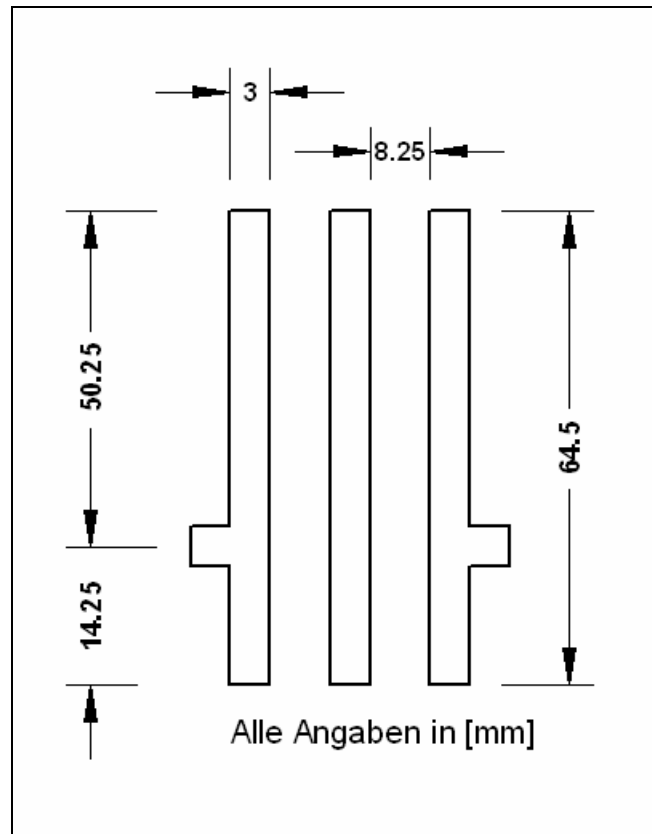


Abb. 6.2-7: Filterdimensionierung

6.2.5 Messung und Zusammenfassung

In den folgenden Abbildungen sind reale Messungen der Filterkurve dargestellt. Abb. 6.2-8 entspricht dabei der simulierten Kurve aus Abb. 6.2-2. Man sieht, dass das Filter in der Realität etwas breiter geworden ist, die 3 dB-Bandbreite beträgt etwa 5 MHz. Auch im Übergangs- und Sperrbereich werden die simulierten Werte nicht ganz erreicht: 40 dB Unterdrückung ergibt sich erst bei 10 MHz Abstand zur Mittenfrequenz, im Sperrbereich beträgt die Unterdrückung etwas mehr als 55 dB (vgl. Abb. 6.2-9). Diese Diskrepanz ist vor allem mit der schlechten Güte der verwendeten Abschlusskapazitäten zu erklären, die die Gesamtgüte des Filters nach unten drücken. Trotzdem entspricht die Filtercharakteristik qualitativ der Simulation, und die Anforderungen werden voll erfüllt.

Die Gesamtverstärkung des Aufbaus beträgt etwa 16 dB, mit 13 dB Durchgangsdämpfung des Filters und 29 dB Verstärkung des PA entspricht dies genau der Simulation.

In Abb. 6.2-10 wurde ein großer Frequenzbereich gemessen (100 – 5000 MHz), um zu sehen, wie die oberen Durchlassbänder unterdrückt sind (vgl. Abb. 6.2-3). Wie man sieht, ist das zusätzliche LC-Filter ein voller Erfolg, das erste unerwünschte Band ist jetzt um etwa 45 dB unter dem gewünschten Durchlassbereich. Das heißt, das LC-Filter sorgt dort für 35 dB zusätzliche Dämpfung (40 dB/Dekade). In dieser Abbildung sieht man noch einmal, wie schmal das Filter im Frequenzbereich geworden ist.

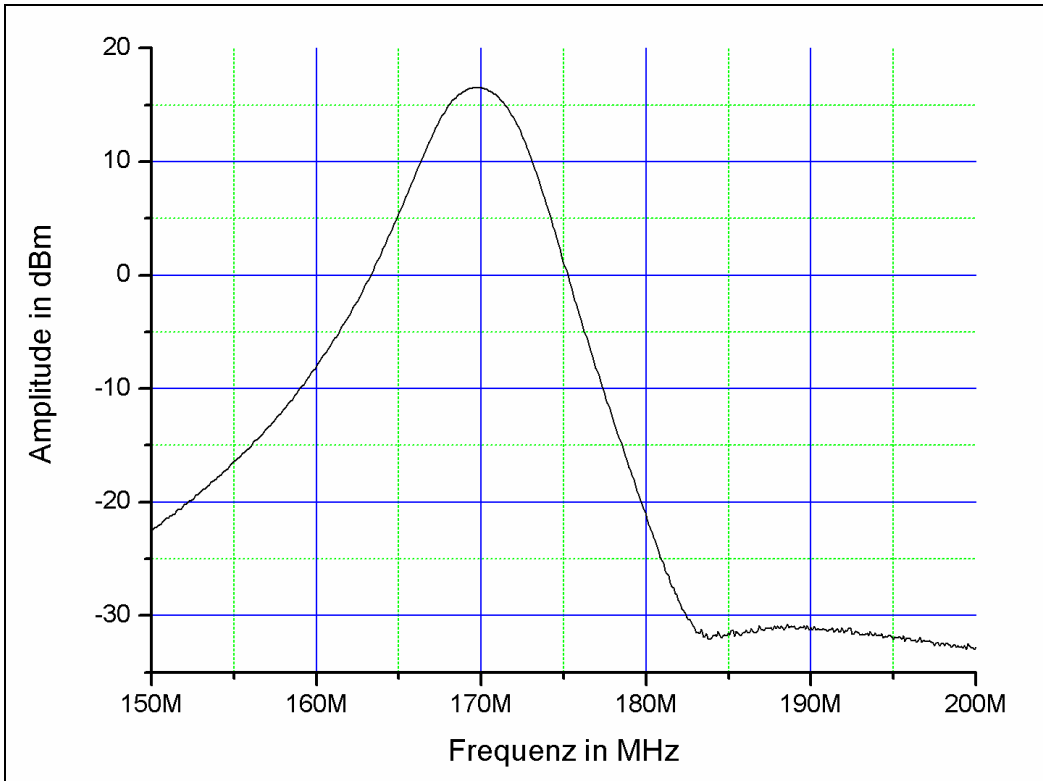


Abb. 6.2-8: Gemessene, normalisierte Filterkurve von 150 – 200 MHz

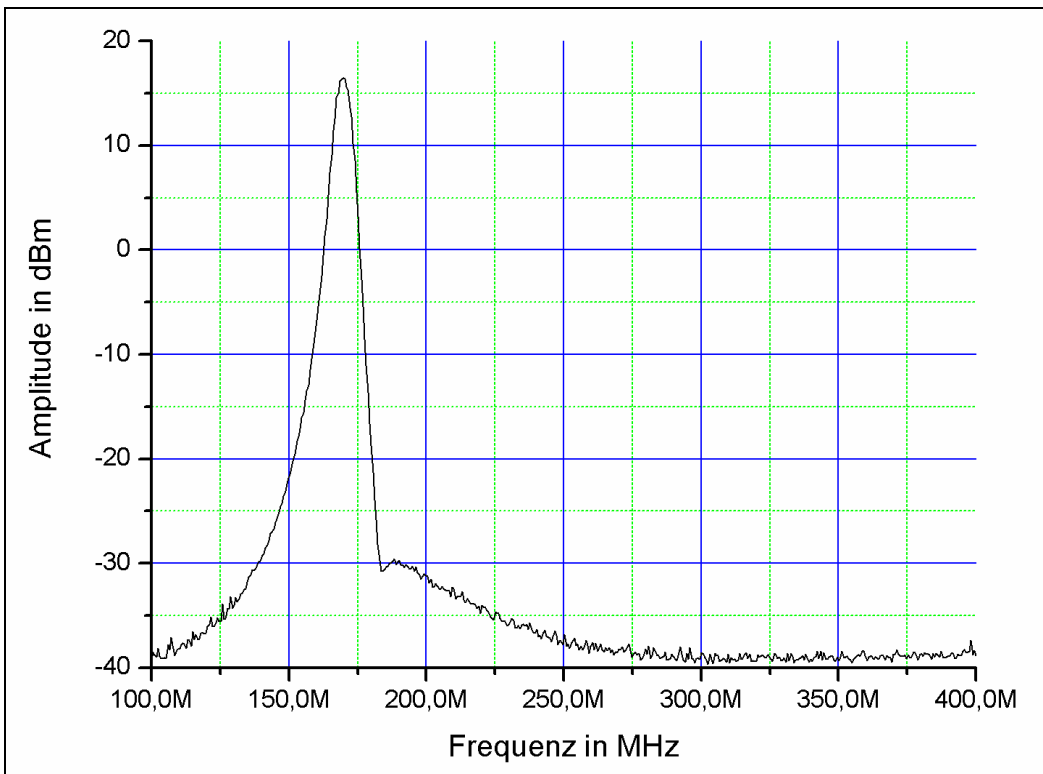


Abb. 6.2-9: Gemessene, normalisierte Filterkurve von 100 – 400 MHz

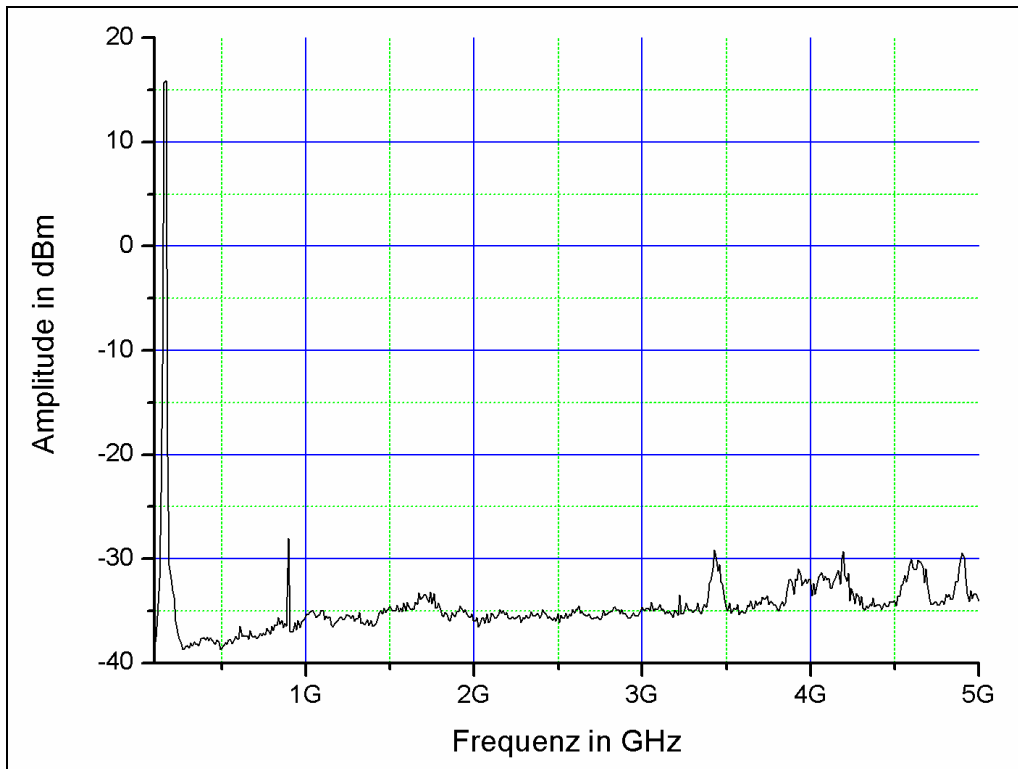


Abb. 6.2-10: Gemessene, normalisierte Filterkurve von 100 – 5000 MHz

6.3 2. ZF-Modul und 10 MHz-Referenz

6.3.1 Zielstellung

Aufgabe war das Design und die Realisierung des 160 MHz-Lokaloszillators, der 10 MHz-Referenz sowie die Beschaltung des Mischerbausteins. Das 2. ZF Modul stellt die Verbindung zwischen der VFO-Mischergruppe und der Digitalgruppe dar, d.h. die Verarbeitung der hochgemischten 1. Zwischenfrequenz.

Der erste Teil der Aufgabe bestand darin einen Lokaloszillator zu bauen, der eine stabile Frequenz von 160 MHz liefert. Der zweite Teil der Schaltung ist dem Mischermodul gewidmet. Hier soll das 1. ZF Signal auf 10,7 MHz runtermischt, gefiltert und logarithmisch detektiert werden. Da der Spektrumanalysator als „Standalone Gerät“ funktionieren soll, ist der Aufbau einer präzisen Referenzclock unabdingbar. Diese soll nach Möglichkeit ein reines 10 MHz Sinussignal liefern, da bei einem rechteckförmigen Signal die Oberwellen erhebliche Störeinflüsse auf der Platine hervorrufen können.

Das folgende Blockschaltbild zeigt alle einzelnen Komponenten der Schaltung, wobei die grün markierten Kästchen die externen Schnittstellen symbolisieren.

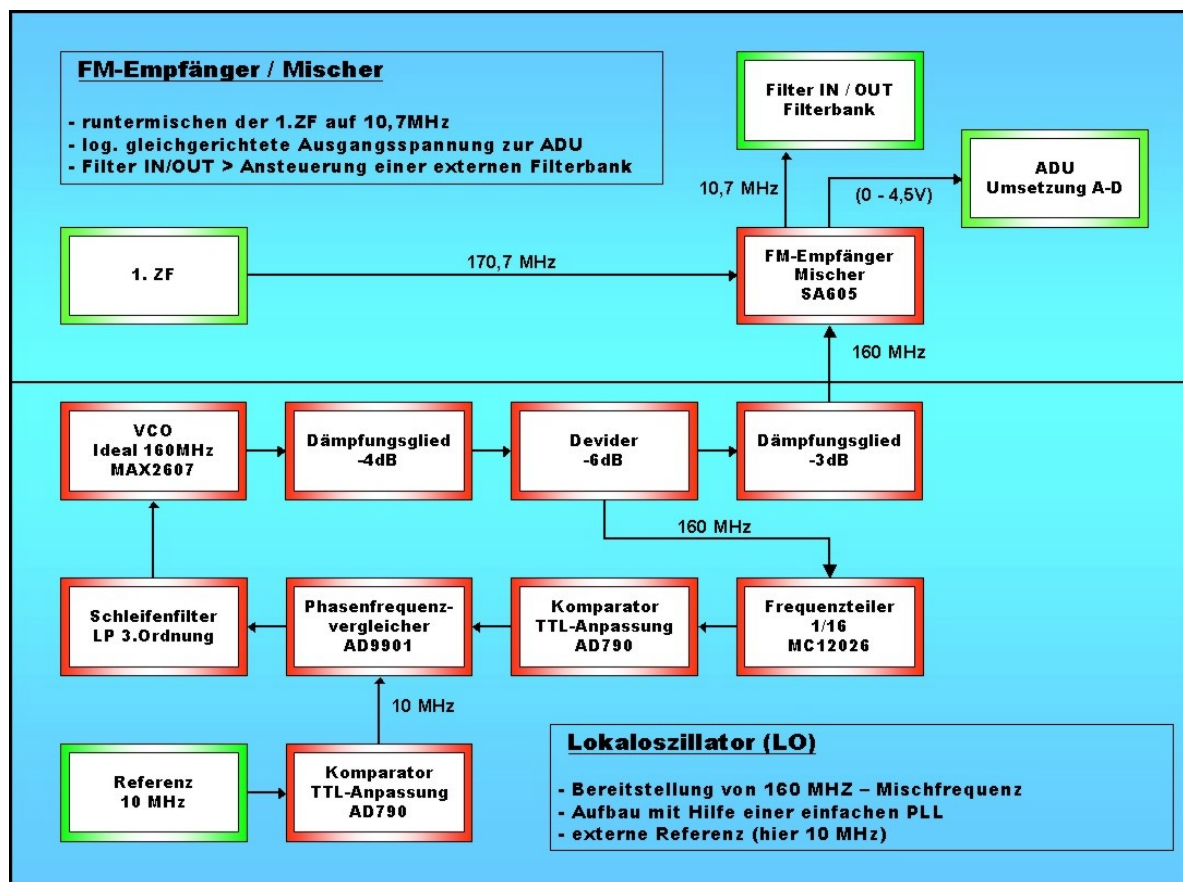


Abb. 6.3-1: Blockschaltbild des 2. ZF-Moduls

6.3.2 Vorbetrachtung

Um zu verstehen, wie das 2. ZF-Modul arbeitet, sollen die dafür notwendigen Mischprinzipien kurz beschrieben werden.

Mischer sind Bauelemente, die Signale von einem gegebenen Frequenzbereich in einen anderen Frequenzbereich verschieben können. Der Mischer hat zwei Eingänge, wobei der erste Eingang als RF-Input bezeichnet wird (RF - radio frequency). Diesem Eingang wird in der Regel ein hochfrequentes Signal zugeführt. Der zweite Eingang ist mit LO-Input (LO - local oscillator) bezeichnet. Der Ausgang wird als IF-Output (IF - intermedia frequency = Zwischenfrequenz) oder ZF-Ausgang bezeichnet.

Der Mischer erzeugt an seiner nichtlinearen Kennlinie Mischprodukte des RF- und LO-Signals. So entstehen unter anderem die Frequenzkomponenten $f_{RF}+f_{LO}$ sowie $f_{RF}-f_{LO}$. Mit einem Bandpass werden die gewünschten Signalkomponenten herausgefiltert. Wird die Summenfrequenz weiter verwendet, so spricht man von einem Aufwärtsmischer und im Fall, dass die Differenzfrequenz benutzt wird, von einem Abwärtsmischer.

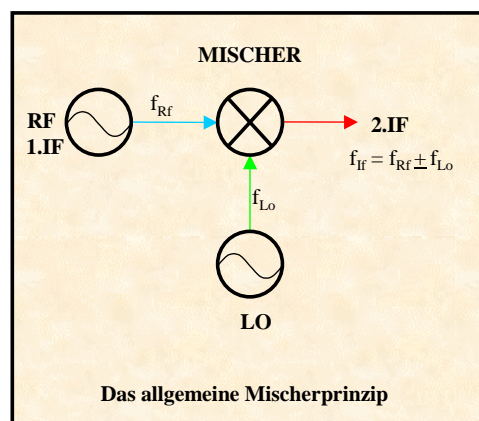


Abb. 6.3-2: Mischerprinzip

In unserem Mischer wird das 1. ZF-Signal bei 170,7 MHz mit der Lokaloszillatorfrequenz von 160 MHz auf die niederfrequente 2. Zwischenfrequenz von 10,7 MHz herunter gemischt. Dabei entstehen neben der gewünschten Zwischenfrequenz auch Modulationprodukte höherer Ordnung. Sie spielen z.B. bei der maximalen Aussteuerung des Mischers eine große Rolle. Die kurze Rechnung soll demonstrieren, wie sich das Intermodulationsprodukt 3. Ordnung berechnet.

$$f_{n,m} = |n \cdot f_{LO} + m \cdot f_{RF}|$$

$$f_{2,-1} = |2 \cdot f_{LO} - f_{RF}| = 2 \cdot 160 \text{ MHz} - 170,7 \text{ MHz} = 149,3 \text{ MHz}$$

$$f_{-1,2} = |-f_{LO} + 2 \cdot f_{RF}| = -160 \text{ MHz} + 2 \cdot 170,7 \text{ MHz} = 181,4 \text{ MHz}$$

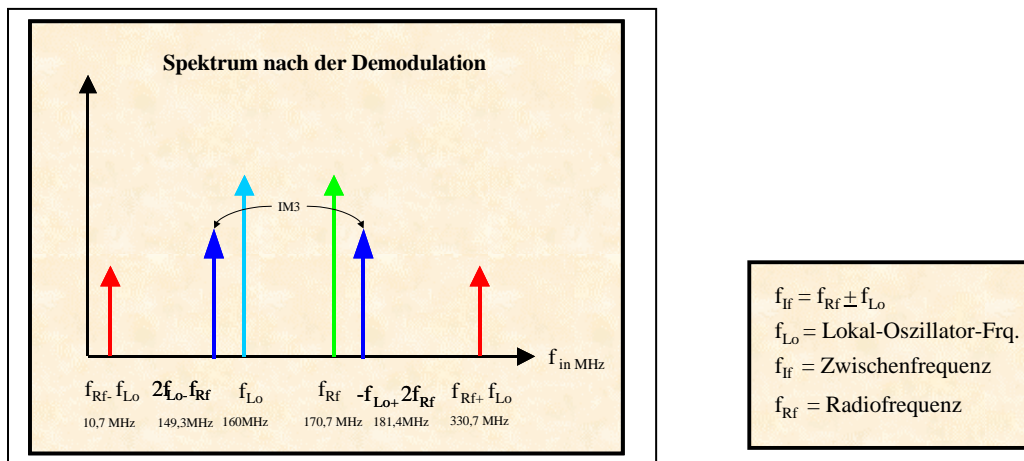


Abb. 6.3-3: Ausgangsspektrum mit Intermodulationsprodukt 3. Ordnung

6.3.3 Planung des Lokaloszillators

Der Aufbau eines 160 MHz Lokaloszillators kann z.B. mit einem Quarzoszillator oder einer PLL (Phase Locked Loop) realisiert werden. Der Entwurf des Quarzoszillators wurde schon in den ersten zwei Wochen verworfen, da die PLL flexibel auf die Schaltungsbedürfnisse abgestimmt werden kann. Die Synchronisierbarkeit mit anderen Schaltungssteilen (DDS) über eine gemeinsame Referenz ist dadurch ebenfalls möglich.

Um den Aufwand des Layouts zu reduzieren, war es sinnvoll die gleiche PLL wie auf der VFO-Mischer Platine zu verwenden. Somit konnte die spätere Testphase erheblich verkürzt werden.

6.3.4 80-Mhz Quarzoszillator mit Frequenzverdoppler

Obwohl wir den Quarzoszillator als Lokaloszillator nicht weiter verfolgt haben, soll an dieser Stelle das Schaltungskonzept kurz vorgestellt werden.

Die gebräuchlichsten Quarzoszillatoren sind Colpitts-, Clapp-Guriett- und Pierceoszillatoren. Mit Hilfe von rauscharmen Transistoren hoher Verstärkung lassen sich hochfrequente Quarzoszillatoren mit niedrigem Phasenrauschen sehr einfach aufbauen. Vorteil ist der klare Aufbau und die Spezifikation in Einzelstufen, insbesondere wenn die Begrenzungsfunktion mit Diodenbegrenzern oder einer AGC-Schaltung (automatische Verstärkungsregelung) getrennt durchgeführt wird, so dass die Verstärker nicht in die Sättigung getrieben werden. Je nach Zahl der Stufen und deren Phasendrehung handelt es sich im Prinzip um eine Pierceschaltung. Die Abb. 6.3-4 zeigt einen der ersten Entwürfe eines Oszillator mit einem 80MHz Quarz. Die Amplitude wird mit einem Schottky-Diodenbegrenzer ausgeführt, alternativ ist die einstellbare AGC-Schaltung aufgeführt.

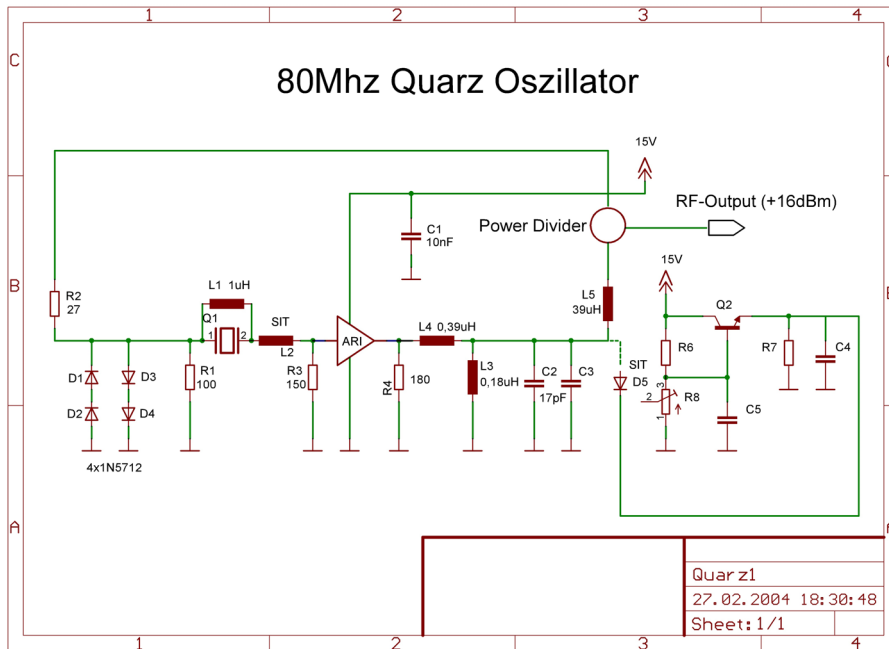


Abb. 6.3-4: 80 MHz Quarzoszillator

Um die 80 MHz des Quarzoszillators auf 160 MHz zu verdoppeln, gibt es die Möglichkeit der Frequenzvervielfachung. Möglich ist dies zum Beispiel mit einem digitalen Frequenzverdoppler. Der digitale Frequenzverdoppler besteht aus drei NOR-Gattern. Um ein 50% Tastverhältnis am Ausgang zu erreichen, muss die Verzögerung der 80 MHz Signale genau 90° betragen. Das Delay (Verzögerung) wird mit Hilfe von Verzögerungsgliedern erreicht, die die Signale um genau 2,78 ns verzögern müssen, damit eine Phasenverschiebung von 90° entsteht.

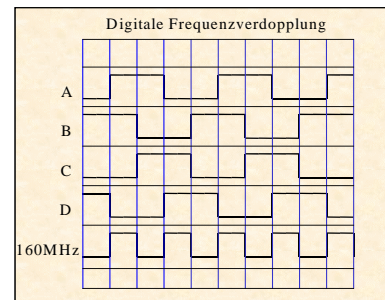
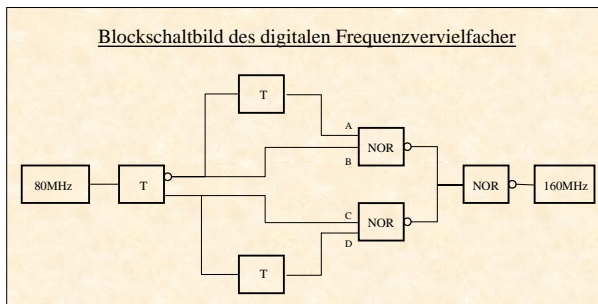


Abb. 6.3-5: Prinzip des digitalen Frequenzverdopplers

6.3.5 Entwurf eines Lokoszillators mit Hilfe einer PLL

Der Lokoszillator hat in der Schaltung einen zentralen Stellenwert. Er muss eine stabile und exakte Frequenz von 160 MHz bereitstellen. Mit dieser Frequenz wird das Eingangssignal von 170,7 MHz auf die 2. ZF von 10,7 MHz herunter gemischt.

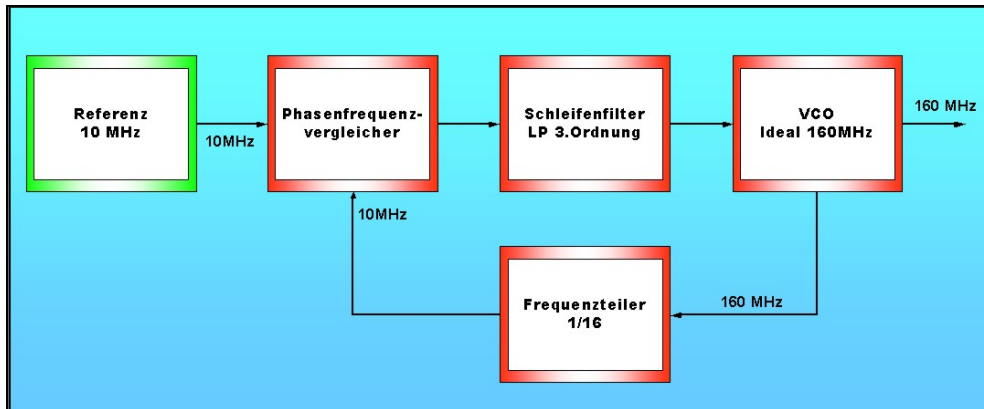


Abb. 6.3-6: Blockschaltbild der PLL

Der Lokoszillator (LO) wurde in Form eines Phasenregelkreises (PLL) aufgebaut. Das entsprechende Blockschaltbild ist in Abb. 6.3-6 dargestellt.

Der Lokoszillator besteht aus einem digitalen Phasenfrequenzvergleichler, einem Schleifenfilter, dem VCO und einem Frequenzteiler. Die verwendete PLL entspricht im Kern der PLL des variablen Frequenzoszillators und soll deshalb nicht noch einmal extra erläutert werden. Da sie im Unterschied zum VFO mit einer festen Frequenz und nicht mit der eines DDS synchronisiert wird, wurde am Referenzeingang der Schaltung ein zusätzlicher Komparator eingefügt. Als Referenz kann deshalb ein Sinus- oder Rechtecksignal angelegt werden.

Die Bandbreite des Schleifenfilters ist im Vergleich zum VFO etwas größer gewählt. Grund dafür war der verwendete VCO und das sich so ergebende, bessere Phasenrauschen.

Ein Teil des hinter dem VCO aufgeteilten Signals gelangt über ein Dämpfungsglied zum Eingang des FM-Empfängers (SA605D).

In Abb. 6.3-7 ist der komplette Schaltplan der PLL dargestellt.

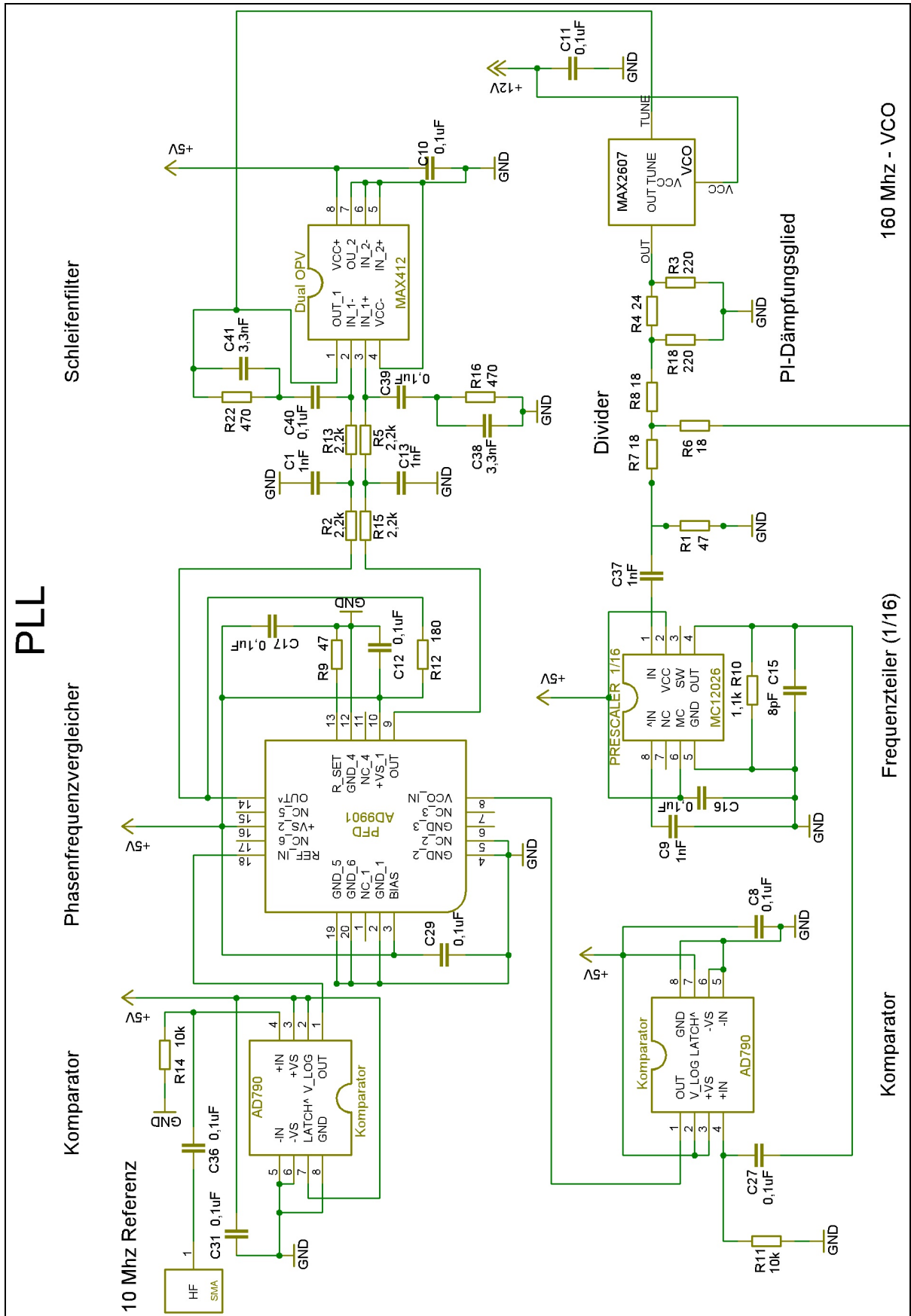


Abb. 6.3-7: Schaltplan der PLL

6.3.6 Mischerbeschaltung

Der SA605 arbeitet in einem weiten Frequenzbereich bis 1 GHz. Die Bandbreite des ersten ZF-Verstärkers ist größer 40 MHz bei 39,7 dB(v) Verstärkung an 50 Ohm. Die Bandbreite des Begrenzers beträgt 28 MHz mit einer ungefähren Verstärkung von 62,5 dB(v.)

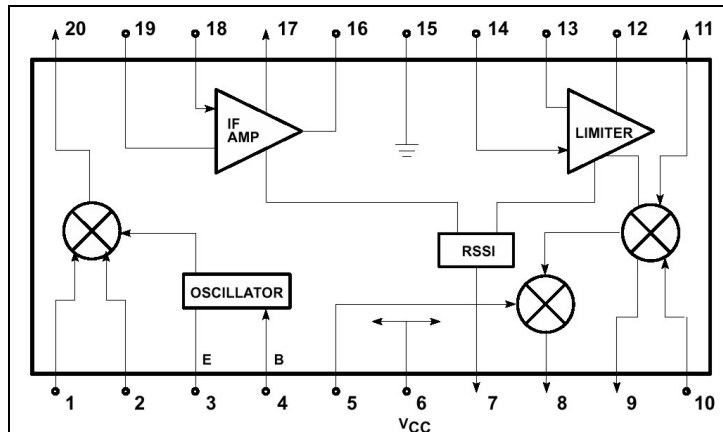


Abb. 6.3-8: Interner Aufbau des FM-Empfängers

Für einen reflexionsfreien Übergang sowie eine optimale Leistungsübertragung ist am Mischer ein Eingang L-C-Netzwerk notwendig. Dieses passt die unterschiedlichen Impedanzen des Ein- und Ausgangskreises aneinander an.

Dem Mischer wird von außen über eine SMA-Buchse das 1. ZF-Signal von 170,7 MHz (RF_IN) sowie das durch die PLL erzeugte Lokoszillatorsignal von 160 MHz (XTAL_IN2) zugeführt. Die beiden Signale werden im Mischer miteinander multipliziert. Dabei entsteht das zweite Zwischenfrequenzsignal von 10,7 MHz. Danach folgt eine Filterung (MIXER_OUT) mit dem Zwischenfrequenzfilter, dessen Mittenfrequenz bei genau 10,7 MHz liegt. Die Bandbreite des von uns verwendeten Keramikfilters beträgt 150 kHz. Zum Abschluss wird das gefilterte Signal logarithmisch gleichgerichtet und zur Weiterverarbeitung an den ADU weitergeleitet.

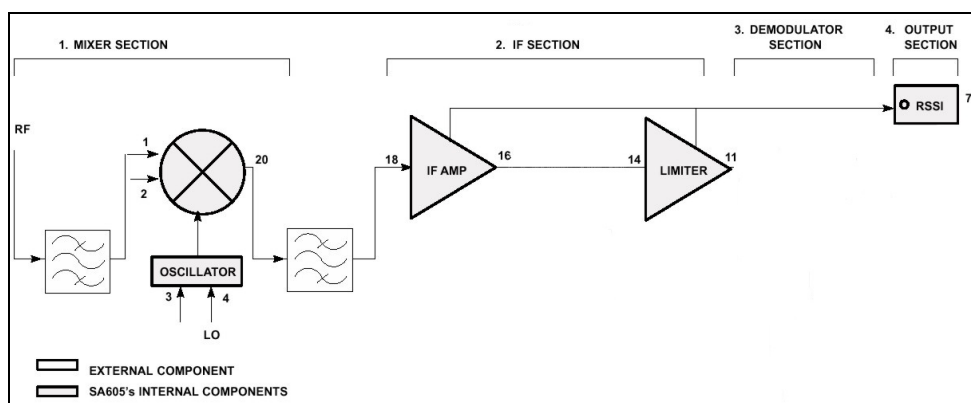


Abb. 6.3-9: Benutzte Komponenten des FM-Empfängers

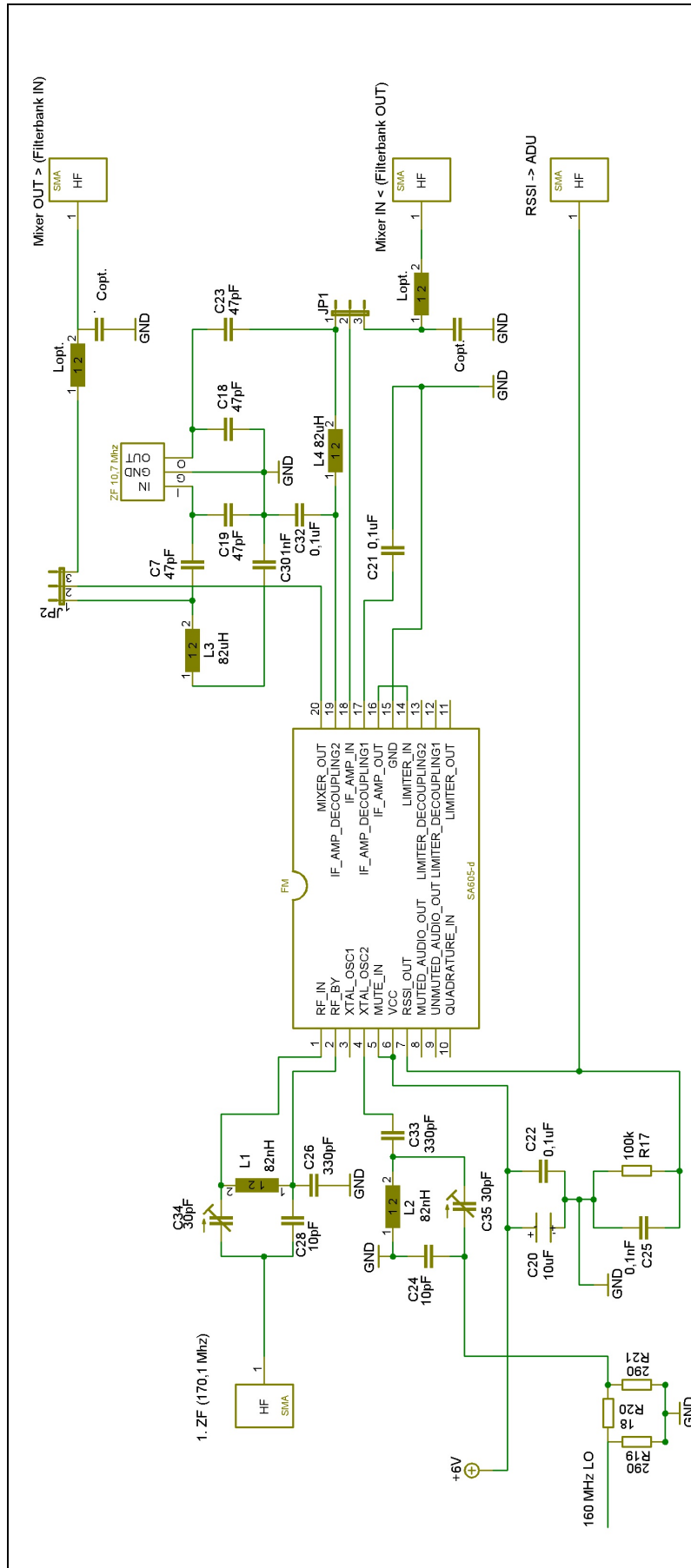


Abb. 6.3-10: Beschaltung des FM-Empfängers

6.3.7 Auswahl der Zwischenfrequenz und des ZF-Filters

Es gibt einige Vor- und Nachteile bei der Wahl einer hohen bzw. niedrigen Zwischenfrequenz. Eine hohe Empfindlichkeit und Verstärkung ist z.B. bei 455 kHz gewährleistet. Leider tritt hier das Problem der Spiegelfrequenzen in den Vordergrund. Um das zu vermeiden, haben wir uns für ein Zwischenfrequenzfilter bei 10,7 MHz entschieden. Die Verstärkung verringert sich dadurch erheblich, dafür werden aber die Spiegelfrequenzen gut unterdrückt.

Die gängigsten Zwischenfrequenzen für das ZF-Filter sind 455 kHz, 10,7 MHz und 21,4 MHz. Diese Filter werden von der Industrie als Massenware hergestellt. Natürlich ist es möglich auch andere Frequenzen zu benutzen, allerdings sind die entsprechend Filter teuer, da sie extra angefertigt werden müssen.

Die Ausgangsimpedanz des Mischers beträgt 1,5 k Ω , d.h. bei hochohmigen Filtereingängen braucht keine zusätzliche Anpassung vorgenommen zu werden. Da die von uns benutzten Keramikfilter eine Ein- und Ausgangsimpedanz von 330 Ω aufweisen, muss ein Anpassungsnetzwerk eingefügt werden. So können Signalverluste vermieden werden. Die Eingangsimpedanzen des RF- und LO-Eingangs betragen jeweils 1,5 k Ω .

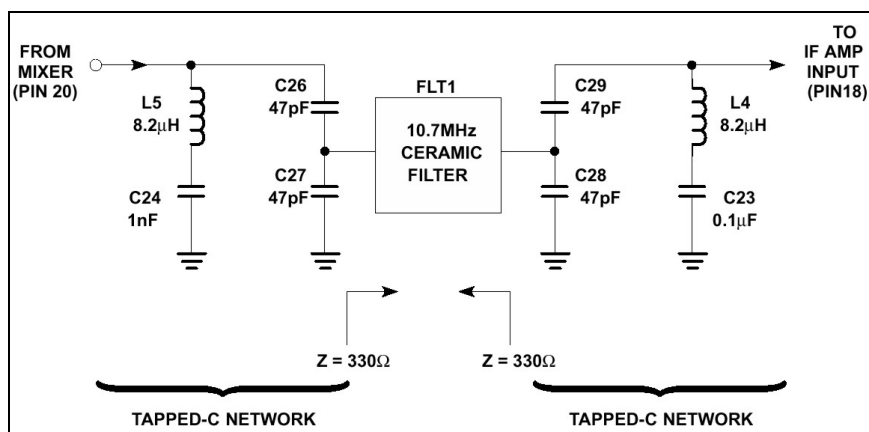


Abb. 6.3-11: Anpassungsnetzwerk der ersten Stufe

Warum ist das ZF-Filter so wichtig? Das ZF-Filter bestimmt mit seiner Bandbreite und Güte das Auflösungsvermögen unseres Spektrumanalysators. Die höchste Auflösung wird mit einem schmalbandigen ZF-Filter erreicht. Es muss aber in Kauf genommen werden, dass ein schmalbandiges Filter eine höhere Einschwingzeit als ein breitbandiges Filter hat und die Sweeptime später um ein Vielfaches erhöht wird. Für unseren Spektrumanalysator haben wir drei Filter mit den Bandbreiten 10 kHz, 100 kHz und 500 kHz vorgesehen. Wir können für einen sehr großen Sweep (1 MHz-100 MHz) das 0,5 MHz Filter und das 10 kHz Filter bei kleinen Sweeps einsetzen.

Um die Auswahl der Filter zu automatisieren, sind am Mikrocontroller vier zusätzliche Steuerleitungen vorhanden. Der Ein- und Ausgang des Mischers muss dann manuell auf Filterbankbetrieb umgestellt werden. Hierbei erfolgt eine Impedanzanpassung, die wir typischerweise auf 50 Ω festgelegt haben. Leider konnte die Filterbank nicht mehr vollständig implementiert werden, so dass wir zurzeit nur ein 150 kHz Filter zur Verfügung haben. Trotzdem liefert dieses Filter, mit einigen Abstrichen, ausreichend gute Ergebnisse.

In Abb. 6.3-12 ist die Filterkurve des verwendeten ZF-Filters (150 kHz) dargestellt. Es ist deutlich zu erkennen, dass ab 40 dB die Filtercharakteristik stark nachlässt und einzelne Ripple das gefilterte Signal verschlechtern, was sich bei unserem Spektrumanalysator ab -60 dBm Eingangsleistung bemerkbar machen würde. Um dies zu vermeiden, haben wir zwei ZF-Filter in Reihe geschaltet.

Des Weiteren wurden zwei Quarzfilter angeschafft, die noch nicht eingebaut wurden. Das Quarzfilter hat eine 3 dB Bandbreite von 10 kHz und ist damit um das 15-fache schmalbandiger als das Muratafilter. Aufgrund der Dämpfung von 90 dB im Sperrbereich wäre es für den Einsatz als schmalbandiges ZF-Filter prädestiniert.

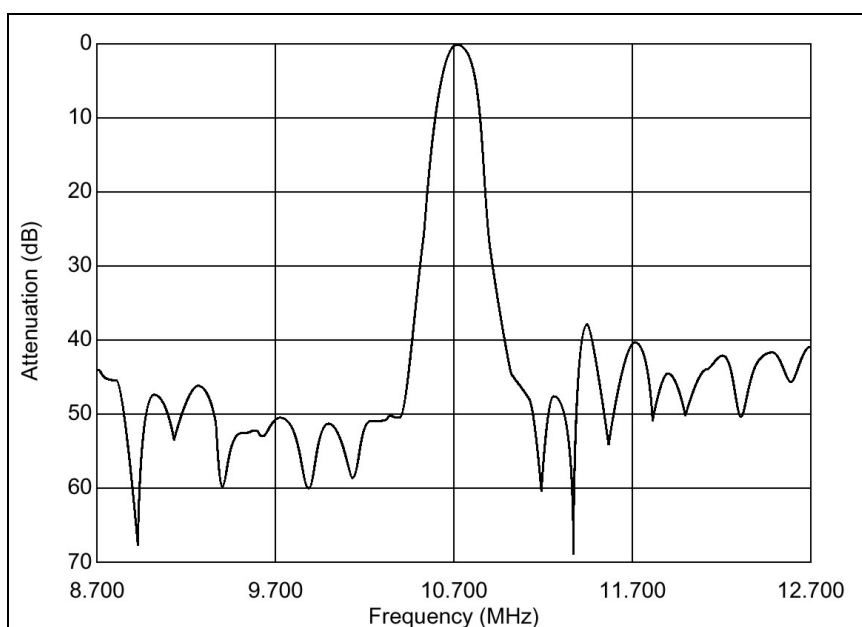


Abb. 6.3-12: Filterkurve des 10,7 MHz Murata ZF-Filters

6.3.8 Leistungsumsetzung

Der RSSI-Ausgang (Received Signal Strength Indicator) der Verstärker gibt eine Spannung ab, die über einen Dynamikbereich von ca. 80 dB proportional dem Logarithmus der Eingangsleistung ist. Diese Spannung variiert zwischen 0,5 V für sehr schwache Signale bis ca. 4 V für starke Signale. Da es sich um eine Gleichspannung handelt, ist die spätere Verarbeitung durch den Analog-Digital-Umsetzer recht einfach möglich.

Wenn die Eingangsleistung über -20 dBm liegt (RSSI-Spannung ca. 4 V), steigt der Wert nicht weiter an und die Verstärker hinter dem Mischer gehen in die Sättigung. Dieser Wert markiert die zulässige Höchstgrenze des Aussteuerungsbereiches des RF-Eingangs. Damit ist der Arbeitsbereich des Spektrumanalysators von -100 dBm bis -20 dBm festgelegt. Ab -100 dBm wird das Spektrum durch das Eigenrauschen der Schaltung verdeckt. Dadurch ist es nicht mehr möglich, Signale vom Rauschen zu unterscheiden.

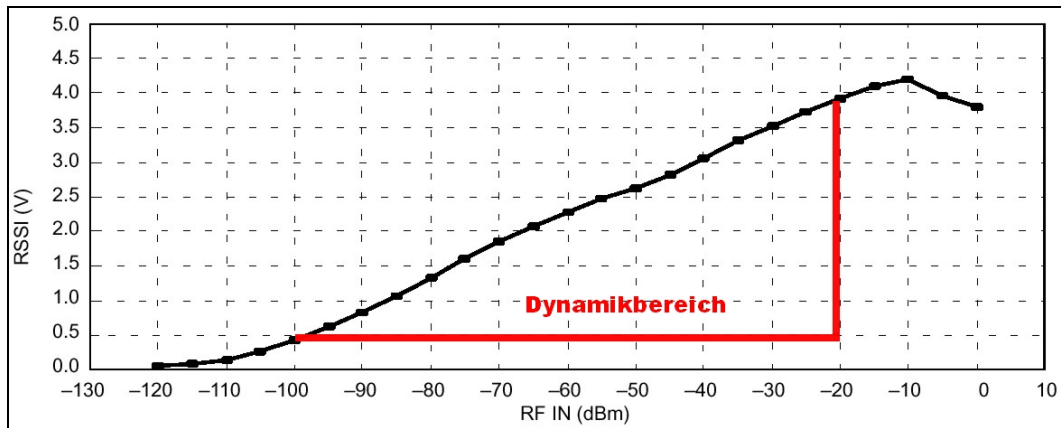


Abb. 6.3-13: Maximaler Dynamikbereich des Signaldetektors

6.3.9 Spannungsversorgung

Wir benötigen insgesamt 3 Spannungsregler um alle Bausteine ordnungsgemäß mit Spannung zu versorgen. Der VCO (MAX2607) benötigt 12 V, der Mischer (SA605D) 6 V, der Phasenfrequenzvergleichler (AD9901), die Komparatoren (AD790), der OPV (MAX412) und der Frequenzteiler (MC12026) benötigen 5 V.

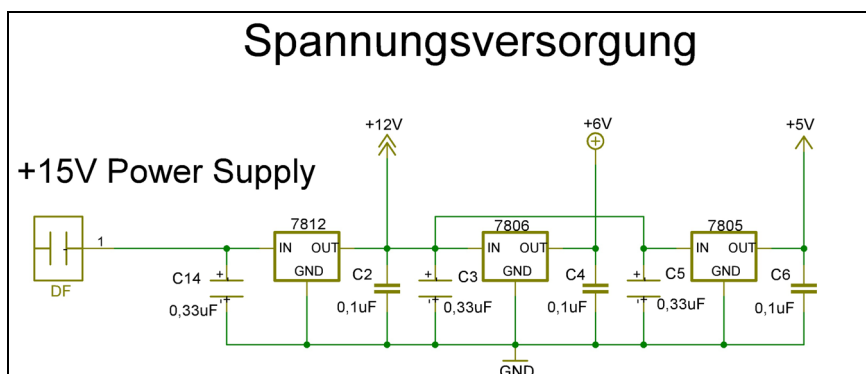


Abb. 6.3-14: Spannungsversorgung des 2. ZF-Moduls

6.3.10 Das Platinen-Layout

Das Layout wurde mit der Software Eagle erstellt. Die Maße der „LO-Mischer-Platine“ betragen ungefähr 50x70mm. Die Platine ist vollständig durchkontaktiert und mit einer Massefläche auf Rück- und Vorderseite überzogen. Des Weiteren besteht die Möglichkeit den VCO über eine SMA-Verbindung extern anzuschließen.

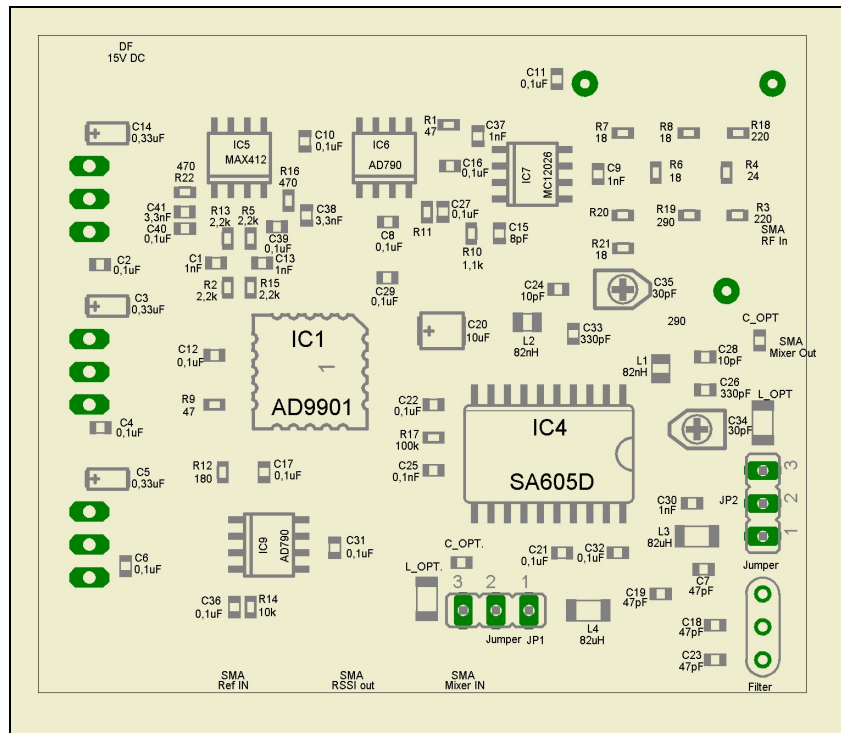


Abb. 6.3-15: Bestückungsplan des 2. ZF-Moduls

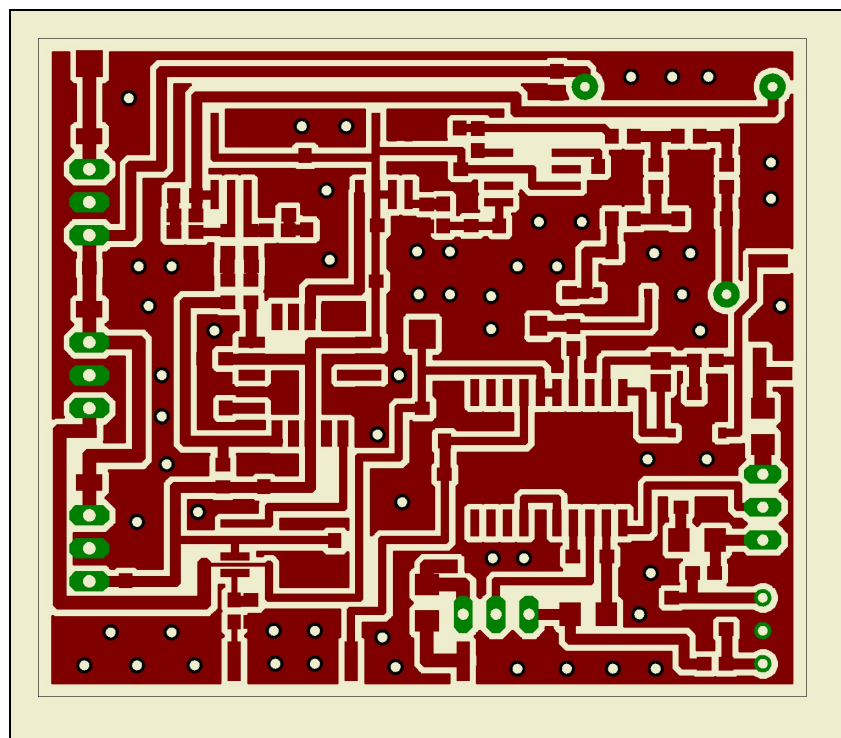


Abb. 6.3-16: Platinenlayout des 2. ZF-Moduls

6.3.11 10 MHz-Referenzoszillator

Zur Synchronisation der DDS und PLL benötigen wir eine 10 MHz-Referenz, die wir mit Hilfe eines einfachen Quarzoszillators aufgebaut haben. Wir haben einige Quarzoszillatorschaltungen getestet und dabei den Colpitts-Oszillator mit einer Darlingtonstufe für unsere Zwecke ausgesucht. Allgemein ist die Colpitts-

Oszillatorschaltung die am häufigsten verwendete Schaltung, weil sie sich durch ihre große Unempfindlichkeit in der Dimensionierung und Zuverlässigkeit im Betrieb auszeichnet. Beim Colpitts-Quarzoszillator arbeitet der Transistor als Emitterfolger mit geerdetem Kollektor. Der Quarz schwingt bei einer Lastresonanz, bei der er als Induktivität hoher Güte agiert.

Durch den hohen Eingangswiderstand können die Teilerkondensatoren C_A und C_B sehr hohe Kapazitätswerte annehmen, die normalerweise um ein sechstel niedriger sind. Damit ist die Rückwirkung der Transistorstufe auf die Oszillatorfrequenz sehr klein. Die effektive Lastkapazität des Quarzes wird durch die Serienschaltung von C_A und C_B dargestellt. Das Verkleinern von C_B relativ zu C_A bewirkt eine ansteigende HF-Ausgangsamplitude. Um auf vernünftige Standardwerte (ca. 50 pF, typischer Bereich 10-50 pF) zu kommen, wird eine Kapazität C_TRIM dieser Größenordnung zum Abgleich der Oszillatorfrequenz in Reihe zum Quarz geschaltet. Der Quarz kann nun mit einer Genauigkeit von 1 ppm abgestimmt werden. Da die Schaltung ohne Ausgangsverstärker eine zu geringe Amplitude, hier 400 mV_{pp}, aufweisen würde, musste ein Verstärker implementiert werden, der das Signal auf 3 V_{pp} anhebt.

Die Versorgung der Darlingtonstufe wird durch einen einstellbaren Spannungsregler realisiert. Dies ist zwar verwunderlich, erfüllt aber den Zweck dem Sinussignal eine optimale Form zu geben.

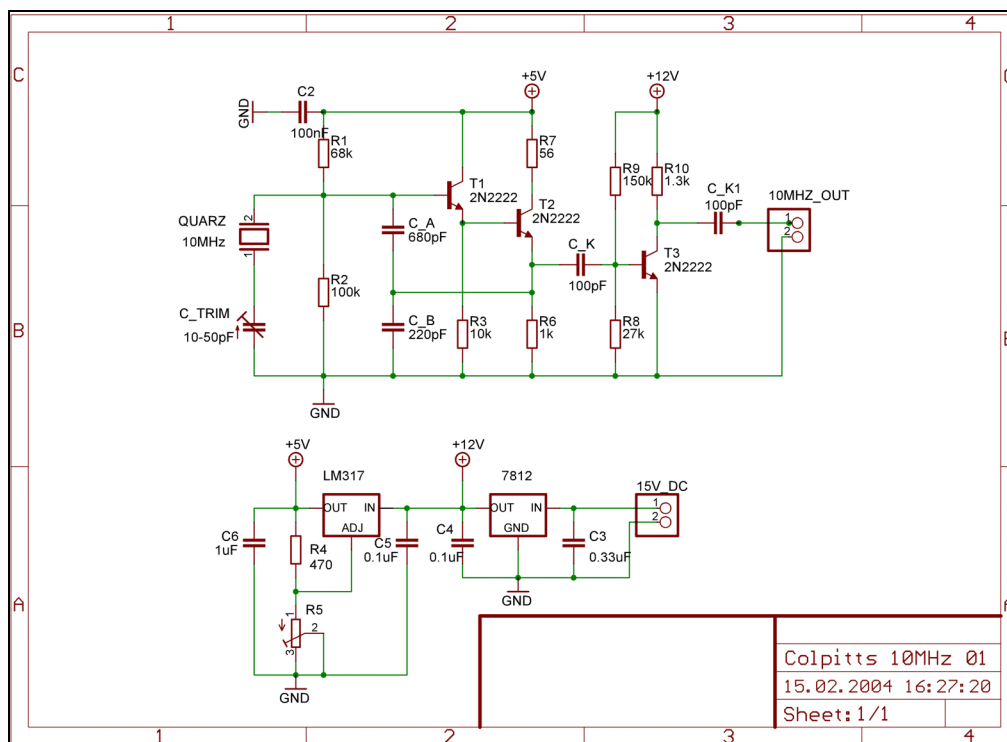


Abb. 6.3-17: Schaltplan der 10 MHz Referenz

Das Platinenlayout wurde ebenfalls mit Eagle erstellt. Die von uns aufgebaute Schaltung wurde aus Zeitgründen nur auf eine Lochrasterplatine gelötet.

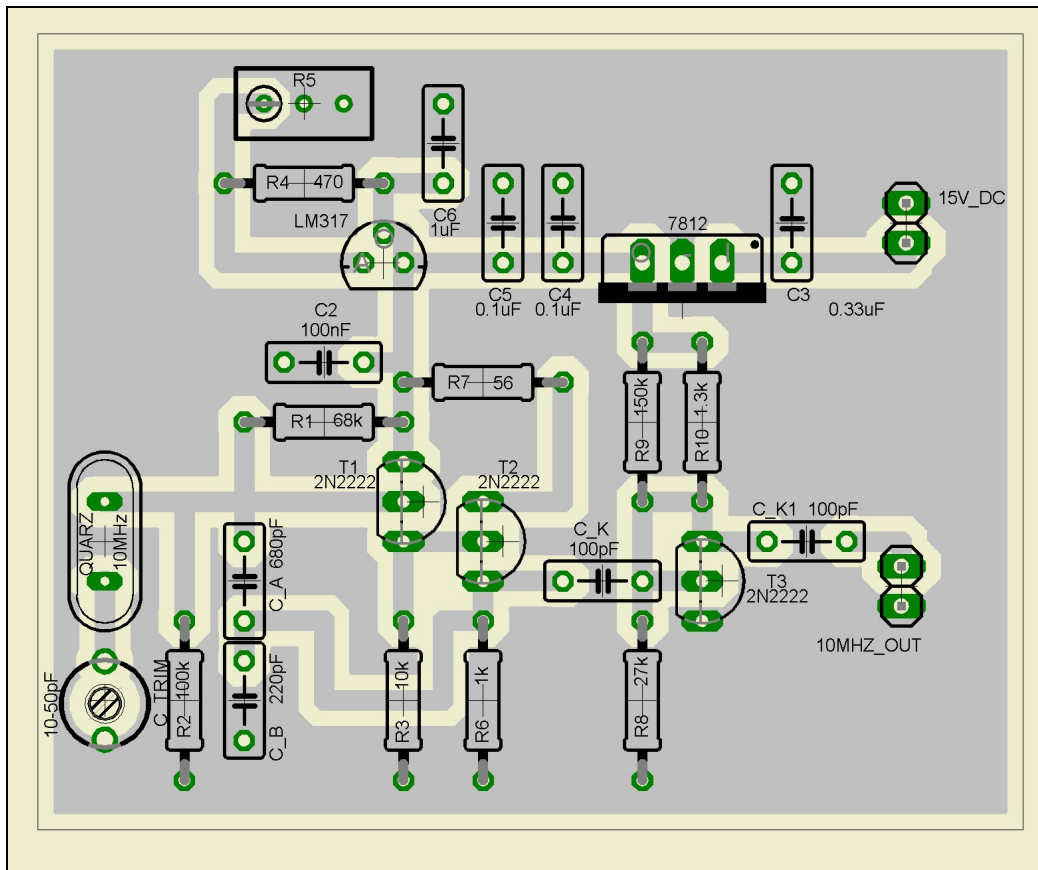


Abb. 6.3-18: Bestückungsplan der 10 MHz Referenz

6.4 Steuerungs- und Verarbeitungsmodul

6.4.1 Funktionsweise

Das Steuerungs- und Verarbeitungsmodul im einfachen Spektrumanalysator steuert den Ablauf der Aufnahme diskreter Messwerte für das Spektrum eines Eingangssignals und verarbeitet die aufgenommenen Messwerte.

Die Steuerungs- und Verarbeitungsaufgaben werden durch einen Mikrokontroller in Zusammenarbeit mit der Software auf einem PC erledigt. Zur weiteren Verarbeitung der Messdaten sowie zur Einstellung von Grenzfrequenzen und Auflösung des Messvorganges wird daher die Kommunikation des Mikrokontrollers mit einem PC ermöglicht.

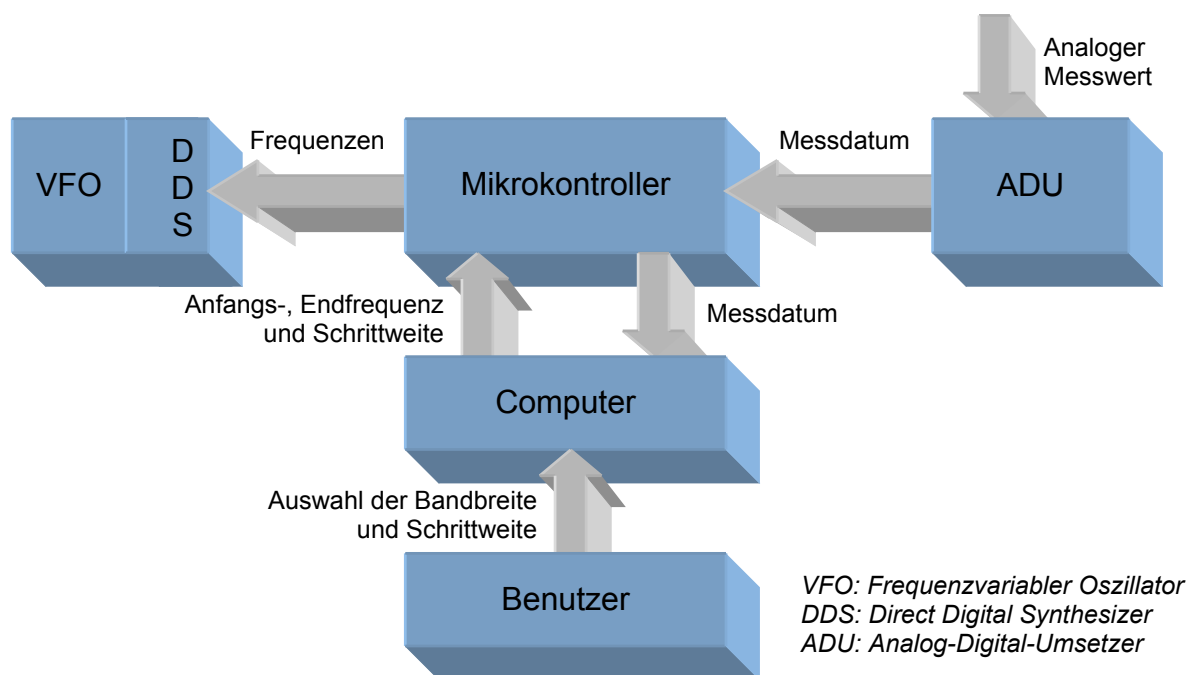


Abb. 6.4-1: Blockdiagramm zur Funktionsweise des Steuerungs- und Verarbeitungsmoduls

Der Steuerungs- und Verarbeitungsablauf beginnt mit der Übernahme der Parameter wie Bandbreite und Auflösung des Spektrums, die von der Software des PCs zum Mikrokontroller über eine serielle Schnittstelle übertragen werden. Die Parameter werden auf dem PC durch den Benutzer ausgewählt und eingegeben. Die Software auf dem PC rechnet die Frequenzwerte in für den DDS verständliche Δ Phase-Werte um. Nachdem der Mikrokontroller die Einstellungen für die Messung erhalten hat, sind für den Frequenzdurchlauf die Anfangs- und Endfrequenz sowie die Frequenzschrittweite gegeben. Damit ist die Initialisierung des Messvorganges beendet.

Der Messvorgang beginnt mit der Einstellung der ersten Mittenfrequenz. Dazu übermittelt der Mikrokontroller über eine Schnittstelle dem „Direct Digital Synthesizer“ (DDS) die Anfangsfrequenz. Am Ausgang des logarithmischen Detektors liegt eine analoge Gleichspannung an, die proportional zum Logarithmus der Leistung des

Eingangssignals bei der jeweiligen Messfrequenz ist. Dieser analoge Messwert wird mittels eines Analog-Digital-Umsetzers (ADU) in ein digitales Messdatum umgesetzt, welches vom Mikrokontroller aus dem ADU über eine weitere Schnittstelle ausgelesen wird. Das digitale Messdatum wird anschließend zum PC übertragen.

Zur Ermittlung des nächsten Messdatums wird durch den Mikrokontroller die nächste Mittenfrequenz am DDS eingestellt und der obige Ablauf wiederholt. Der gesamte Messvorgang wiederholt sich bis zum Erreichen der Endfrequenz.

6.4.2 Hardware

Anforderungen

Für die Realisierung des oben beschriebenen Messvorgangs werden an die Hardware des Steuerungs- und Verarbeitungsmoduls die folgenden Anforderungen gestellt.

Die RS-232-Schnittstelle wurde für die Kommunikation zwischen dem Steuerungs- und Verarbeitungsmoduls und dem PC aufgrund ihrer robusten Einfachheit und der weitgehenden Unterstützung durch Mikrokontroller ausgewählt. Bei der RS-232-Schnittstelle werden logische Pegel bipolar auf maximal ± 15 V abgebildet. Für den Übergang zwischen der TTL-Logik des Mikrokontrollers, die logische Pegel unipolar mit 0 V und 5 V abbildet, muss ein externer Pegelumsetzer (engl. level shifter) verwendet werden.

Für die Analog-Digital-Umsetzung der vom logarithmischen Detektor gelieferten Gleichspannung von 0 bis ungefähr 5 V ist eine Auflösung von ca. 20 mV mit 8-Bit-Datenwort für den einfachen Spektrumanalysator ausreichend. Damit werden hohe Anforderungen an die Genauigkeit und Stabilität der Referenzspannung für den ADU sowie an die Größe des Auflösungsbereiches des ADU gestellt. Zu Beginn des Projektes wurde noch keine Wahl zu Gunsten eines bestimmten ADUs getroffen. Es sollte jedoch ein externer Analog-Digital-Umsetzer mit externer Referenzspannungsquelle und der synchronen SPI-Schnittstelle (engl. Serial Peripheral Interface) für das Auslesen der digitalisierten Messdaten eingesetzt werden. Ein externer ADU wurde gegenüber einem im Mikrokontroller integrierten ADU wegen der vorhandenen Ausweichmöglichkeit bei unerwartet auftretenden Problemen vorgezogen. Demnach muss der Mikrokontroller selbst nicht über einen integrierten ADU verfügen.

Die Programmierung des der jeweiligen Frequenz entsprechenden Δ Phase-Wertes in den DDS des Frequenzvariablen Oszillators (VFO) geschieht durch die Übertragung von 40 Bit. Diese sollen aufgrund der höheren Übertragungsrates parallel übertragen werden. Es werden daher genügend Ausgänge am Mikrokontroller benötigt, um die erforderlichen 8 Leitungen für Daten und 3 Leitungen für Steuerinformationen für die DDS-Programmierung realisieren zu können. Die DDS kann darüber hinaus auch mit einem asynchronen Hersteller-abhängigen Protokoll seriell programmiert werden.

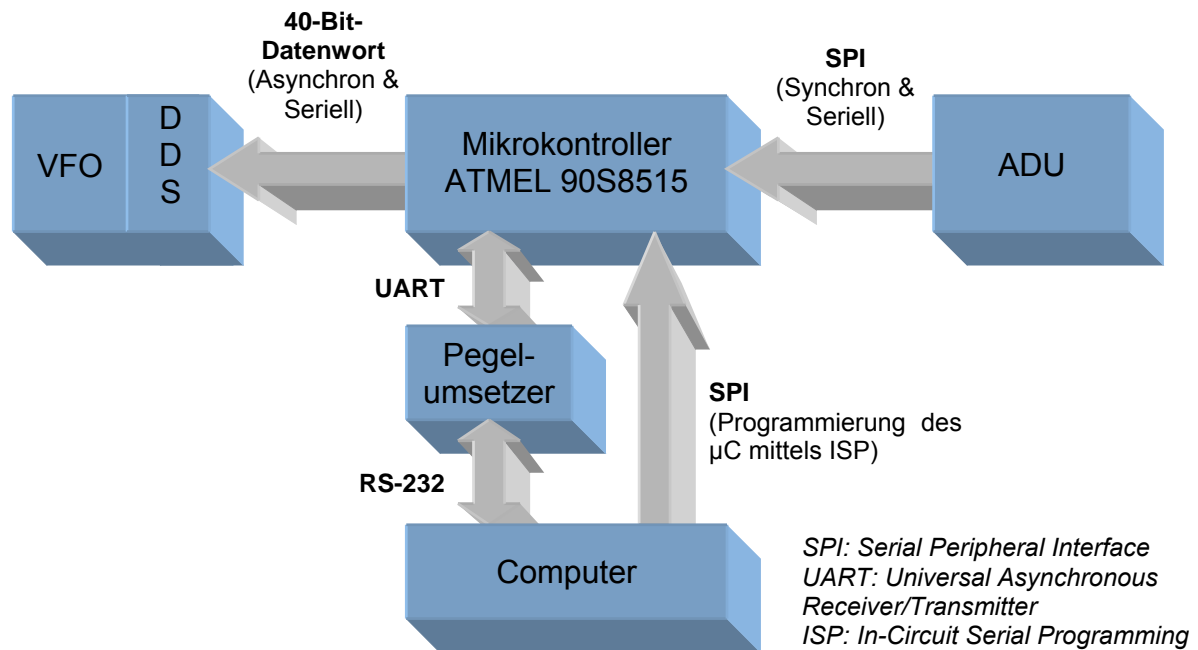


Abb. 6.4-2: Schnittstellen zwischen dem ATMELE-Mikrokontroller und der Peripherie

Aufgrund der guten Erfahrungen am Fachbereich Elektronik der TU Berlin mit der ATMELE-Mikrokontroller-Familie wurde die Wahl auf diese 8-Bit-RISC-Mikrokontroller eingeschränkt. Die Wahl fiel auf den ATMELE 90S8515¹.

Dieser Mikrokontroller verfügt über einen „Universal Asynchronous Receiver/Transmitter“ (UART), der zusammen mit dem erwähnten Pegelumsetzer die serielle Kommunikation über RS-232 ermöglicht. Er unterstützt die geforderte synchrone SPI-Schnittstelle, die des weiteren auch die direkte Programmierung des Flash-Speichers des Mikrokontrollers mittels ISP-Mechanismus (engl. In-Circuit Serial Programming) zusammen mit einem geeigneten Programmier-Dongle und zugehöriger Software ermöglicht. Ferner bietet er auch die geforderte Anzahl genügend frei programmierbarer Ein- und Ausgänge mit insgesamt vier 8-Bit-Ports, wobei zwei Ports durch UART und SPI genutzt werden und somit insgesamt 16 Ein- bzw. Ausgänge zur weiteren Verfügung bereit stehen.

Damit die durch den Mikrokontroller zu erledigenden Aufgaben schnell genug von statten gehen, war auch eine hohe Taktfrequenz innerhalb der AT90S-Serie ausschlaggebend für den 90S8515, welcher bei einer maximalen Taktfrequenz von 8 MHz betrieben werden kann.

Realisierung

Die Realisierung der Hardware des Steuerungs- und Verarbeitungsmoduls erfolgte in zwei Schritten. Im ersten Schritt wurde die erste Version der Platine entwickelt. Auf dieser sind Spannungsversorgung, Mikrokontroller, Multiplexer, Pegelumsetzer und ADU-Adapter-Sockel untergebracht. Weiterhin können zur Evaluierung von

¹ Mikrokontroller ATMELE AVR 90S8515 – Datenblatt,
 URL: http://www.atmel.com/dyn/products/datasheets.asp?family_id=607

Pegelzuständen auf den Datenleitungen LEDs mit Jumpers zu ihren zugehörigen Leitungen hinzugeschaltet werden. In der zweiten Version der Platine wurden alle weiteren benötigten Komponenten auf der Platine untergebracht. Daher ist die zweite Version der Platine mit dem externen ADU sowie seiner Referenzspannungsquelle ausgestattet. Darüber hinaus wurden kleinere Fehler beseitigt, Verbesserungen vorgenommen wie etwa weitere Pins zum Abgreifen von Singalpegeln oder etwa Pulldown-Widerstände für hinreichende Flankensteilheit.

Im Folgenden werden einzelne Aspekte der Realisierung und Entwicklung der Hardware des Steuerungs- und Verarbeitungsmoduls näher betrachtet.

Spannungsversorgung

Zur Umsetzung der zentral zur Verfügung gestellten Versorgungsspannung von 15 V Gleichspannung auf die im Steuerungs- und Verarbeitungsmodul benötigte 5 V Gleichspannung wird der Spannungsregler STM L7805AB² im TO-220-Gehäuse verwendet. Die Eingangsspannung U_{in} des Linearreglers L7805 sollte größer als 8 V sein um eine gute Ausregelung von U_{out} auf 5 V zu gewährleisten. Mit U_{in} von 15 V und U_{out} von 5 V ergeben sich 8 V Spannungsabfall über dem L7805AB. Bei einem maximalen Ausgangsstrom von 1 A beträgt die maximale Verlustleistung 8 W. Die aufgebaute Platine für das Steuerungs- und Verarbeitungsmodul benötigte im späteren Betrieb immer einen Eingangsstrom kleiner als 0,3 A. Somit betrug die Verlustleistung am Linearregler nie mehr als 2,4 W und das TO-220-Gehäuse konnte die auftretende Verlustwärme ohne zusätzliche Kühlung abführen.

TTL-RS-232-Pegelumsetzer

Für die bereits erwähnt Pegelumsetzung von 5 V-TTL-Logik des UART auf die bipolaren Spannungspegel der RS-232-Schnittstelle fiel unsere erste Wahl auf den MAX233, da dieser eine einfachere äußere Beschaltung mit nur einer Kapazität vorzuweisen hat. Da der MAX233 mit einem Stückpreis von ca. 6 Euro das sechsfache des Stückpreises des MAX232 in DIL-Ausführung kostet, wurden die 4 externen Kapazitäten für die äußere Beschaltung in Kauf genommen und somit der MAX232³ als Pegelumsetzer ausgewählt.

Taktfrequenz des Mikrokontrollers

Als Quarz wurde ein Standardquarz im HC49-Gehäuse mit der Grundton-Frequenz von 7,3728 MHz ausgewählt. Da es bei dieser Taktfrequenz für keine der möglichen Übertragungsgeschwindigkeiten des UART der RS-232-Schnittstelle zu einem Auslaufen der Synchronität zwischen Start- und Stop-Bit eines Bytes kommt, kann eine Bitfehlerwahrscheinlichkeit im Zusammenhang mit der Taktung des Mikrokontrollers ausgeschlossen werden. Dieser Zusammenhang kann dem ATMEL-Datenblatt entnommen werden. Somit ist auch eine Baudrate von 115.200 Baud/s bei gleichzeitig hoher Taktfrequenz möglich.

² Linearregler STM L7805AB – Datenblatt,
URL: <http://www.st.com/stonline/books/ascii/docs/2144.htm>

³ Pegelumsetzer MAXIM MAX232 – Datenblatt,
URL: http://dbserv.maxim-ic.com/quick_view2.cfm?pdf_num=1798

Doppelte Nutzung der SPI-Schnittstelle (Multiplexer)

Da über die SPI-Schnittstelle zum einen der Datenaustausch für die Programmierung des Mikrokontrollers zwischen PC und Mikrokontroller realisiert wird und zum anderen die Daten aus dem ADU mittels SPI ausgelesen werden, findet in der Schaltung der Multiplexer 74HC4053⁴ Verwendung. Die SPI-Schnittstelle besteht aus den Datenleitungen MISO (engl. Master in / Slave out), MOSI (engl. Master out / Slave in) und SCK (engl. Serial Clock). Die MISO-Datenleitung wird für das Auslesen des ADU durch den Mikrokontroller und für die ISP-Programmierung des Mikrokontrollers benötigt. Die MOSI-Datenleitung ist nur für die ISP-Programmierung des AT90S8515 notwendig und die SCK-Datenleitung gibt den Takt für den synchronen seriellen Datentransfer über die SPI-Schnittstelle vor.

Um den ATMEL in den Programmiermodus zu bringen, muss der /RESET-Eingang des Mikrokontrollers während der gesamten Dauer der Programmierung auf Masse (GND) gezogen werden.

Der 74HC4053 besteht aus drei 1-zu-2 Multiplexern und wird in der vorliegenden Schaltung voll ausgenutzt. Damit es zu keinen Fehlschaltungen kommt, sind alle Schalteingänge des Multiplexers mit /RESET kurzgeschlossen, so dass immer alle SPI-Leitungen an der gleichen Peripherie anliegen.

Durch die vorliegende Beschaltung des 10-poligen Wannenstecker (ISP-Stecker) aus den Schaltplänen in Abb. 6.4-3 und in Abb. 6.4-9 wird der Mikrokontroller zur Programmierung vom PC aus auf /RESET gesetzt und somit alle drei SPI-Leitungen für die ISP-Programmierung freigegeben. Ist /RESET nicht aktiv, kann der ADU mittels SPI-Schnittstelle durch den Mikrokontroller ausgelesen werden.

Externer Analog-Digital-Umsetzer

Als externer ADU mit 8 Bit-Auflösung von 0 bis 5 V und zur Verfügung stehender SPI-Schnittstelle kamen der AD7478⁵ von Analog Devices und der MAX1118⁶ von MAXIM in Frage. Da für den MAX1118 für die erste Platinenversion ein Adapter entworfen, getestet und die Programmierung zum Auslesen erfolgreich vorgenommen wurde, konnte auf die Verwendung des AD7478 verzichtet werden.

Für die erste Platinenversion wird für die Verwendung des ADU MAX1118 ein Adapter benötigt, dessen Schaltung in Abb. 6.4-7 und die Platine in Abb. 6.4-8 dargestellt ist. Der Adapter wird dann passend mit dem Sockel SV2/SV3 auf der Platine verbunden. In der zweiten Platinenversion befindet sich der ADU direkt auf der Platine.

Der MAX1118 kann mit positiver Versorgungsspannung von 2,7 bis 5,5 V betrieben werden. Da jedoch die maximale Spannung für das zu digitalisierende Eingangssignal sowie die maximale Referenzspannung auch von der

⁴ Multiplexer Philips 74HC4053 – Datenblatt,

URL: <http://www.semiconductors.philips.com/pip/74HC4053.html>

⁵ ADU von Analog Devices AD7478 – Datenblatt,

URL: http://www.analog.com/Analog_Root/productPage/productHome/0,2121,AD7478,00.html

⁶ ADU von MAXIM MAX1118 – Datenblatt,

URL: http://www.maxim-ic.com/quick_view2.cfm/qv_pk/2366/ln/en

Versorgungsspannung abhängen, muss bei einem gewünschten Auflösungsbereich von 0 bis 5 V für die Versorgungsspannung mindestens 5 V und für die Referenzspannung genau und stabil 5 V zur Verfügung gestellt werden. Die Referenzspannung wird in der ersten Platinenversion über Pin 2 des JP5 an den ADU MAX1118 angelegt.

Für die Bereitstellung der erforderlichen Referenzspannungsquelle wurden zwei Möglichkeiten aufgebaut und getestet. So lässt sich mittels einer Z-Diode eine spannungsstabilisierte Referenzspannung zur Verfügung stellen. Dazu wurde die in der zweiten Version der Platine (Abb. 6.4-9) integrierte steuerbare Z-Diode LM336 in ihrer 5 V-Variante mit einem Vorwiderstand von 3,9 kΩ und einem 10 kΩ-Potentiometer betrieben. Mit der steuerbaren Z-Diode lässt sich über den Potentiometer die gewünschte Referenzspannung im Vergleich mit einem Digitalmultimeter genau im Bereich von ca. 4,5 bis 5,5 V einstellen. So kann das Steuerungs- und Verarbeitungsmodul mit dem aufzulösenden Spannungsbereich direkt auf die Ausgangsspannung des logarithmischen Detektors im angegebenen Bereich abgestimmt werden.

Die zweite Möglichkeit besteht aus dem einfachen Abgriff der 5 V-Spannung des Linear-Reglers. Diese Methode erwies sich im Zusammenhang mit der ersten Version der Platine als hoch genau, so dass die Messung im Vergleich mit einem Digitalmultimeter ohne Betrachtung von Temperaturdrift oder weiteren Störeinflüssen exakt übereinstimmten. Hierbei wird jedoch auf den Vorteil der einstellbaren Referenzspannung verzichtet.

Mit der 8 Bit Auflösung des ADU und der beispielhaften Referenzspannung von $U_{\text{Ref}} = 5 \text{ V}$ ergibt sich ein Quantisierungsschritt von

$$\Delta U = \frac{U_{\text{Ref}}}{2^8} = 0,01953125 \text{ V}$$

und somit die maximal zu quantisierende Spannung von $U_{\text{max}} \approx 4,98 \text{ V}$.

Der verwendete 8-Bit ADU hat einen Dynamikbereich von

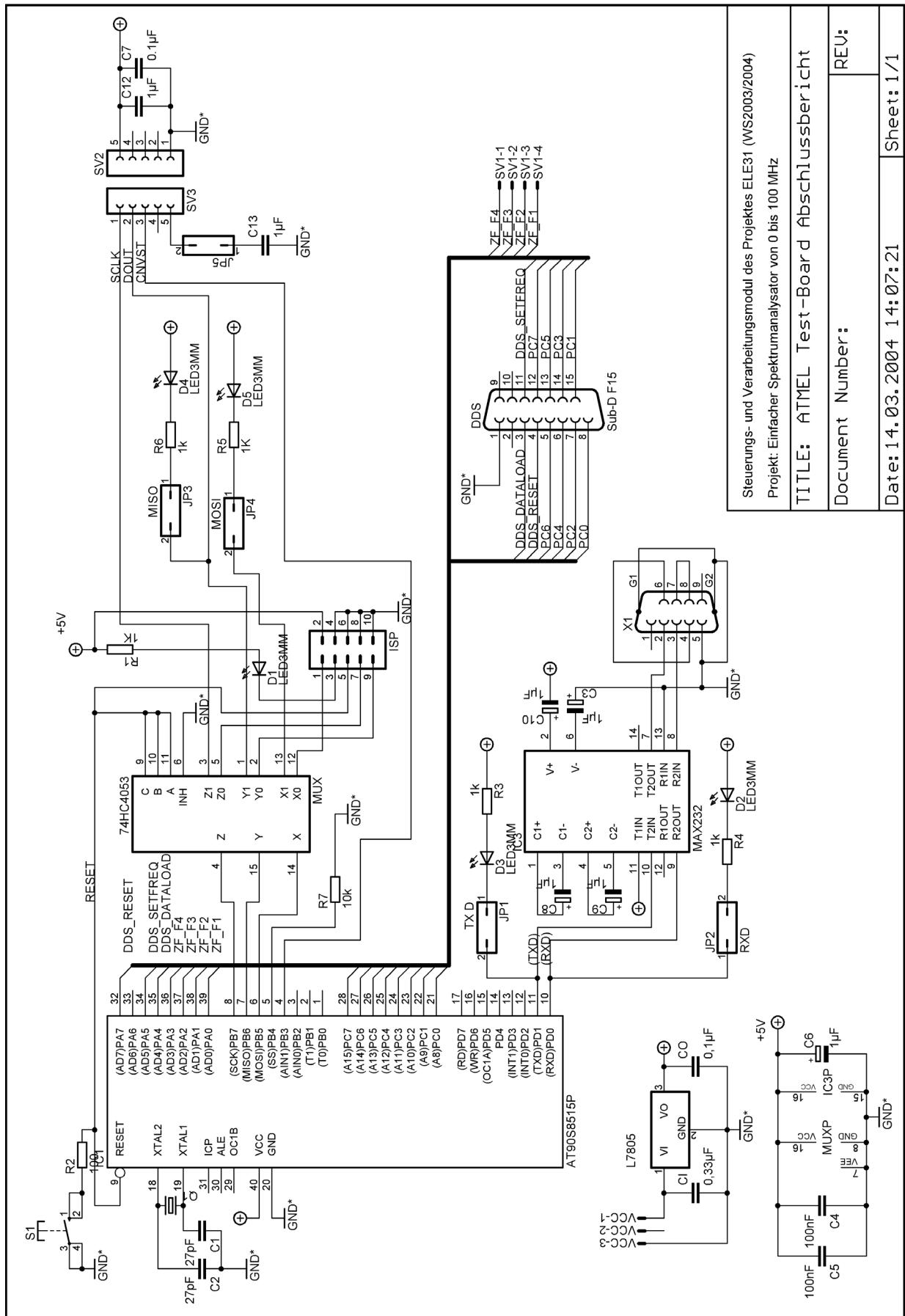
$$D = 20 \log \left(\frac{U_{\text{max}}}{\Delta U} \right) = 20 \log(255) = 48,13 \text{ dB}.$$

Aufgrund mangelhafter Steilheit der Flanken auf der SCK- und MISO/DOUT-Leitung wurden jeweils 100 kΩ Pulldown-Widerstände gegen Masse für SCK und MISO/DOUT auf dem Adapter für den MAX1118 berücksichtigt.

Optionale Ansteuerung von ZF-Filtern für die 2. ZF

Für die optionale Ansteuerung von verschiedenen Zwischenfrequenzfiltern einer optionalen externen Filterplatine für das 2. ZF-Modul wurden 4 externe I/O-Pins vom ATMEL reserviert und an einen 4-poligen Printstecker geführt.

Schaltplan für die erste Version des Steuerungs- und Verarbeitungsmoduls



Steuerungs- und Verarbeitungsmodul des Projektes ELE31 (WS2003/2004)
Projekt: Einfacher Spektralanalysator von 0 bis 100 MHz
TITLE: ATMEL Test-Board Abschlussbericht
Document Number:
REV:
Date: 14.03.2004 14:07:21
Sheet: 1/1

Abb. 6.4-3: Erster Schaltplan des Steuerungs- und Verarbeitungsmoduls

**Platinenlayout für die erste Version
des Steuerungs- und Verarbeitungsmoduls**

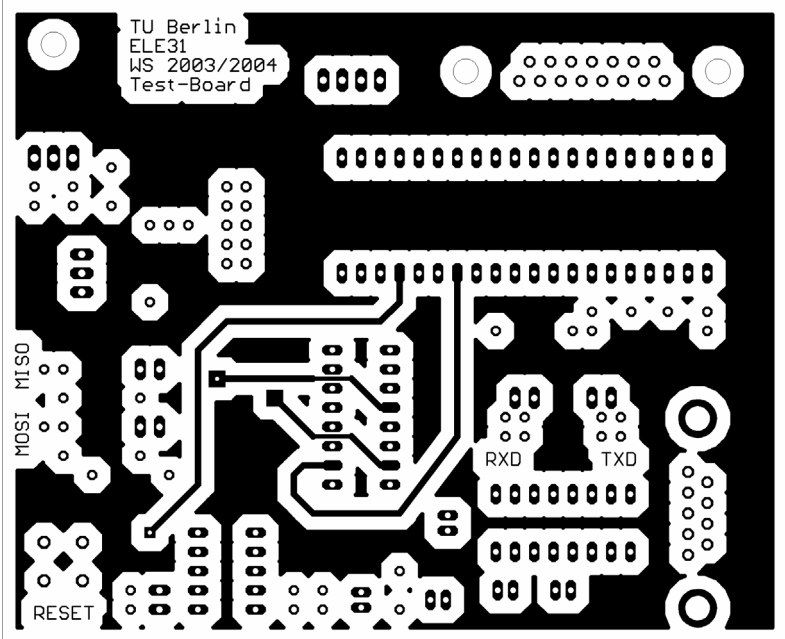


Abb. 6.4-4: Oberseite des Platinen-Layouts (Top-Layer)

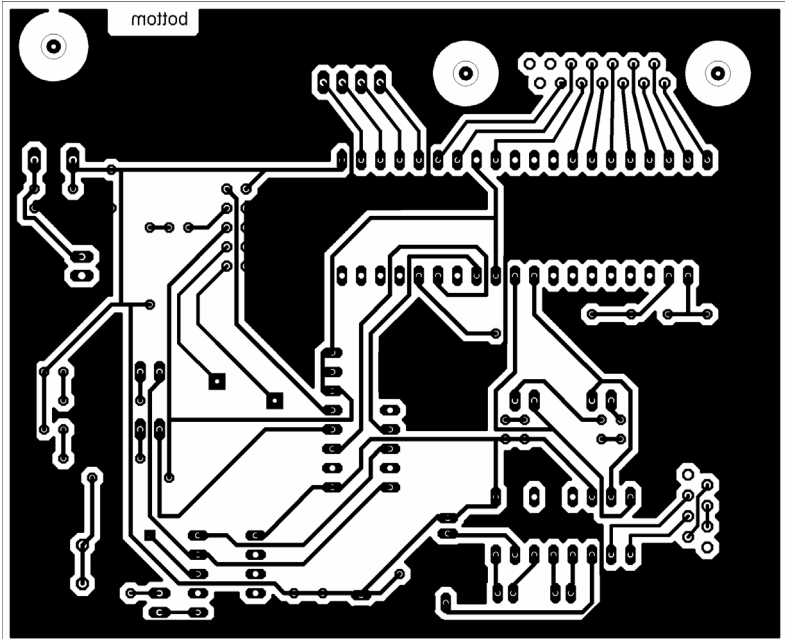


Abb. 6.4-5: Unterseite des Platinen-Layouts (Bottom-Layer)

**Bestückungsansicht für die erste Version
des Steuerungs- und Verarbeitungsmoduls**

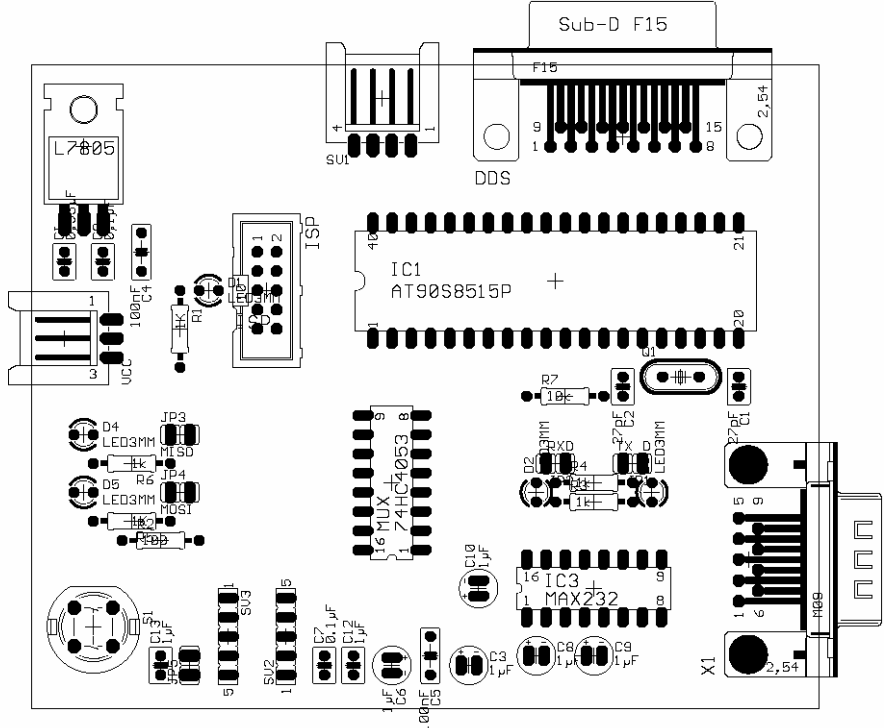
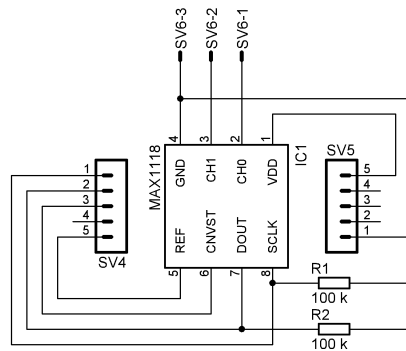


Abb. 6.4-6: Bestückungsansicht des Platinen-Layouts

Schaltplan für den ADU-Adapter



ADU-Adapter des Projektes ELE31 (WS2003/2004)	
Projekt: Einfacher Spektrumanalysator von 0 bis 100 MHz	
TITLE: ADU Adapter	
Document Number :	REV:
Date: 15.03.2004 13:09:21	Sheet: 1/1

Abb. 6.4-7: Schaltplan des ADU-Adapters

Platinenlayout für den ADU-Adapter

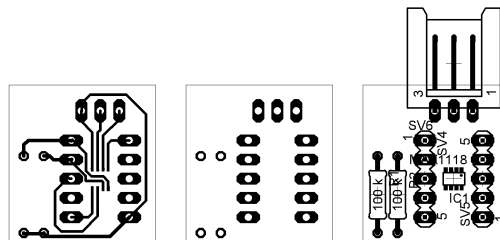
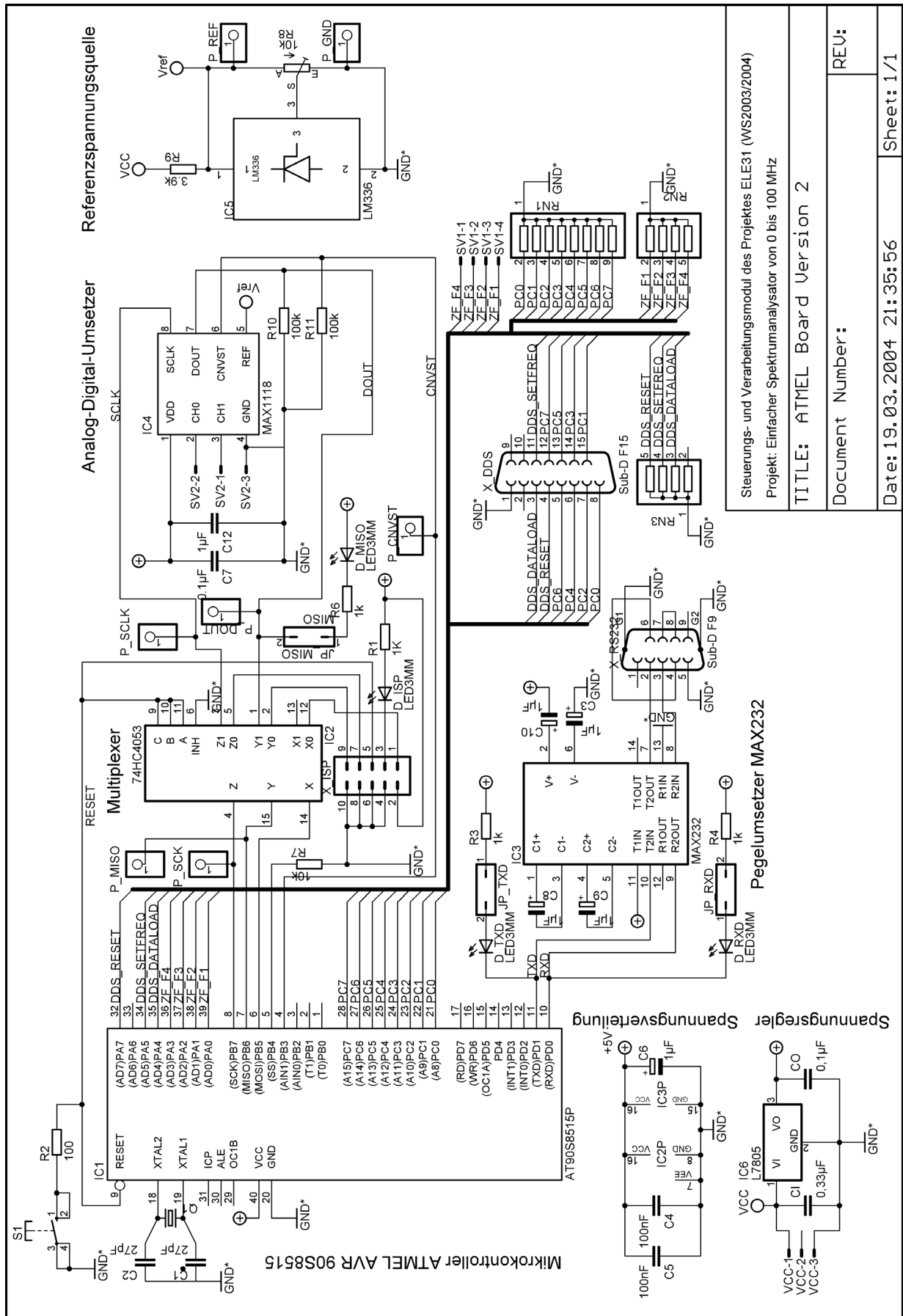


Abb. 6.4-8: Top-Layer, Bottom-Layer und Bestückungsplan des ADU-Adapters

Schaltplan für die zweite Version des Steuerungs- und Verarbeitungsmoduls



Steuerungs- und Verarbeitungsmodul des Projektes ELE31 (WS2003/2004)
Projekt: Einfacher Spektralanalysator von 0 bis 100 MHz
TITLE: ATME1 Board Version 2
Document Number:
REV:
Date: 19.03.2004 21:35:56
Sheet: 1/1

Abb. 6.4-9: Zweiter Schaltplan des Steuerungs- und Verarbeitungsmoduls

**Platinenlayout für die zweite Version
des Steuerungs- und Verarbeitungsmoduls**

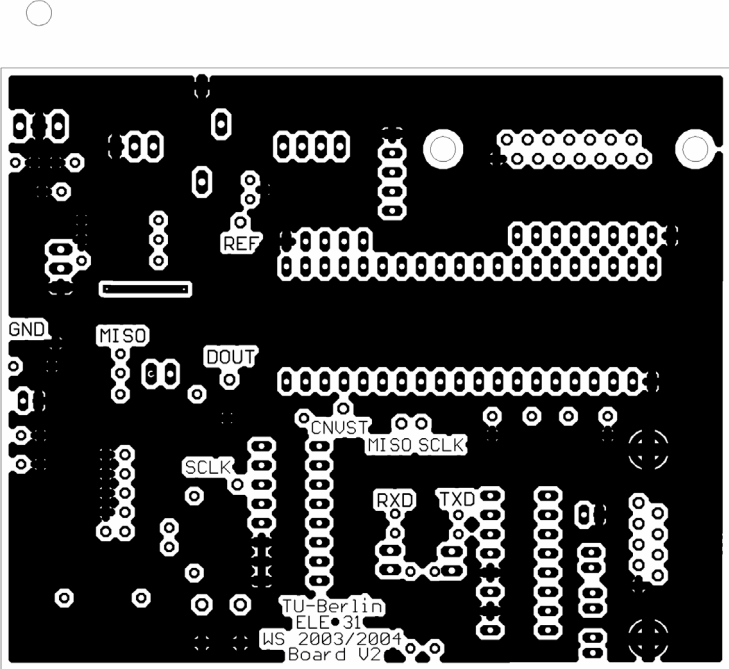


Abb. 6.4-10: Oberseite des Platinen-Layouts (Top-Layer)

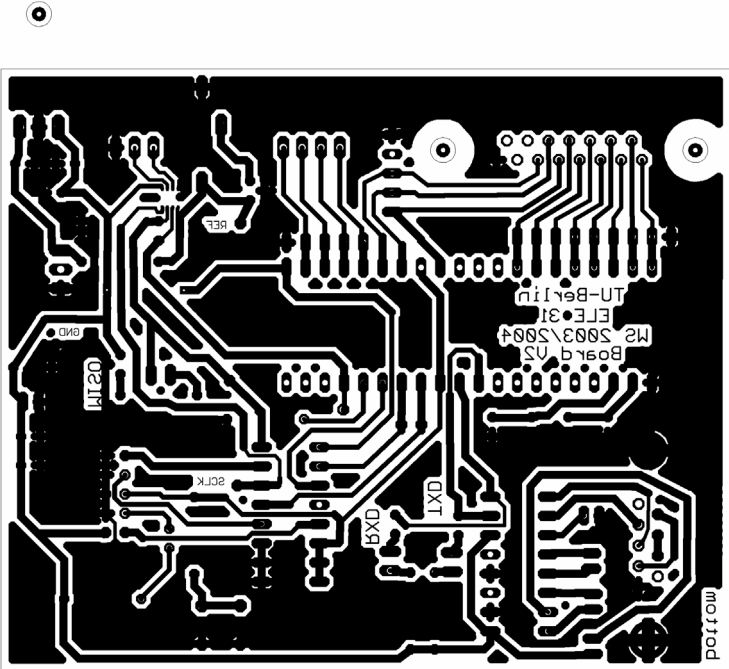


Abb. 6.4-11: Unterseite des Platinen-Layouts (Bottom-Layer)

Bestückungsansicht für die zweite Version des Steuerungs- und Verarbeitungsmoduls

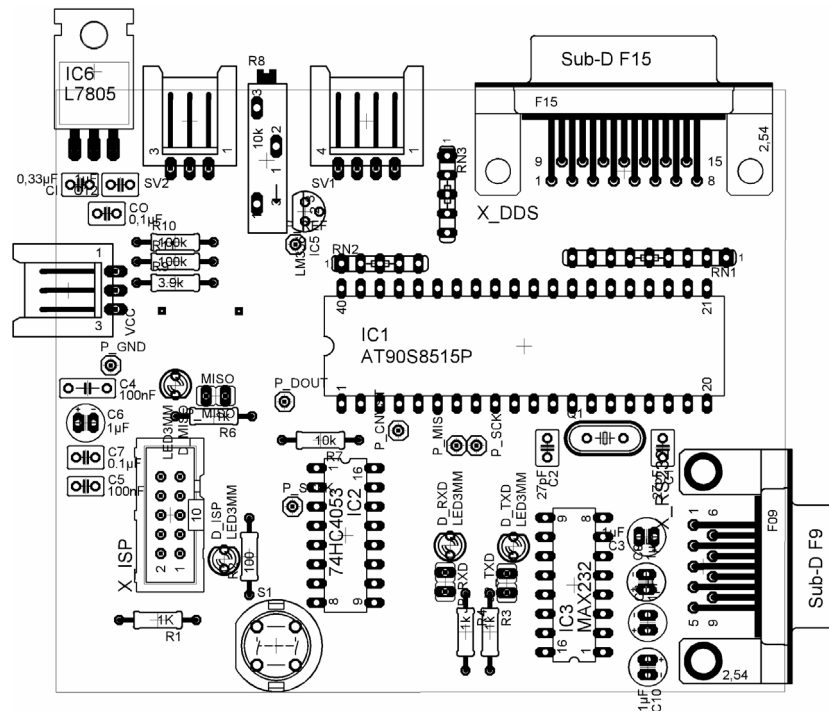


Abb. 6.4-12: Obere Bestückungsansicht des Platinen-Layouts (Top-Layer)

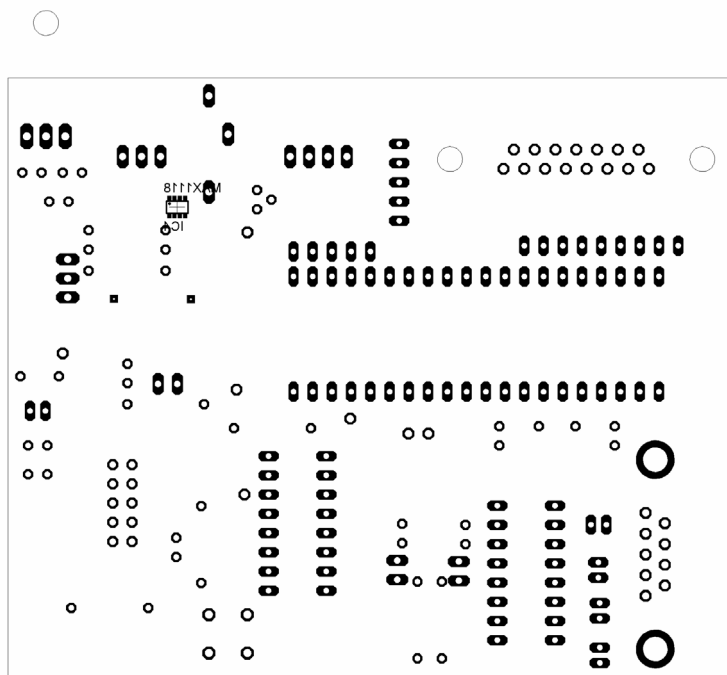


Abb. 6.4-13: Untere Bestückungsansicht des Platinen-Layouts (Bottom-Layer)

6.4.3 Software im Mikrokontroller (Firmware)

Die Software im Mikrokontroller steuert nach dem Empfang von Anfangs-, Endfrequenz und Frequenzschrittweite den Sweep-Vorgang, also den Vorgang der Digitalisierung eines bei der entsprechenden Frequenz zum Logarithmus der Leistung proportionalem Gleichspannungswert des logarithmischen Detektors. Daher hat die Software im Mikrokontroller im Wesentlichen die Kommunikation mit der Software auf dem PC, mit der Peripherie auf der Platine und mit den anderen Modulen unter entsprechenden Zeitvorgaben durchzuführen. Ist das Spektrum im ausgewählten Frequenzbereich aufgenommen, beginnt das Programm erneut auf initiale Daten vom PC zu warten.

Im Folgenden wird das Programm im Ablauf sowie detaillierte Aspekte wie der Zugriff auf die Peripherie näher erläutert. Der Quellcode der Software des Mikrokontrollers befindet sich auf der zum Abschlussbericht gehörigen CD im Anhang und auf der zum Projekt gehörigen Web-Site.

Zustandsdiagramm und Programmablaufplan

Das Programm im Mikrokontroller ist als endlicher Zustandsautomat (engl. Finite State Machine, FSM) ausgeführt. Dem Hardware-Reset bzw. dem Anschalten folgen die Initialisierung der Hardware und der Eintritt in eine Endlosschleife, in der der Zustandsautomat realisiert wurde. In der Endlosschleife führt das Programm abhängig vom aktuellen Status die zugehörigen Funktionen aus. Als Status existieren die Zustände „Warten“, „Optionen empfangen“ und „Sweep durchführen“.

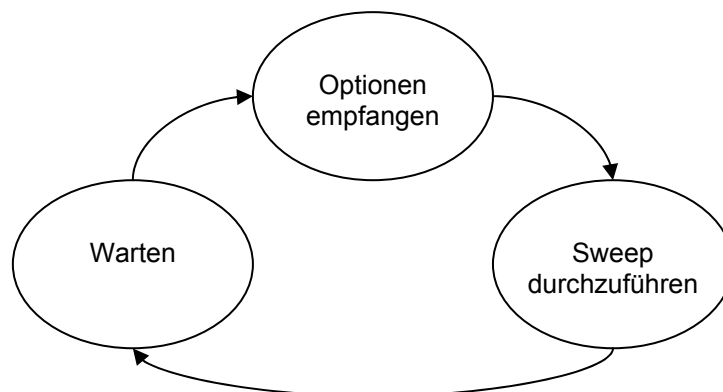


Abb. 6.4-14: Zustandsdiagramm für den endlichen Zustandsautomaten

Das Programm verharrt solange im Zustand „Warten“, bis im Empfangspuffer des UART ein Zeichen anliegt, das vom LabVIEW-Programm vom PC aus an den Mikrokontroller gesendet wurde. Wenn dies der Fall ist, wird in den Zustand „Optionen empfangen“ übergegangen und aus dem UART-Buffer dreimal 4 Byte eingelesen. Diese Bytes werden in 3 Longs konvertiert und als Δ Phase-Werte für die Anfangs-, Endfrequenz und Frequenzschrittweite interpretiert.

Alle Frequenzangaben im Programm des Mikrokontrollers sind den Frequenzen entsprechende Δ Phase-Werte. Die Umrechnung von Frequenzen in Δ Phase-Werte wird durch das LabVIEW-Programm vorgenommen. Es wird aufgrund der Proportionalität trotzdem von Frequenzen gesprochen.

Nachdem die Frequenzwerte empfangen wurden, nimmt das Programm den Zustand „Sweep durchführen“ an. In diesem Zustand verweilt das Programm in einer While-Schleife, bis die nächste aktuelle Frequenz größer als die Endfrequenz werden würde. In der Schleife wird jeweils die aktuelle Frequenz neu berechnet und in den DDS programmiert. Das zur Frequenz gehörige Messdatum wird aus dem ADU ausgelesen und das aufgenommene digitale Messdatum an den PC geschickt. Anschließend wechselt das Programm wieder in den Zustand „Warten“ und ist bereit für einen erneuten Programmdurchlauf.

Der beschriebene Ablauf des Programms ist in Abb. 6.4-15 als Programmablaufplan dargestellt.

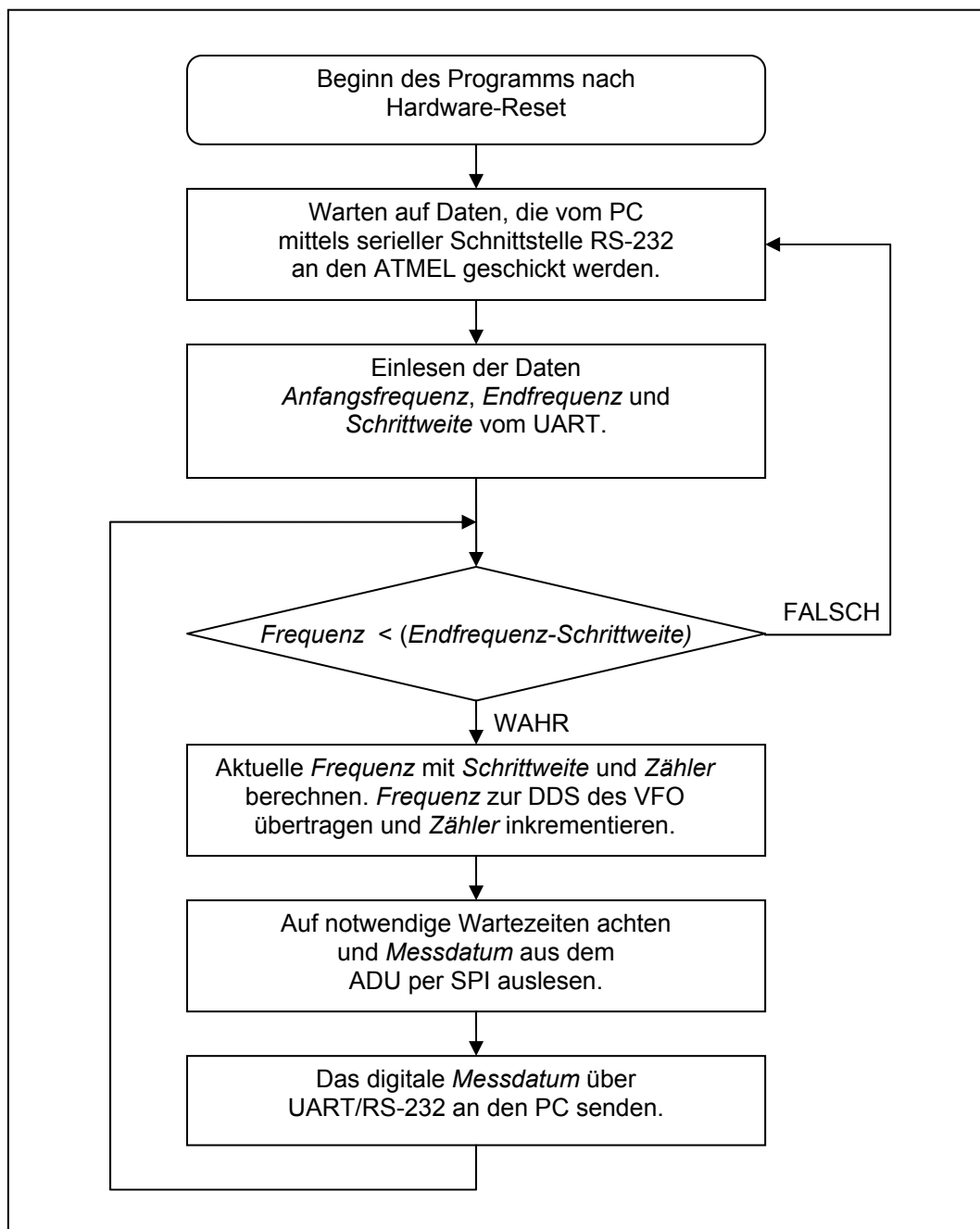


Abb. 6.4-15: Programmablaufplan für die Steuerung und Verarbeitung der Messung durch den ATME1-Mikrocontroller

Implementierung des Programms

Für die Implementierung des beschriebenen Programms wurde aufgrund der zu verarbeitenden 32-Bit-Long-Variablen, der besseren Strukturierbarkeit und besseren Modularisierung im Vergleich mit Assembler sowie der zahlreich vorhandenen Bibliotheken der freie C-Kompiler AVR-GCC⁷ gewählt. Mit 3712 Byte benötigt der durch den AVR-GCC erzeugte Binärcode weniger als die Hälfte des 8 kByte großen Flash-Programmspeichers des ATMELs, was für den vorliegenden Programmumfang mehr als akzeptabel ist.

Das Debugging wurde mit Hilfe des AVR Studio 4⁸ und der durch den AVR-GCC erzeugten COF-Datei durchgeführt. Die COF-Datei verbindet den C-Quellcode mit dem Binärcode, so dass mit dem AVR Studio, wie in Abb. 6.4-16 dargestellt, direkt im C-Quellcode Fehler gesucht und die Werte der Variablen während der Programmausführung beobachtet werden konnten.

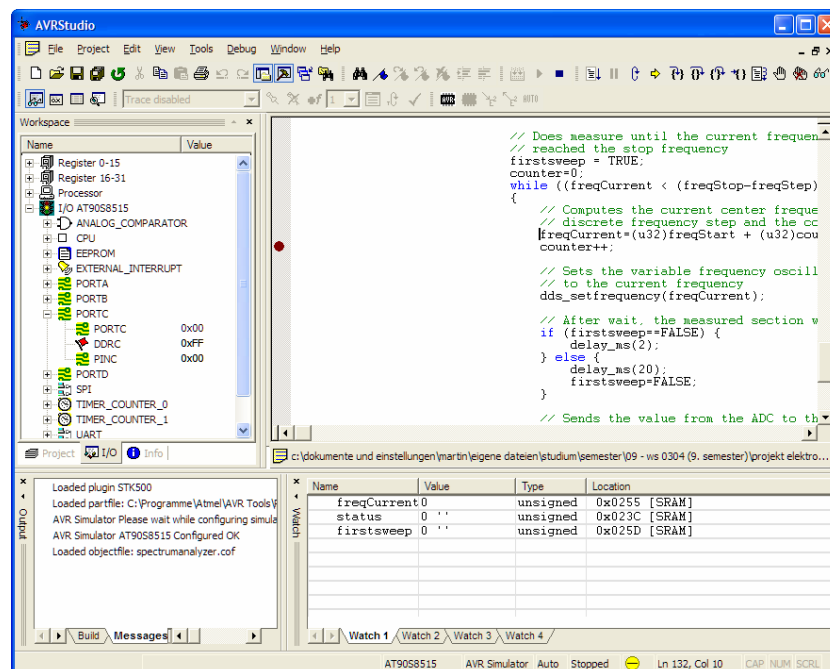


Abb. 6.4-16: Entwicklungsumgebung AVR Studio im Debugging-Modus

Da u.a. mit der Programmierung der SPI-Kommunikation für den ADU sowie für die Programmierung des DDS genug Probleme zu lösen waren, wurden für die asynchrone, serielle Kommunikation mittels des UART die gepufferten, Interrupt-gesteuerten UART-Routinen aus der Procyon AVRlib von Pascal Stang⁹ und für Wartezyklen die Delay-Routinen von Chris Efstathiou herangezogen.

Diese Routinen wurden jeweils um benötigte Erweiterungen, wie etwa die Funktionen `delay_nop()` und `uartReceiveStringLong()` ergänzt. Weiterhin wurden einige

⁷ Freier C-Kompiler für AVR ATMEL-Mikrokontroller: AVR-GCC Version 3.3,
URL: <http://www.avrfreaks.net/AVRGCC/>

⁸ AVR Studio 4 – ATMEL AVR Entwicklungsumgebung mit Assembler und Debugger,
URL: http://www.atmel.com/dyn/products/tools_card.asp?tool_id=2725

⁹ Procyon AVRlib - C-Language Function Library for Atmel AVR Processors,
URL: <http://hubbard.engr.scu.edu/embedded/avr/avrlib/>

in der AVR-GCC Standardbibliothek¹⁰ vorhandene und funktionierende Funktionen nach Möglichkeit genutzt. Alle weiteren Funktionen wurden unter zu Hilfenahme der Datenblätter der anzusprechenden Komponenten unter Berücksichtigung der Zeitvorgaben selbst implementiert.

Zur genaueren Erläuterung der Implementierung der einzelnen Teile des Programmablaufs wird auf die Initialisierung der Hardware sowie auf die einzelnen drei Zustände des Zustandsautomaten und auf die aufgerufenen Funktionen im Folgenden näher eingegangen.

Initialisierung der Hardware

Während der Initialisierung wird der UART, der ADU und der DDS vorbereitet und die Baudrate von 115.200 Baud/s gesetzt. Des Weiteren wird der Empfangspuffer des UART vorsorglich geleert.

Bei dem Aufruf von `uartInit()` werden die Empfangs- und Sendepuffer sowie die Interrupt-Routinen für das Senden und Empfangen durch die UART-Bibliothek eingerichtet.

Der ADU wird durch den Aufruf von `adc_init()` auf dessen Benutzung vorbereitet, indem die MOSI-, SS- und SCK-Pins als Ausgänge definiert werden, der Port B des ATMEL Mikrokontrollers in den SPI-Modus gebracht und der ATMEL als Master für die SPI-Kommunikation definiert wird.

Für die Vorbereitung der Programmierung des DDS werden mit `dds_init()` die drei Steuerausgänge `DDS_DATALOAD` (PA4), `DDS_SETFREQ` (PA5) und `DDS_RESET` (PA7) am Port A sowie der gesamte Port C als Ausgänge definiert. Die drei Steuerausgänge und Port C werden auf den Wert 0 gesetzt. Anschließend findet ein Reset des DDS durch Setzen des Steuerausganges `DDS_RESET` statt.

Zustand: „Warten“ (WAIT)

Solange kein Zeichen im Empfangspuffer des Speichers vorhanden ist, bleibt dieser Zustand erhalten. Erst wenn die Bedingung

```
uartReceiveBufferIsEmpty() == FALSE
```

ein boolesches Wahr ergibt, wird der aktuelle Zustand auf „Optionen empfangen“ (`GETOPT`) gesetzt.

Zustand: „Optionen empfangen“ (GETOPT)

Um die dreimal 4 Bytes für die Anfangs-, Endfrequenz und Frequenzschrittweite in Δ Phase-Werten zu erhalten, wird zuerst `uartReceiveStringLong(input, 12)` aufgerufen. Nach der Rückkehr von der Funktion sind im Zeichen-Array `input` auf jeden Fall 12 Bytes abgelegt. Daher hat die Funktion `uartReceiveStringLong()` solange gewartet, bis dem UART-Empfangspuffer diese 12 Bytes zu entnehmen gewesen sind.

¹⁰ AVR-GCC Standardbibliothek – AVR Libc,
URL: <http://www.nongnu.org/avr-libc/>

Dabei sortiert die Funktion `uartReceiveStringLong()` die Bytes in ihrer Reihenfolge so um, dass die Repräsentation des PC-Long-Wertes mit dem ATMEL-Long-Wert identisch ist. In Abb. 6.4-17 ist schematisch dargestellt, in welcher Reihenfolge die Long-Werte auf einem PC und einem ATMEL mit AVR-GCC in 4 Bytes aufgeteilt werden. Dabei steht das Byte #0 für das höchstwertigste Byte und das Byte #3 für das niedrigstwertigste Byte.

Byte #0	Byte #1	Byte #2	Byte #3
------------	------------	------------	------------

Gruppierung der 4 Bytes
eines 32-Bit-Long-Wertes auf dem PC

Byte #3	Byte #2	Byte #1	Byte #0
------------	------------	------------	------------

Gruppierung der 4 Bytes
eines 32-Bit Long-Wertes auf dem ATMEL

Abb. 6.4-17: Unterschiedliche Byte-Gruppierung von Long-Werten auf dem PC und dem ATMEL (AVR-GCC)

Schließlich werden alle weiteren Zeichen im Empfangspuffer mit dem Aufruf von `uartFlushReceiveBuffer()` gelöscht und der Zustand auf „Sweep durchführen“ (SWEEP) gesetzt.

Zustand: „Sweep durchführen“ (SWEEP)

Als Erstes wird der DDS einem Reset unterzogen. Die boolsche Variable `firstsweep` auf Wahr und der Zähler `counter` auf 0 gesetzt. Dann tritt das Programm in die While-Schleife ein, wenn die nächste zu erwartende Frequenz die Endfrequenz nicht überschreitet. Dies kann durch die Bedingung

```
freqCurrent < (freqStop-freqStep)
```

ausgedrückt werden. Ist die Bedingung wahr, dann kann die in der While-Schleife zu berechnende neue aktuelle Frequenz nicht größer als die Endfrequenz sein. Die aktuelle Frequenz wird aus der Summe der Anfangsfrequenz und dem Produkt des Zählers mit der Frequenzschrittweite gebildet. Dies drückt sich im Programmcode als

```
freqCurrent = freqStart + counter * freqStep;
```

aus. Dann wird der Zähler inkrementiert. Die aktuelle Frequenz wird nun der Funktion `dds_setfrequency()` übergeben, um sie in den DDS zu programmieren. Auf die Programmierung der DDS wird zu einem späteren Zeitpunkt genauer eingegangen. Wenn die Anfangsfrequenz in den DDS programmiert wird, kann es zu einem längeren Einschwingen kommen, da die PLL vorher auf eine möglicherweise recht weit entfernte Frequenz programmiert war. Eine Wartezeit von maximal 20 ms ist hier nach Messungen ausreichend. Für alle weiteren zu setzenden Frequenzen, die sich von der vorhergehenden Frequenz nur durch die Frequenzschrittweite unterscheiden, muss nur eine kurze Wartezeit von 2 ms eingehalten werden. Anschließend wird mit dem Aufruf von

```
uartSendByte(adc_read_channel_one());
```

der aktuell am Kanal 1 des ADU (CH0 des MAX1118) anliegende Spannungswert analog-digital gewandelt, durch den Mikrokontroller mittels SPI aus dem ADU ausgelesen und das dem Messdatum entsprechende Byte ohne Interrupt-Aufruf direkt mit Hilfe des UART an den PC gesendet. Die Bedingung der While-Schleife wird erneut überprüft und falls sie nicht gegeben ist, wird der Zustand des Programms zurück auf „Warten“ (WAIT) gesetzt.

Programmierung des DDS (AD9851)

Die Programmierung des DDS (Analog Devices AD9851¹¹), also das Setzen und Aktivieren einer neuen durch den DDS zu synthetisierenden Frequenz, wird durch die asynchrone parallele oder asynchrone serielle Übertragung eines 40-Bit-Wortes vom Mikrokontroller an die DDS und anschließendem Aktivieren der übertragenden Frequenz mittels Setzen der DDS_SETFREQ-Steuerleitung realisiert.

Das erste Byte des 40-Bit-Wortes kontrolliert die Phase, den 6xREFCLK-Multiplikator, die Power-Down-Funktion und das Übertragsformat (parallel/seriell). Alle restlichen 4 Bytes dienen der Darstellung des 32-Bit-Frequenz-Wertes. Dieser wird als ein der einzustellenden Frequenz entsprechender $\Delta Phase$ -Wert angegeben. Die Ausgangsfrequenz f_{OUT} und der $\Delta Phase$ -Wert der DDS stehen mit der folgenden Gleichung

$$f_{OUT} = \frac{\Delta Phase \cdot \Lambda(6xREFCLK) \cdot f_{REFCLK}}{2^{32}}$$

mit

$$\Lambda(6xREFCLK) = \begin{cases} 6, & \text{wenn } 6xREFCLK = An \\ 1, & \text{wenn } 6xREFCLK = Aus \end{cases}$$

für den Zustand des Frequenzvervielfachers der DDS mit dem Faktor 6 im Zusammenhang. Im vorliegenden Betriebsfall ist der Frequenzvervielfacher immer eingeschaltet. Somit vereinfacht sich die Gleichung für die Ausgangsfrequenz f_{OUT} zu

$$f_{OUT} = \frac{6}{2^{32}} \Delta Phase \cdot f_{REFCLK} \cdot$$

Diese Ausgangsfrequenz f_{OUT} der DDS wird durch die angeschlossene PLL um den Faktor 16 erhöht. Dies geschieht durch den Abgriff des durch den VCO erzeugten Signals vor dem Frequenzteiler. Der Teiler hat den Faktor 16. Das Ausgangssignal des VCO hat demnach eine um den Faktor 16 höhere Frequenz

$$f_{VCOOUT} = 16f_{OUT} = \frac{96}{2^{32}} \Delta Phase \cdot f_{REFCLK} \cdot$$

¹¹ 180 MHz DDS Analog Devices AD9851 – Datenblatt,
URL: http://www.analog.com/UploadedFiles/Data_Sheets/34884235991687AD9851_d.pdf

Für das Heraufmischen des Eingangssignals auf die 1. ZF wird mit f_{VCOOUT} die Frequenz des Lokaloszillators des 1. Mischers erzeugt. Demnach nimmt f_{VCOOUT} Werte im Bereich von 170,7 bis 270,7 MHz für den hier realisierten einfachen 100 MHz-Spektrumanalysator ein. Dabei werden bei einer Lokaloszillatorfrequenz f_{VCOOUT} von 170,7 MHz Signalanteile bei 0 MHz auf die Frequenz 170,7 MHz aufwärts gemischt. Bei der Lokaloszillatorfrequenz f_{VCOOUT} von 270,7 MHz entspricht das Mischprodukt am Ausgang des Mischers an der Stelle von 170,7 MHz den Signalanteilen bei der Eingangsfrequenz von 100 MHz.

Nach Umstellen der Gleichung für die Lokaloszillatorfrequenz f_{VCOOUT} ergibt sich $\Delta Phase$ zu

$$\Delta Phase = \frac{2^{32} f_{VCOOUT}}{96 f_{REFCLK}} \approx 44739242,67 \frac{f_{VCOOUT}}{f_{REFCLK}}$$

Für die Referenzfrequenz des DDS steht ein hochgenauer 10-MHz-Referenzoszillator zur Verfügung, so dass $f_{REFCLK} = 10$ MHz groß ist und sich $\Delta Phase$ mit

$$\Delta Phase = \frac{2^{32}}{96 \cdot 10^7} f_{VCOOUT} \approx 4,473924267 \cdot f_{VCOOUT}$$

proportional zur Lokaloszillatorfrequenz f_{VCOOUT} ermitteln lässt.

f_{VCOOUT}	$\Delta Phase_2$	$\Delta Phase_{10}$	Fehler
170,7 MHz	00101101 10000101 00011110 10111000	763698872	< 0,072 Hz
270,7 MHz	01001000 00101111 11001001 01100011	1211091299	< 0,003 Hz

Tab. 6.4-1: Beispielhafte $\Delta Phase$ -Werte im dualen und im dezimalen Zahlensystem

Für Fließkommagenauigkeit und Rundung der errechneten $\Delta Phase$ -Werte auf eine Ganzzahl kann gezeigt werden, dass sich mit

$$\Delta Phase = \left[\frac{2^{32}}{96 \cdot 10^7} f_{VCOOUT} \right] \quad \text{mit } \Delta Phasekonst = \frac{2^{32}}{96 \cdot 10^7}$$

$$= [\Delta Phasekonst \cdot f_{VCOOUT}]$$

und beispielhaften $\Delta Phase$ -Werten wie in Tab. 6.4-1 nur ein sehr kleiner Rundungsfehler ergibt und somit die Lokaloszillatorfrequenz f_{VCOOUT} sehr genau durch den $\Delta Phase$ -Wert eingestellt werden kann.

Wichtig für die Umrechnung der Anfangs-, Endfrequenz und Frequenzschrittweite ist, dass die $\Delta Phase$ -Werte für die Anfangs- und Endfrequenz mit dem Frequenzoffset des Lokaloszillators von 170,7 MHz berechnet werden und die Frequenzschrittweite nur als relativer $\Delta Phase$ -Wert angegeben wird.

$$\Delta Phase_{Anfangsfrequenz} = \left[(170,7 \text{ MHz} + f_{Anfangsfrequenz}) \Delta Phasekonst \right]$$

$$\Delta Phase_{Endfrequenz} = \left[(170,7 \text{ MHz} + f_{Endfrequenz}) \Delta Phasekonst \right]$$

$$\Delta Phase_{Schrittweite} = \left[\Delta f_{Schrittweite} \cdot \Delta Phasekonst \right]$$

Die Frequenzen $f_{Anfangsfrequenz}$ und $f_{Endfrequenz}$ bewegen sich im Wertebereich von 0 bis 100 MHz und $\Delta f_{Schrittweite}$ sollte im Zusammenhang mit der Bandbreite des 2. ZF-Filters sinnvoll ausgewählt werden. Die Bandbreite des Frequenzbereiches, indem das Spektrum analysiert wird, ergibt sich für die gerundeten $\Delta Phase$ -Werte durch

$$B = \frac{\Delta Phase_{Endfrequenz} - \Delta Phase_{Anfangsfrequenz}}{\Delta Phasekonst}$$

und es werden

$$N = \left\lfloor \frac{\Delta Phase_{Endfrequenz} - \Delta Phase_{Anfangsfrequenz}}{\Delta Phase_{Schrittweite}} \right\rfloor$$

äquidistante diskrete Stützstellen für das Leistungsdichtespektrum in der gegebenen Bandbreite aufgenommen. Die gerundeten $\Delta Phase$ -Werte werden durch das LabVIEW-Programm auf dem PC berechnet und als 32-Bit-Long-Werte an den Mikrokontroller übermittelt, so dass wie bereits erwähnt im Programm des Mikrokontrollers ausschließlich mit $\Delta Phase$ -Werten gearbeitet wird.

Für die Übertragung des 40-Bit-Wortes wurde zuerst die asynchrone parallele Übertragung implementiert. Diese Implementierung schickte im Zusammenspiel mit dem AVR-Studio Debugger auch die richtigen Bits an den Port C und an die Steuerleitungen. In der Praxis konnte mit Hilfe eines Logik-Analysators dann nachgewiesen werden, dass sich die Spannungspegel am Pin PC6 in regelmäßigen Abständen nicht auf den gewünschten und erwarteten Pegeln befanden. Störungen durch Interrupt-Aufrufe lagen nicht vor. Im Debugger war die korrekte Funktionsweise der Implementierung nachvollziehbar. Es kann also nur von einem Widerspruch von dem ATMEL AVR 90S8515 Modell des Debuggers und des vorliegenden Mikrokontrollers in der Revision C-Version ausgegangen werden. Bis zum Schluss des Projekts konnte für dieses Problem keine plausible Erklärung gefunden werden.

Dennoch konnte die Übertragung des 40-Bit-Wortes an die DDS durch Benutzung der asynchronen seriellen Übertragung realisiert werden. Dazu muss die DDS zuerst von dem standardmäßigen Parallelmodus in den seriellen Modus gebracht werden. Dazu wurden die drei niedrigwertigsten Bits auf 011 gesetzt und an den Pins PC2, PC1 und PC0 am ATMEL Port C ausgegeben sowie die Übernahme durch die DDS mit dem Setzen von `DDS_DATALOAD` gewährleistet. Die DDS wird dann durch aktivieren von `DDS_SETFREQ` in den seriellen Modus geschaltet. Dieser Vorgang des Umschaltens vom parallelen in den seriellen Modus ist im Signaldiagramm in Abb. 6.4-18 dargestellt. Die Übertragung des 40-Bit-Wortes im asynchronen seriellen Modus wird im Signaldiagramm in Abb. 6.4-19 dargestellt. Aus der Tab. 6.4-2 wird ersichtlich, wie sich das 40-Bit-Wort beginnend mit dem LSB des 32-Bit-Frequenzwortes zusammensetzt.

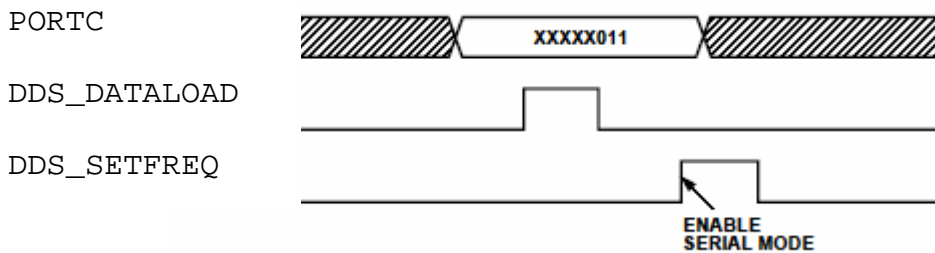


Abb. 6.4-18: Den DDS in den asynchronen seriellen Modus schalten
(Quelle: Datenblatt AD9851)

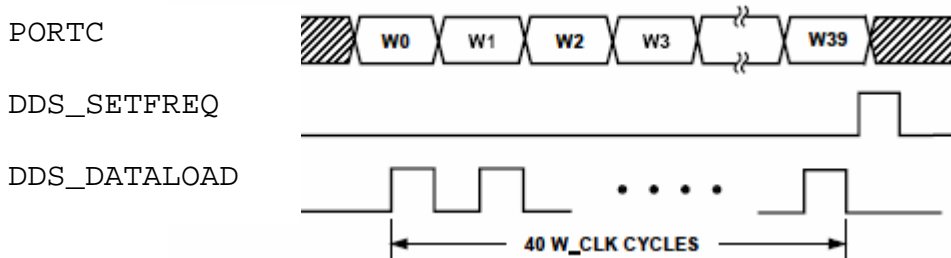


Abb. 6.4-19: Serielles Laden des 40-Bit-Wortes und
Aktivieren der geladenen Frequenz
(Quelle: Datenblatt AD9851)

W0	Freq-b0 (LSB)	W13	Freq-b13	W27	Freq-b27
W1	Freq-b1	W14	Freq-b14	W28	Freq-b28
W2	Freq-b2	W15	Freq-b15	W29	Freq-b29
W3	Freq-b3	W16	Freq-b16	W30	Freq-b30
W4	Freq-b4	W17	Freq-b17	W31	Freq-b31 (MSB)
W5	Freq-b5	W18	Freq-b18	W32	6× REFCLK Multiplier Enable
W6	Freq-b6	W19	Freq-b19	W33	Logic 0*
W7	Freq-b7	W20	Freq-b20	W34	Power-Down
W8	Freq-b8	W21	Freq-b21	W35	Phase-b0 (LSB)
W9	Freq-b9	W22	Freq-b22	W36	Phase-b1
W10	Freq-b10	W23	Freq-b23	W37	Phase-b2
W11	Freq-b11	W24	Freq-b24	W38	Phase-b3
W12	Freq-b12	W25	Freq-b25	W39	Phase-b4 (MSB)
		W26	Freq-b26		

*This bit is always Logic 0.

Tab. 6.4-2: Bezeichnung der Bits und Reihenfolge bei der Übertragung
des 40-Bit-Wortes. (Quelle: Datenblatt AD9851)

Die Routinen für die Programmierung des DDS AD9851 sind in den Dateien dds.h und dds.c enthalten. Neben der bereits erläuterten Funktion `dds_init()` wird durch das Programm im Mikrokontroller noch die Funktion `dds_reset()` für das Zurücksetzen des DDS, so dass keine Frequenz mehr synthetisiert wird, und die Funktion `dds_setfrequency(u32 deltaphase)`, zum Setzen und Aktivieren einer Frequenz als $\Delta Phase$ -Wert, benötigt.

Auslesen des ADUs MAX1118 mittels SPI

Da es sich bei dem seriellen peripheren Interface (SPI) um ein bidirektionales synchrones serielles Protokoll handelt, wird ein Datenaustausch durch den Master initiiert. In der vorliegenden Realisierung muss also der ATMEL Mikrokontroller die SPI-Kommunikation durch das Schreiben eines Bytes in das SPDR-Register starten. Das MSB des zu sendenden Bytes liegt sofort am Ausgang von MOSI an. Da beim Auslesen eines digitalisierten Wertes aus dem ADU nicht in den ADU als Slave

geschrieben werden muss, ist der Wert für die MOSI-Leitung beliebig. Daher wurde in den beiden Versionen der Schaltung der Multiplexer-Ausgang für die MOSI-Leitung für den ADU-Betrieb nicht weiter beschaltet. In Abb. 6.4-20 ist ein Zeitdiagramm zum SPI-Datenaustausch für die verwendete Konfiguration (CHPA=0 und CPOL=0) dargestellt.

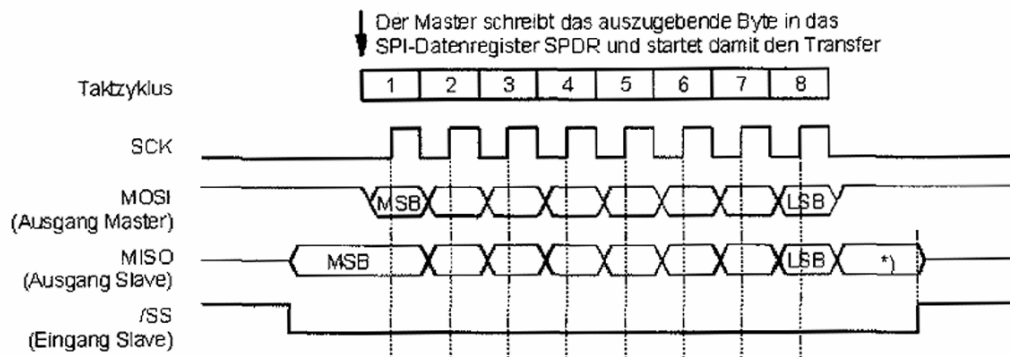


Abb. 6.4-20: SPI-Übertragung für CHPA=0 und CPOL=0 (Quelle: [16])

Bevor jedoch ein Byte aus dem ADU ausgelesen werden kann, muss der Kanal des ADU MAX1118 ausgewählt und somit die Analog-Digital-Wandlung im ADU gestartet werden. Dies geschieht durch das kurzzeitige, einmalige Setzen der CNVST-Leitung (PB3 am ATMEL) für die Auswahl des 1. Kanals des ADU (CH0). Nach einer kurzen Wartezeit für die Analog-Digital-Wandlung im ADU kann mittels SPI der digitale Messwert aus dem ADU ausgelesen werden. Dazu wird durch Schreiben ins SPDR-Register im ATMEL die Taktung auf der SCK-Leitung aktiviert und es werden so die Bits im SPI-Shift-Register SPDR durch die Bits von der MISO-Leitung vom ADU nacheinander ersetzt, so dass nach einem SPI-Zyklus (8 SCK-Takte) das digitale Messdatum des ADU dem SPDR-Register zu entnehmen ist.

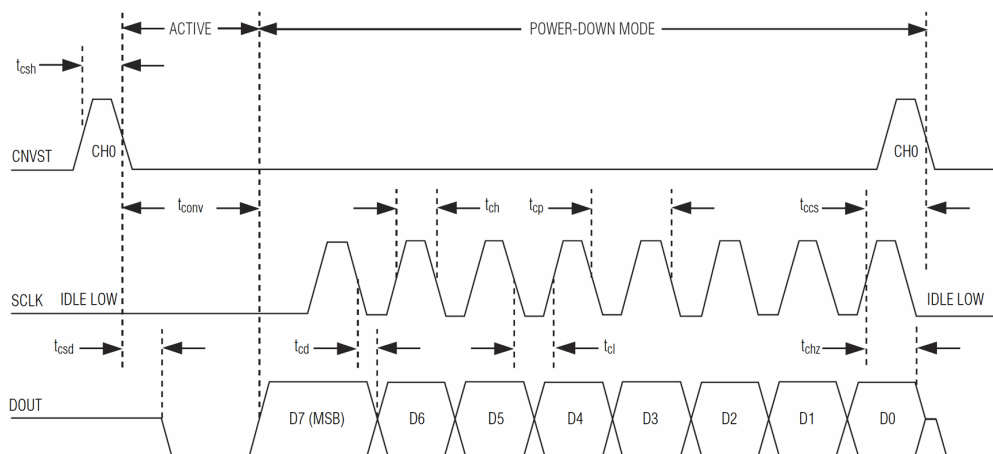


Abb. 6.4-21: Zeitvorgaben für das Auslesen des ADU MAX1118 mittels SPI (Quelle: Datenblatt MAX1118)

Dieser Vorgang der ADU-Kanalauswahl und des SPI-Datenaustausches wird unter Berücksichtigung der im Datenblatt des MAX1118 vorgegebenen Zeiten, wie in Abb. 6.4-21 dargestellt, durch die Funktion `adc_read_channel_one()` aus der Datei `max1118.c` realisiert. Ebenso lässt sich auch der zweite Kanal des ADU (CH1) `adc_read_channel_two()` auslesen. Für die Auswahl des 2. Kanals des ADU wird zweimal hintereinander kurz die CNVST-Leitung gesetzt.

Übersicht über die Bestandteile des Programms im Mikrokontroller

In der folgenden Tabelle wird eine ausgewählte Übersicht über die verwendeten und implementierten Funktionen für das C-Programm des Mikrokontrollers gewährt.

Dateien	Funktionen	Beschreibung
spectrumanalyzer.h/ spectrumanalyzer.c		
	uartReceiveStringLong()	Liest eine bestimmte Anzahl von Zeichen (Char) vom UART ein und ordnet sie so um, dass die Zeichen nach dem LIFO-Prinzip in dem zurück gelieferten Zeichen-Array gespeichert sind.
	main()	Hauptprogramm
uart.h/uart.c		
	uartInit()	Initialisiert die UART-Schnittstelle des ATMEL.
	uartSetBaudRate()	Setzt die UART-Schnittstelle auf die gegebene Baurate.
	uartSendByte()	Sendet unmittelbar ein Zeichen ohne Verwendung des Sendepuffers.
	uartReceiveByte()	Entnimmt ein Zeichen aus dem Empfangspuffer
	uartReceiveBufferIsEmpty()	Prüft, ob der Empfangspuffer leer ist.
	uartGetRxBuffer()	Liefert den Zeiger auf den Empfangspuffer zurück
	uartFlushReceiveBuffer()	Leert den Empfangspuffer.
dds.h/dds.c		
	dds_init()	Initialisiert die für die Porgrammierung des DDS verwendeten ATMEL-Pins.
	dds_reset()	Führt einen Reset des DDS durch, so dass kein Signal am Ausgang des DDS anliegt.
	dds_write_serial()	Überträgt das durch dds_setfrequency() aufbereitete 40-Bit-Datenwort seriell an den DDS.
	dds_setfrequency()	Setzt den DDS mit Hilfe von dds_write_serial() auf den als 32-Bit-Long übergebenen $\Delta Phase$ -Wert
max1118.h/ max1118.c		
	adc_init()	Initialisiert die SPI-Schnittstelle des ATMEL und den CNVST-Ausgang zur Kanalauswahl.
	adc_read_channel_one()	Startet die Digital-Analog-Umsetzung für den 1. Kanal des ADU und liest ein Byte aus dem ADU aus.
	adc_read_channel_two()	Startet die Digital-Analog-Umsetzung für den 2. Kanal des ADU und liest ein Byte aus dem ADU aus.
delay.h/delay.c		
	delay_nop()	Wartet ein Taktzyklus.
	delay_us()	Wartet die angegebene Zeit in μs .
	delay_ms()	Wartet die angegebene Zeit in ms.

Tab. 6.4-3: Ausgewählte Übersicht über verwendete und implementierte Funktionen

6.4.4 Software auf dem PC (LabVIEW)

Die Bedienungsoberfläche des Spektrumanalysators wurde mit der Software LabVIEW¹² realisiert. Sie bietet einen unkomplizierten Zugriff auf die serielle RS-232-Schnittstelle und eine einfache Programmierung der grafischen Oberfläche sowie umfangreiche Auswertungsmöglichkeiten.

Anforderungen

- Das Steuerprogramm muss die Eingabe der Parameter, wie Schrittweite, Start- und Stoppfrequenz¹³ gewährleisten.
- Diese Frequenzen werden dann jeweils in ein 32-bit-Wort umgewandelt und an den ATMEL gesendet. Das 32-bit-Wort der Startfrequenz stellt das erste Datenwort (Anfangsfrequenz, Δ Phase), das 32-Bit-Wort der Stoppfrequenz die maximale Frequenz für den DDS dar.
- Für die jeweiligen gesetzten Frequenzen erhalten wir digitale Spannungswerte, die proportional den Leistungen in dBm sind. Diese Messdaten müssen über die RS-232-Schnittstelle vom PC empfangen werden.
- Nach dem Empfangen der Daten muss die Darstellung des aufgenommenen Spektrums erfolgen.
- Auswertemöglichkeiten sollen dem Benutzer zur Verfügung stehen.

Aufbau der graphischen Oberfläche des einfachen Spektrumanalysators

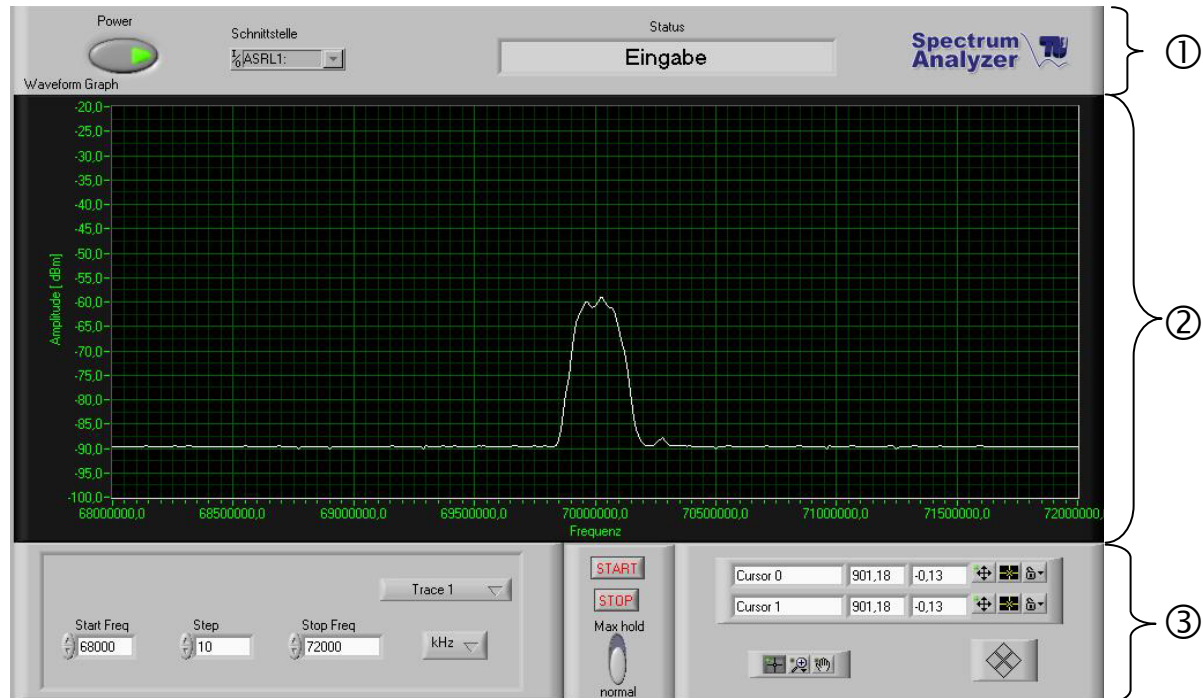


Abb. 6.4-22: Graphische Oberfläche des LabVIEW-Programms

¹² Software LabVIEW von National Instruments,
URL: <http://www.ni.com/labview/>

¹³ Start- und Stoppfrequenz werden synonym zu Anfangs- und Endfrequenz verwendet.

Die Abbildung 6.4-22 zeigt die graphische Oberfläche des einfachen Spektrumanalysators. Das virtuelle Instrument (VI) ist in drei Teile, das Initialisierungsinterface ①, die Spektrumsdarstellung ② und das Benutzerinterface ③ gegliedert.



Abb. 6.4-23: Initialisierungsinterface

Abbildung 6.4-23 zeigt den ersten Teil, das Initialisierungsinterface. Auf der linken Seite befindet sich ein Power-Button ① der betätigt sein muss, um eine Aufnahme des Spektrums zu ermöglichen. Durch die Deaktivierung des Power-Buttons wird der Sweepvorgang beendet.

Des Weiteren wurde ein Bedienterminal ② für die asynchrone RS-232-Schnittstelle vorgesehen. Die Eingabe ASRL1: bestimmt den COM-Port 1 für die Datenübertragung.

Im Initialisierungsinterface wurde eine Status-Anzeige ③ implementiert. Sie zeigt dem Benutzer an, in welcher Sequenz (in Abb. 6.4-23 ist es die Eingabe-Routine), sich das Programm gerade befindet.

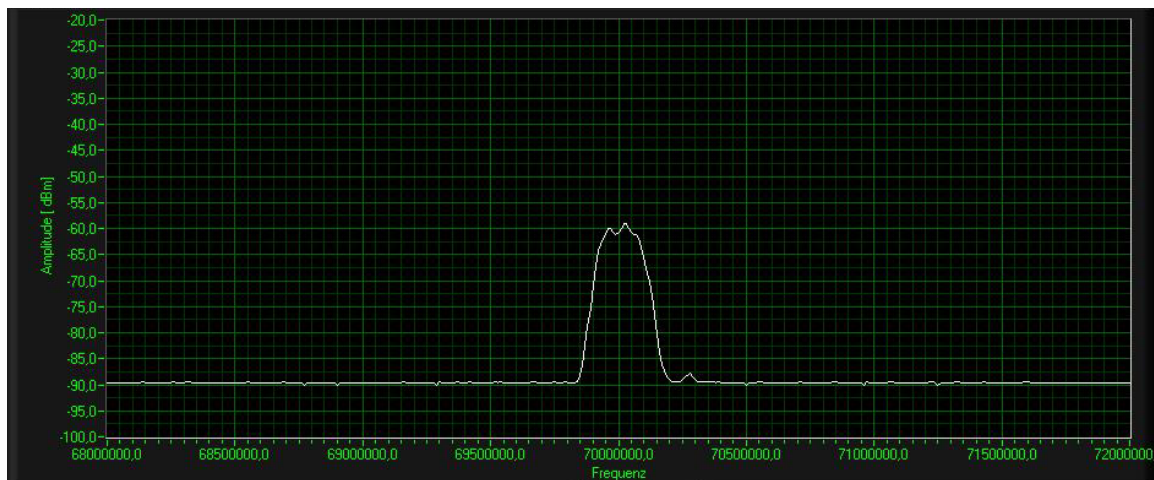


Abb. 6.4-24: Darstellung des Spektrums

Der zweite Teil besteht aus der Darstellung des gemessenen Spektrums. Die Abbildung 6.4-24 zeigt ein Leistungsdichte-Spektrum in dBm (Dezibel bezogen auf mW), das über der Frequenz in Hz aufgetragen ist.

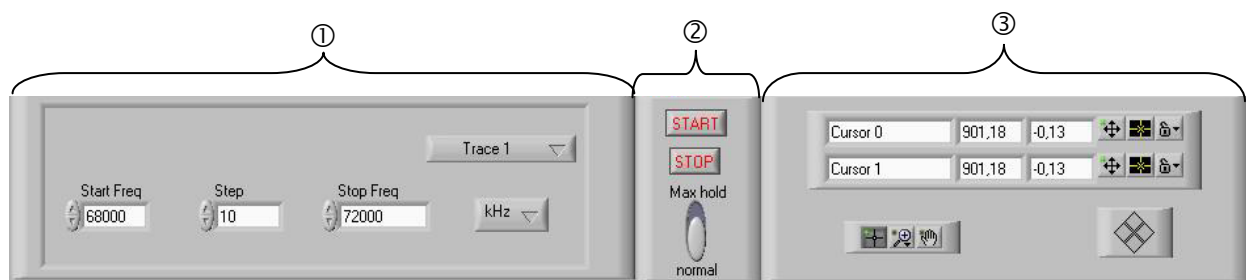


Abb. 6.4-25: Benutzerinterface

Der dritte Teil der graphischen Oberfläche des LabVIEW Programms besteht aus dem Benutzerinterface ①. Hier werden die Sweep-Parameter wie Schrittweite, die Frequenz-Einheit und die Start- und Stoppfrequenz eingegeben. Im Bereich ② kann der Sweep durch Betätigen des Startbuttons eingeleitet werden und durch Aktivierung des Stop-Buttons wird die Aufnahme des Spektrums beendet. Der vertikale Schalter im Bereich ② des Benutzerinterfaces gibt dem Anwender die Möglichkeit zwei unterschiedlichen Sweepfunktionen (normal oder Max hold) auszuwählen. Diese Funktionen werden im weiteren Verlauf näher erläutert. Im Bereich ③ befindet sich das Auswerteframe. Auch auf diesen Bereich wird später näher eingegangen.

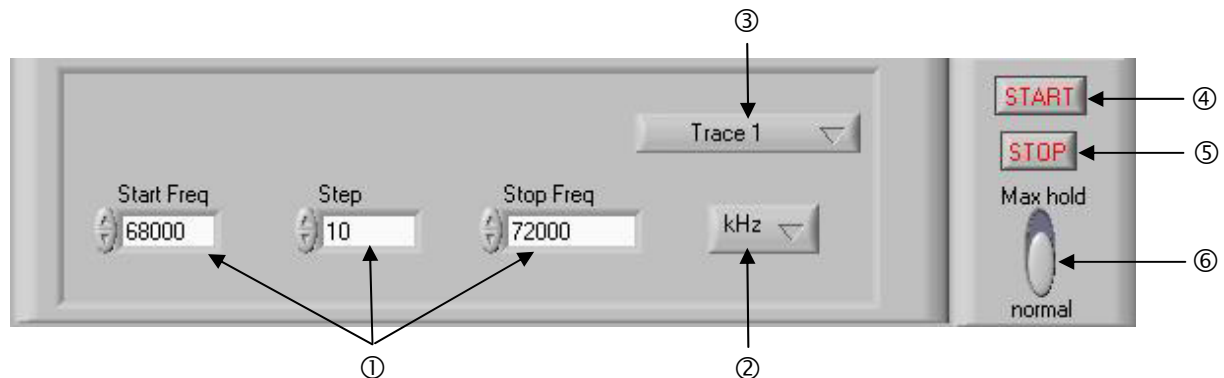


Abb. 6.4-26: Vergrößerter Ausschnitt aus dem Benutzerinterface

In Abb. 6.4-26 sind die ersten zwei Bereiche des Benutzerinterfaces vergrößert dargestellt.

Der Anwender gibt die Schrittweite, die Start- und Stoppfrequenz als Parameter ① ein und wählt durch Betätigen des Buttons ② die Frequenzeinheit. Es besteht die Möglichkeit zwischen Hz, kHz und MHz zu wählen. Die festgelegte Frequenzeinheit bezieht sich auf alle drei Eingabeparameter ①. Das gemessene Spektrum kann im Trace1 oder Trace2 (Button ③) abgespeichert werden. Die skalierten Messwerte in dBm des jeweiligen Sweeps stehen dem Benutzer für weitere Auswertungen zur Verfügung.

In der nächsten abgesetzten Box befinden sich der Start-Button ④ (Einleitung der Spektrumsanalyse), ein Stop-Button ⑤ (Beenden des Sweeps) und ein vertikaler Schalter ⑥. Wenn dieser in der oberen Position auf Max Hold steht, dann ist die Maximum-Hold-Funktion aktiviert. Dabei werden die vorherigen dBm-Werte mit den neu aufgenommenen verglichen und der jeweils größere Wert abgespeichert. Durch diese Funktion hat der Anwender die Möglichkeit z.B. eine Filterkurve aufzunehmen. Wird die normale Sweepfunktion gewählt, gehen bei jeder erneuten Aufnahme eines Spektrums die vorherigen Daten unwiderruflich verloren.

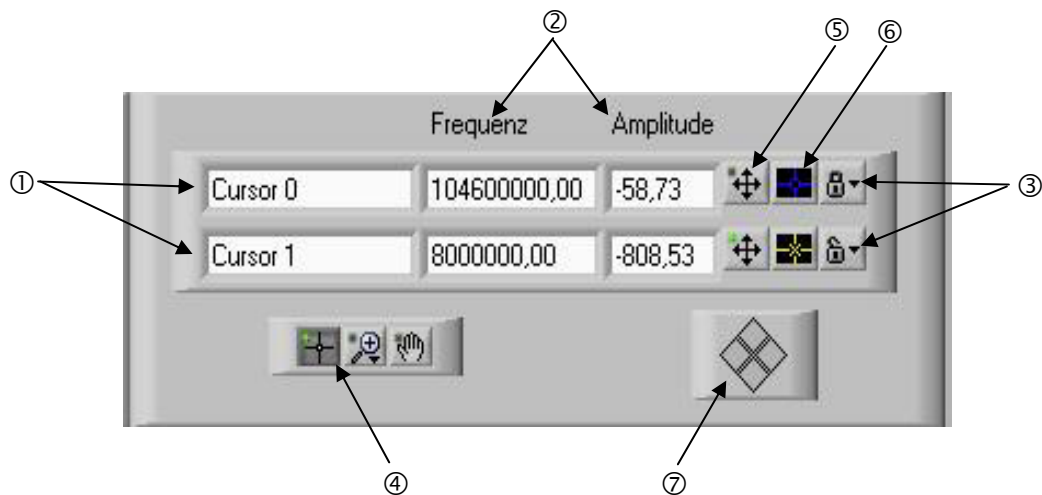


Abb. 6.4-27: Auswertungsinterface

In der letzten abgesetzten Box des Benutzerinterfaces sind die Auswertefunktionen implementiert. Dem Anwender stehen zwei Cursor ①, die durch betätigen des Buttons ⑤ aktiviert werden, zur Verfügung. Die Koordinaten der anvisierten Punkte sind in der Positionsanzeige ② abgebildet. In X-Richtung wird die Frequenz in Hz dargestellt und die Y-Richtung beinhaltet den dBm-Wert.

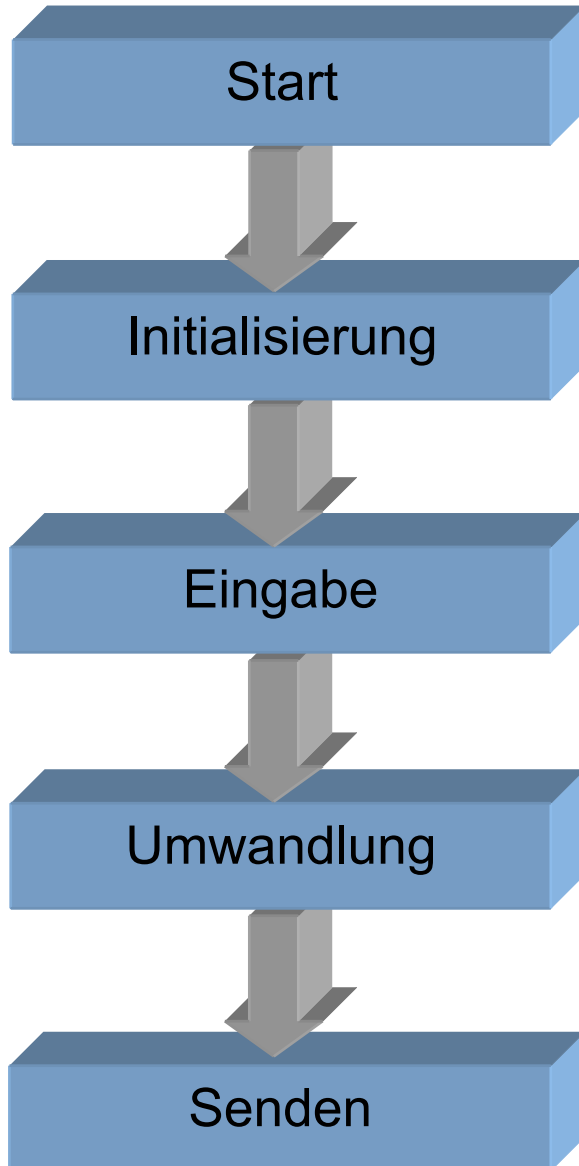
Durch Betätigen des Buttons ③ können verschiedene Eigenschaften der einzelnen Cursors gewählt werden, es wird z.B. nur auf Punkten des Spektrums mit dem Cursor gefahren, wenn das Schloss (Button ③) verriegelt ist. Bei offenem Schloss ist die Einrastfunktion ausgeschaltet und der Benutzer kann die manuelle Cursorbewegung ⑦ verwenden.

Mit dem Button ⑥ kann der Stil des Cursors verändert werden, wie z.B. Farbe, Linien-Art und -Breite des Cursors.

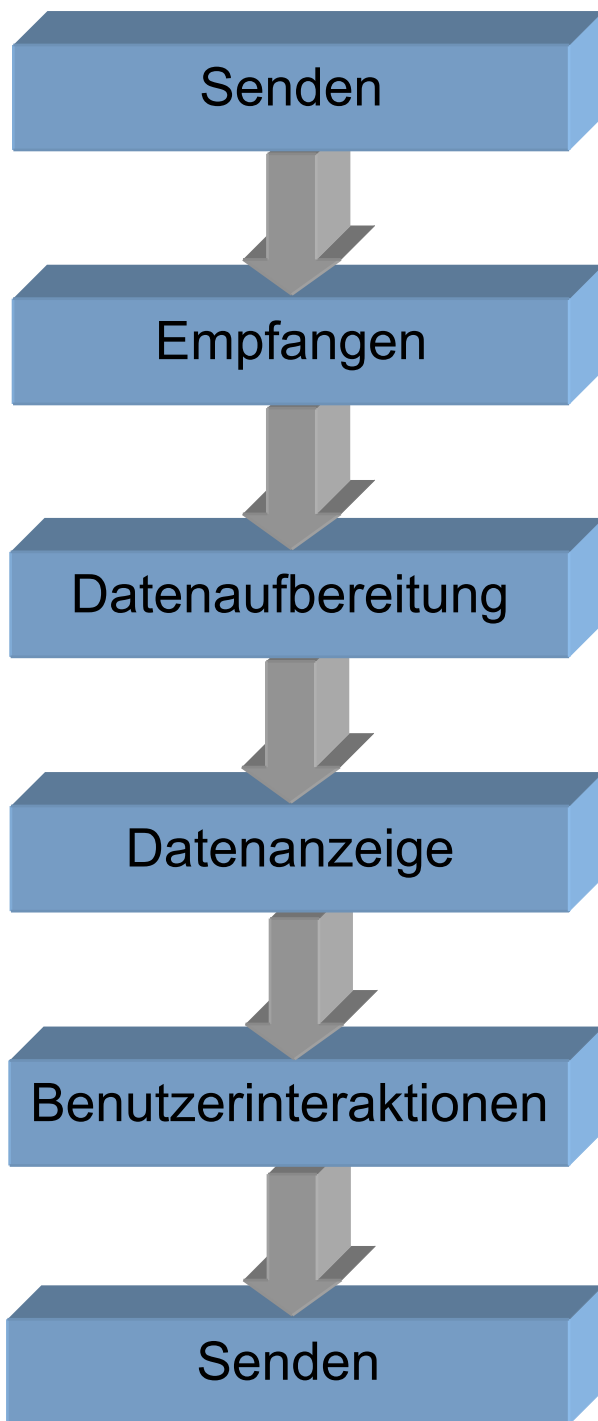
Für eine Vergrößerung eines bestimmten Bereiches wurde im Auswerteteinterface eine Zoomfunktion ④ implementiert. Diese Funktion wird durch Einschalten des Kreuz-Buttons aktiv. Durch Betätigen des Lupen-Buttons erscheint eine Auswahl von verschiedenen Zoomarten. Es kann in vertikaler Richtung, in horizontaler Richtung oder in einem markierten/rechteckigen Bereich das Spektrum aufgezoomt werden. Weitere Zoomeinstellungen und Cursorfunktionen können aus der LabVIEW-Hilfe entnommen werden.

Programmablauf

In diesem Abschnitt werden die Abfolge der einzelnen Sequenzen und deren jeweilige Aufgabe erläutert.



- Die erste Sequenz ist die Startroutine, hier wird die aktuelle Versionsnummer angezeigt.
- Nach der Startsequenz erfolgt die Initialisierung der Schnittstelle mit einer festen Baud-Rate von 115200 Baud/s und dem vom Benutzer eingestellten COM-Port.
- In dieser Routine wählt der Benutzer die Frequenzeinheit, die Schrittweite, die Start- und Stoppfrequenz.
- Diese Parameter werden in 32-Bit-Wörter umgewandelt und stehen der Senderoutine zur Verfügung.
- In der Sendesequenz werden diese 32-bit-Daten über die RS-232-Schnittstelle an den ATMEL gesendet.



- Nach dem Senden der Daten folgt das Empfangen der digitalisierten Spannungswerte (jeweils 8-Bit Wortlänge).
- Diese Messdaten werden dann in der Datenaufbereitungssequenz in dBm Werte umgewandelt.
- In dieser Sequenz erfolgt, die Darstellung des Leistungsdichtespektrums über der Frequenz.
- In der Benutzerinteraktionsroutine werden die Auswertungsfunktionen aktiviert.

Wenn der Benutzer den Sweep nicht durch den STOP-Button beendet, wird wieder die Senderoutine gestartet und eine Aufnahme des Spektrums mit den gleichen Eingabeparametern wird erneut durchgeführt.

Die asynchrone serielle RS-232-Schnittstelle

Die Datenübertragung über die bidirektionale, serielle RS-232-Schnittstelle erfolgt asynchron, da keine zusätzliche Taktleitung vorgesehen ist. Die Synchronisation erfolgt zu Beginn eines jeden Zeichenrahmens durch das Senden eines Startbits (logisch Null). Das Ende des Zeichenrahmens wird durch Stoppbits (logisch eins) signalisiert.

Der Datentransfer erfolgt über die RS-232-Schnittstelle mit einer Übertragungsgeschwindigkeit von 115200 Baud/s (Pegelwechsel pro Sekunde). Die Schnittstelle wird mit 1 Startbit, 8 Datenbits, 1 Stoppbit und ohne Paritätsprüfung betrieben. Die logischen Zustände werden bipolar auf max. 15 V-Pegel abgebildet (High = -15 V und Low = +15 V). Demnach werden für eine Übertragung von 8 Bit Daten pro Zeichenrahmen 10 Pegelwechsel pro Zeichenrahmen stattfinden.

Um die Zeit für die Übertragung der drei initialen Parameter eines Sweeps (Anfangs-, Endfrequenz und Frequenzschrittweite) vom PC zum Mikrokontroller, bestehend aus jeweils 32-Bit-Wörtern, zu bestimmen, wird zuerst die Datenrate in Bit/s ermittelt.

$$\begin{aligned} \text{Datenrate} &= \frac{\text{Bitzahl des Zeichens}}{\text{Pegelwechsel pro Zeichen}} \cdot \text{Baudrate} \\ &= \frac{8 \text{ Bit/Zeichen}}{10 \text{ Baud/Zeichen}} \cdot 115200 \text{ Baud/s} \\ &= 92160 \text{ Bit/s} \end{aligned}$$

Für die Übertragung der dreimal 32 Bit wird daher eine Zeit von

$$\tau = \frac{\text{Anzahl der Bits}}{\text{Datenrate}} = \frac{96 \text{ Bit}}{92160 \text{ Bit/s}} \approx 1,042 \text{ ms}$$

benötigt.

Für die Darstellung eines Sweeps des Spektrums von 0-130 MHz mit einer Schrittweite von 10 kHz gelten die ΔPhase -Werte

$$\begin{aligned} \Delta\text{Phase}_{\text{Anfangsfrequenz}} &= 763698872 \\ \Delta\text{Phase}_{\text{Endfrequenz}} &= 1345309027 \\ \Delta\text{Phase}_{\text{Schrittweite}} &= 44739 \end{aligned}$$

und es werden

$$N = \left\lfloor \frac{\Delta\text{Phase}_{\text{Endfrequenz}} - \Delta\text{Phase}_{\text{Anfangsfrequenz}}}{\Delta\text{Phase}_{\text{Schrittweite}}} \right\rfloor = 13000$$

Messwerte für die diskreten Stützstellen des Spektrums aufgenommen und vom Mikrokontroller zum PC übertragen. Für die Übertragung der 13000 8-Bit-Messwerte wird daher eine Zeit von

$$\tau = \frac{\text{Anzahl der Bits}}{\text{Datenrate}} = \frac{13000 \cdot 8 \text{ Bit}}{92160 \text{ Bit/s}} \approx 1,128 \text{ s}$$

benötigt. Diese Zeit bezieht sich nur auf die Übertragungsdauer der digitalisierten Messwerte über die serielle Schnittstelle und lässt die für die Digitalisierung benötigte Zeitdauer außer Acht.

Es ergaben sich bei unseren Sweeps ohne Datenflusskontrolle (Handshake-Verfahren) der RS-232-Schnittstelle keine Probleme. Um dennoch die Bit-Fehlerrate wegen auslaufender Synchronität zwischen Start- und Stoppsbit zu minimieren, (siehe ATMEL-Datenblatt) wurde ein Quarz mit 7,3728 MHz eingesetzt.

Realisierung des LabVIEW-Programms

Das Programm muss eine exakte Abfolge der einzelnen Programmblöcke ausführen. Es darf keine parallele Abarbeitung von Prozeduren zugelassen werden und es muss gewährleistet sein, dass nach dem Versenden aller Eingabe-Parameter erst die digitalen Spannungswerte empfangen werden.

Um eine solche exakte Reihenfolge des Datenflusses festzulegen, wurde die Sequenz-Struktur ausgewählt.

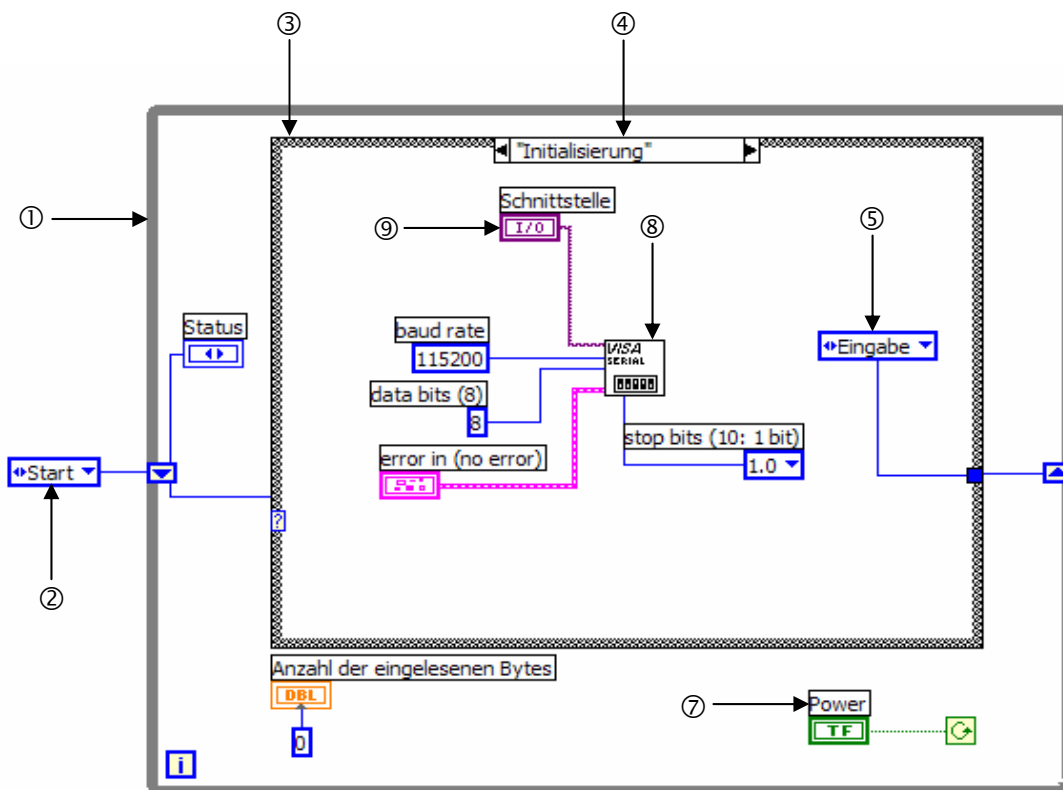


Abb. 6.4-28: LabVIEW-Blockdiagramm der Initialisierungssequenz

Die Abbildung 6.4-28 beschreibt den Ablauf der Initialisierungssequenz ④. Das gesamte Programm ist in einer While-Schleife ① eingebettet, die erst durch die Deaktivierung des Power-Buttons ⑦ (Siehe Initialisierungsinterface) beendet wird. In der Schleife ① befindet sich die Sequenz ③. Begonnen wird mit der Startroutine ②,

dann folgt die Initialisierungssequenz, diese wird auch im Statusrahmen ④ angezeigt. In dieser Sequenz wird der Datentransfer zwischen LabVIEW und unserem ATMEL-Board über die RS-232-Schnittstelle mit Hilfe von VISA ® (Virtual Instrumentation Software Architecture) realisiert. VISA ist eine standardisierte Treiberbibliothek für Windows-Betriebssysteme, die eine Steuerung vom PC für verschiedene Messgeräte ermöglicht. Für einen reibungslosen Datenaustausch mit VISA muss zu erst der Resource-Name (I/O Schnittstelle ③) deklariert werden. Dies geschieht durch die Eingabe von ASRL1: des Anwenders im Bedienterminal des Benutzerinterfaces. Der Standard-Code ASRL1: bezeichnet den seriellen asynchronen Datentransfer des COM-Ports Nummer eins. Des Weiteren werden die Baudrate von 115,2k und der Zeichenrahmen (die acht Datenbits und das Stoppbit) festgelegt. Nach der Initialisierung beginnt die Eingabesequenz ⑤.

Bedienung des LabVIEW-Programms

Nach dem Öffnen des LabVIEW-Programms erscheint das Frontpanel des Spektrum-VI's (Virtuelles Instrument). Wählen Sie zuerst die serielle Schnittstelle aus, an der die Hardware angeschlossen ist. ASRL:1 steht dabei für den COM-Port 1 (COM1) und ASRL:2 für COM-Port 2 (COM2).

Der Power-Button muss aktiv sein, sonst ist keine Spektrumsanalyse möglich. Das LabVIEW-Programm befindet sich in der Startroutine und es erscheint die aktuelle Versionsnummer sowie Hinweise für die Haftung bei Hardware-Schäden. Wenn sie die Bedingungen akzeptieren, bestätigen sie dies mit dem Ja-Button. Das Statusfenster zeigt an, dass die Eingabesequenz abgearbeitet wird. Jetzt können sie die Parameter, die Frequenz-Einheit, den Trace und die Sweepfunktion wählen.

Nach der Eingabe betätigen sie den Start-Button, dadurch erfolgt die Aufnahme des Spektrums im gewählten Frequenzbereich. Nun werden die einzelnen weiteren Sequenzen (siehe Programmablauf) durchlaufen. Durch Betätigen des Stop-Buttons wird die Endlosschleife nach Beenden der Darstellungssequenz abgebrochen. Das aktuelle Spektrum wird angezeigt und das Programm befindet sich im Eingabestatus. Sie können den Sweep auswerten oder eine weitere Spektrumsaufnahme starten.

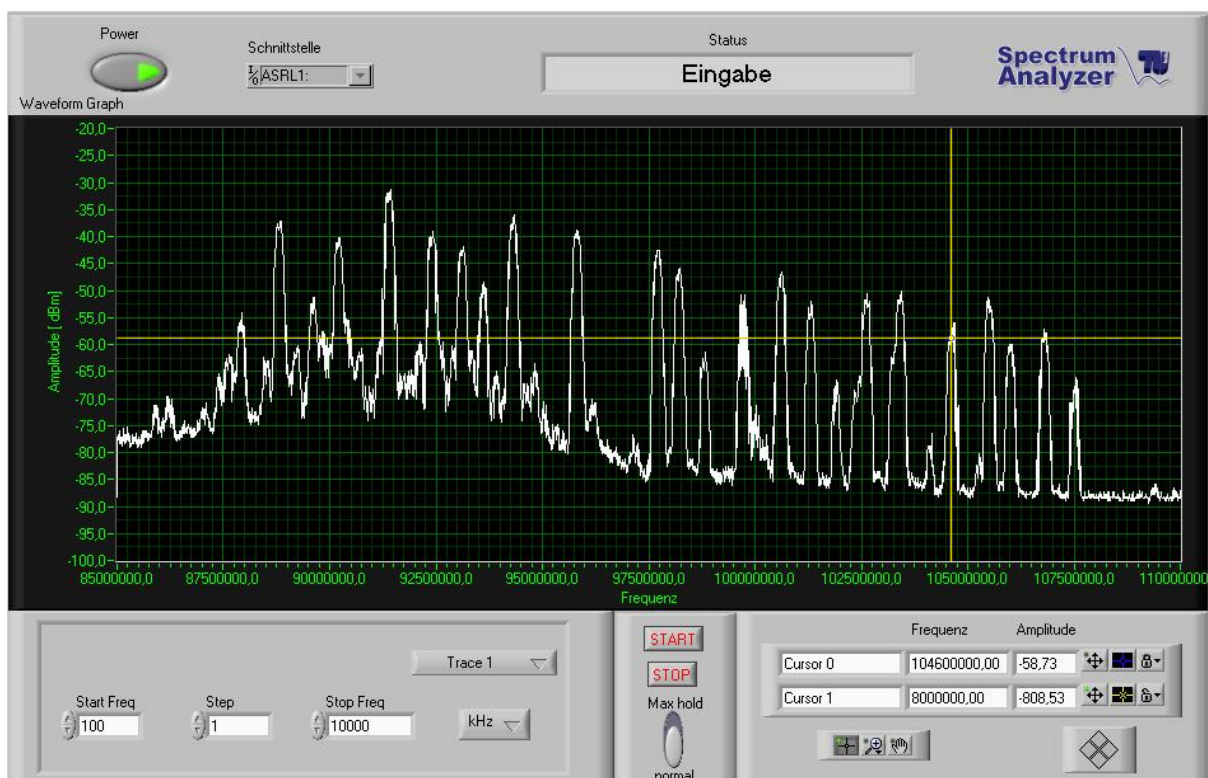


Abb. 6.4-29: Sweep des Frequenzspektrums im Bereich von 85-100 MHz

Die Abbildung zeigt einen Sweep von 85-110 MHz, in diesem Plot sind einige Radio-Sender im Raum Berlin zu erkennen. Der Cursor 0 befindet sich auf einer Frequenz von 104,6 MHz. Dieser Radio-Sender erzeugt an einem 5cm langen Draht eine Leistung von -58,73 dBm.

7 Zusammenfassung

Die in diesem Abschlussbericht dokumentierte Lösung für die Konzeption und den Aufbau eines „Planung und Aufbau eines einfachen 100 MHz-Spektrumanalysators“ entspricht den zu Beginn des Projektlabors gestellten Anforderungen an das fertige Gerät. Zum Abgabezeitpunkt am Ende des Wintersemesters 2003/2004 konnte durch die Gruppe ELE31 ein voll funktionsfähiger Spektrumanalysator präsentiert werden, der über die gestellten Anforderungen hinaus bis 130 MHz einsetzbar ist.

Durch den Einsatz verschiedener VCOs lässt sich der Frequenzbereich ohne größere Modifikationen bis 1 GHz erweitern. In Anbetracht der für das Projekt zur Verfügung stehenden Zeit und Mittel zieht die Gruppe deshalb ein sehr positives Fazit. Zukünftige Arbeiten an dem Projekt könnten sich dem Aufbau einer externen Filterplatine, der Steuerung durch einen schnelleren Mikrokontroller oder der Integration zusätzlicher Analysefähigkeiten wie digitale Filter unter LabView widmen.

Aufgrund des großen Umfanges des Projektes und der unterschiedlichen Erwartungen und Fähigkeiten der einzelnen Teilnehmer war ein deutlicher Unterschied in Motivation und Pflichtbewusstsein zwischen den einzelnen Projektteilnehmern zu erkennen. Eine damit verbundene Mehrarbeit durch einzelne Gruppenmitglieder konnte nicht vermieden werden. Dennoch bleibt lobenswert zu erwähnen, dass sich jedes Mitglied der Gruppe im Rahmen seiner Möglichkeiten in die Arbeit eingebracht hat.

Augrund der umfangreichen Dokumentation zum Projekt möchte die Gruppe ELE31 für die länger als geplante Erstellung des Abschlussberichtes um Nachsicht bitten.

Unser besonderer Dank gilt unseren Betreuer Stefan Seifert, der uns mit Rat und Hilfe bei vielen irdischen Problemen des Projektes zur Seite stand und keine Stunde gescheut hat, uns nicht doch die Weiterarbeit zu ermöglichen.

Gruppe ELE31

Robert Elschner, André Grede, Martin Haller, Leszek Koschel,
Marcus Rose, Steffen Schostan, François Xavier Tchiako

Berlin, April 2004

8 Literaturverzeichnis

- [1] H. Bernstein: Das Eagle PCB-Designer Handbuch. Franzis, 2001
- [2] H. Bernstein: Elektronik-Hobby. Richard Pflaum Verlag München, 1982
- [3] R. Graf: 300 Oszillatoren. 4. Auflage, Elektor, 2002
- [4] R. Heinemann: Einführung in die Elektronik Simulation. Hanser, 3. Auflage, 2001
- [5] B. Kainka: Handbuch der analogen Elektronik. Franzis, 2000
- [6] K. Lipinski: Lexikon der Datenkommunikation. mitp-Verlag, 2002
- [7] U. Naundorf: Analoge Elektronik, Hüthig Verlag. Heidelberg, 2001
- [8] B. Neubig und W. Briese: Das große Quarzkochbuch. Franzis, 1997
- [9] P. Noll: Skript Signale und Systeme. TU-Berlin, 1999
- [10] D. Nährmann: Das große Werkbuch Elektronik Band 1-4. Franzis, 1998
- [11] D. Nährmann: Professionelle Schaltungstechnik Band 1-12. Franzis, 1996
- [12] R. Orglmeister: Skript Analog- und Digitalelektronik. TU Berlin, 2002
- [13] K. Petermann: Arbeitsblätter zur Vorlesung Hochfrequenztechnik II. TU-Berlin, 1998
- [14] W. Priesterath: Elektronik als Hobby. Falken, 1988
- [15] C. Rauscher: Grundlagen der Spektrumsanalyse. Rhode & Schwarz, 2000
- [16] U. Tietze und Ch. Schenk: Halbleiter-Schaltungstechnik, 11. Auflage, Springer-Verlag, 1999
- [17] W. Trampert: AVR-RISC Mikrokontroller. Franzis, 2000
- [18] O. Zinke und H. Brunswig: Hochfrequenztechnik 1. Springer-Verlag, 6. Aufl., 2000
- [19] O. Zinke und H. Brunswig: Hochfrequenztechnik 2. Springer-Verlag, 5. Aufl., 1999

A Anhang

A.1 Bauteilliste des Frequenzvariablen Oszillators und des Mischers

Bauteil	Größe	Footprint	Beschreibung
C1	0,33uF	1206	SMD-Kondensator
C2	0,1uF	603	SMD-Kondensator
C3	0,1uF	603	SMD-Kondensator
C4	0,1uF	603	SMD-Kondensator
C5	470pF	603	SMD-Kondensator
C6	100pF	603	SMD-Kondensator
C7	15pF	603	SMD-Kondensator
C8	100pF	603	SMD-Kondensator
C9	47pF	603	SMD-Kondensator
C10	33pF	603	SMD-Kondensator
C11	68pF	603	SMD-Kondensator
C12	33pF	603	SMD-Kondensator
C13	22pF	603	SMD-Kondensator
C14	68pF	603	SMD-Kondensator
C15	0,33uF	1206	SMD-Kondensator
C16	0,1uF	603	SMD-Kondensator
C17	0,1uF	603	SMD-Kondensator
C18	0,1uF	603	SMD-Kondensator
C19	1nF	603	SMD-Kondensator
C20	1nF	603	SMD-Kondensator
C21	0,1uF	603	SMD-Kondensator
C22	1uF	603	SMD-Kondensator
C23	1nF	603	SMD-Kondensator
C24	1nF optional	603	SMD-Kondensator
C25	10nF	603	SMD-Kondensator
C26	0,1uF	603	SMD-Kondensator
C27	0,1uF	603	SMD-Kondensator
C28	8p	603	SMD-Kondensator
C29	10nF	603	SMD-Kondensator
C30	0,1uF	603	SMD-Kondensator
C31	10nF	603	SMD-Kondensator
C32	1nF optional	603	SMD-Kondensator
C33	0,1uF optional	603	SMD-Kondensator
C34	10nF	603	SMD-Kondensator
C35	0,1uF	603	SMD-Kondensator
C36	100nF	603	SMD-Kondensator
C37	100nF	603	SMD-Kondensator
C38	3,3nF	603	SMD-Kondensator
C39	3,3nF	603	SMD-Kondensator
C40	optional	402	SMD-Kondensator
C41	optional	402	SMD-Kondensator
C42	optional	402	SMD-Kondensator
C43	optional	402	SMD-Kondensator
C44	optional	402	SMD-Kondensator

C45	optional	402	SMD-Kondensator
C46	optional	402	SMD-Kondensator
C47	optional	402	SMD-Kondensator
C48	optional	402	SMD-Kondensator
C49	optional	402	SMD-Kondensator
C50	optional	402	SMD-Kondensator
C51	10nF	603	SMD-Kondensator
C52	10nF optional	603	SMD-Kondensator
L1	10uH	603	SMD-Spule
L2	1,2uH	805	SMD-Spule
L3	680nH	805	SMD-Spule
L4	820nH	805	SMD-Spule
R1	3.9k	603	SMD-Widerstand
R2	47	603	SMD-Widerstand
R3	180	603	SMD-Widerstand
R4	100	603	SMD-Widerstand
R5	100k	603	SMD-Widerstand
R6	100k	603	SMD-Widerstand
R7	200	603	SMD-Widerstand
R8	200	603	SMD-Widerstand
R9	10k	603	SMD-Widerstand
R10	150	603	SMD-Widerstand
R11	36	603	SMD-Widerstand
R12	150	603	SMD-Widerstand
R13	250	603	SMD-Widerstand
R14	18	603	SMD-Widerstand
R15	250	603	SMD-Widerstand
R16	120	603	SMD-Widerstand
R17	330 optional	603	SMD-Widerstand
R18	250	603	SMD-Widerstand
R19	18	603	SMD-Widerstand
R20	250	603	SMD-Widerstand
R21	18	603	SMD-Widerstand
R22	18	603	SMD-Widerstand
R23	18	603	SMD-Widerstand
R24	2200	603	SMD-Widerstand
R25	2200	603	SMD-Widerstand
R26	180	603	SMD-Widerstand
R27	250	603	SMD-Widerstand
R28	18	603	SMD-Widerstand
R29	250	603	SMD-Widerstand
R30	1,1k	603	SMD-Widerstand
R31	50	603	SMD-Widerstand
R32	2200	603	SMD-Widerstand
R33	2200	603	SMD-Widerstand
R34	470	603	SMD-Widerstand
R35	470	603	SMD-Widerstand
R36	100	402	SMD-Widerstand
R37	100	402	SMD-Widerstand
R38	100	402	SMD-Widerstand
R39	100	402	SMD-Widerstand
R40	100	402	SMD-Widerstand
R41	100	402	SMD-Widerstand

R42	100	402	SMD-Widerstand
R43	100	402	SMD-Widerstand
R44	100	402	SMD-Widerstand
R45	100	402	SMD-Widerstand
R46	100	402	SMD-Widerstand
R47	0 optional	1005	SMD-Widerstand
R48	0 optional	1005	SMD-Widerstand
R49	0 optional	1005	SMD-Widerstand
IC1	AD9850BRS	SSO-G28/E4.3	180 MHz Complete DDS Synthesizer
IC2	AD9901 PLCC	PLCC20	Phasenfrequenzvergleich
IC3	AD790 SOIC	SO-8	Komparator
IC4	MC12026 SO8	SO-8	Frequenzteiler
IC5	OP27G	SO-8	Operationsverstärker
IC6	SBL-1	SBL-1	Ringdiodenmischer
IC7	POS-300	SBL-1	VCO
IC8	ZL40802 optional	SO-8	Frequenzteiler
REG1	12V	TO220S	Linearregler 12 Volt
REG2	5V	TO220S	Linearregler 5 Volt
SMA1	Ref.	SMA	SMA Buchse
SMA2	RF	SMA	SMA Buchse
SMA3	IF	SMA	SMA Buchse
SMA4	RF	SMA	SMA Buchse
DDS Control	DB15	DB15/M	SUB-D Stecker
DF1	15V DC	DF	Durchführungskondensator
T1	MSA1105	MSA0520	MMIC 10Mhz - 6GHz

Tab. A.1-1: Bauteilliste des VFO und Mischer-Moduls

A.2 Bauteilliste des ersten ZF-Filters und des ZF-Verstärkers

Bauteil	Beschreibung	Größe
IC1	MSA0886	
R1	Widerstand 0603	120 Ohm
C1	Kapazität 0603	
C2	Kapazität 0603	100 nF
C3	Kapazität 0603	100 nF
C4	Kapazität 0603	100 nF
C5	Kapazität 0603	100 nF
C6	Trimmkapazität	42 nF (5-50nF)
C7	Trimmkapazität	42 nF (5-50nF)
C8	Trimmkapazität	42 nF (5-50nF)
L1	Induktivität 0603	
L2	Induktivität 1206	200 µH

Tab. A.2-1: Bauteilliste für das erste ZF-Filter und den ZF-Verstärker

A.3 Bauteilliste des 2. ZF-Moduls und der 10 MHz-Referenz

Bauteilliste für das 2. ZF-Modul

Bauteil	Größe	Footprint	Bezeichnung	Hersteller
Widerstand				
R01	47	SMD 603	SMD-Widerstand	Philips
R02	2,2k	SMD 603	SMD-Widerstand	Philips
R03	220	SMD 603	SMD-Widerstand	Philips
R04	24	SMD 603	SMD-Widerstand	Philips
R05	2,2k	SMD 603	SMD-Widerstand	Philips
R06	18	SMD 603	SMD-Widerstand	Philips
R07	18	SMD 603	SMD-Widerstand	Philips
R08	18	SMD 603	SMD-Widerstand	Philips
R09	47	SMD 603	SMD-Widerstand	Philips
R10	1,1k	SMD 603	SMD-Widerstand	Philips
R11	10k	SMD 603	SMD-Widerstand	Philips
R12	180	SMD 603	SMD-Widerstand	Philips
R13	2,2k	SMD 603	SMD-Widerstand	Philips
R14	10k	SMD 603	SMD-Widerstand	Philips
R15	2,2k	SMD 603	SMD-Widerstand	Philips
R16	470	SMD 603	SMD-Widerstand	Philips
R17	100k	SMD 603	SMD-Widerstand	Philips
R18	220	SMD 603	SMD-Widerstand	Philips
R19	290	SMD 603	SMD-Widerstand	Philips
R20	18	SMD 603	SMD-Widerstand	Philips
R21	290	SMD 603	SMD-Widerstand	Philips
R22	470	SMD 603	SMD-Widerstand	Philips
Kondensator				
C01	1nF	SMD 603	SMD-Keramik-Kondensator	Epcos
C02	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C03	0,33uF	TYP A	SMD-Kondensator-Tantal	Epcos
C04	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C05	0,33uF	TYP A	SMD-Kondensator-Tantal	Epcos
C06	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C07	47pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C08	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C09	1nF	SMD 603	SMD-Keramik-Kondensator	Epcos
C10	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C11	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C12	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C13	1nF	SMD 603	SMD-Keramik-Kondensator	Epcos
C14	0,33uF	TYP A	SMD-Kondensator-Tantal	Epcos

C15	8pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C16	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C17	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C18	47pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C19	47pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C20	10uF	TYP C	SMD-Kondensator-Tantal	Epcos
C21	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C22	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C23	47pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C24	10pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C25	0,1nF	SMD 603	SMD-Keramik-Kondensator	Epcos
C26	330pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C27	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C28	10pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C29	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C30	1nF	SMD 603	SMD-Keramik-Kondensator	Epcos
C31	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C32	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C33	330pF	SMD 603	SMD-Keramik-Kondensator	Epcos
C36	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C37	1nF	SMD 603	SMD-Keramik-Kondensator	Epcos
C38	3,3nF	SMD 603	SMD-Keramik-Kondensator	Epcos
C39	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C40	0,1uF	SMD 603	SMD-Keramik-Kondensator	Epcos
C41	3,3nF	SMD 603	SMD-Keramik-Kondensator	Epcos
Trimmer				
C34	30pF	SMD TRIMMCTZ3	SMD-Keramik-Kondensator	Murata
C35	30pF	SMD TRIMMCTZ3	SMD-Keramik-Kondensator	Murata
Durchführungskondensator				
DF1	15V DC	DF20X20	Durchführungskondensator	Kerko
Spule				
L01	82nH	SMD 805	SMD-Spule	Siemens

				Matsushita
L02	82nH	SMD 805	SMD-Spule	Siemens Matsushita
L03	82uH	SMD 1206	SMD-Spule	Siemens Matsushita
L04	82uH	SMD 1206	SMD-Spule	Siemens Matsushita
Filter				
FLT1	10,7MHz BW- 150kHz	RM 2.54	10,7 MHz ZF-Filter	Murata
Integrierte Halbleiter				
IC01	AD9901	PLCC20	Phasenfrequenz- vergleicher	Analog Devices
IC04	SA605D	SO20L	FM-Mischer	Philips Semiconductor
IC05	MAX412	SO8	Dual Opv	Maxim
IC06	AD790	SO8	Komperator	Analog Devices
IC07	MC12026	SO8	Frequenzteiler	Motorola
IC09	AD790	SO8	Komperator	Analog Devices
7805	5V	TO220S	pos. 5V Festspannungsregler	ST
7806	6V	TO220S	pos. 6V Festspannungsregler	ST
7812	12V	TO220S	pos. 12V Festspannungsregler	ST
Buchse				
SMA_1	SMA-Buchse	SMA_PAD10X30	SMA Buchse	
SMA_2	SMA-Buchse	SMA_PAD10X30	SMA Buchse	
SMA_3	SMA-Buchse	SMA_PAD10X30	SMA Buchse	
SMA_4	SMA-Buchse	SMA_PAD10X30	SMA Buchse	
SMA_5	SMA-Buchse	SMA_PAD10X30	SMA Buchse	
Sonstiges				
JP01	JP2E	JP2	2 Pinsockel	
JP02	JP2E	JP2	2 Pinsockel	
VCO SOCKEL	VCO	CUSTOM		

Tab. A.3-1: Bauteilliste für das 2. ZF-Modul

Bauteilliste für die 10 MHz-Referenz

Bauteil	Größe	Footprint	Bezeichnung	Hersteller
Widerstand				
R01	68k	0207/10	Metallschichtwiderstand	
R02	100k	0207/10	Metallschichtwiderstand	
R03	10k	0207/10	Metallschichtwiderstand	
R04	470	0207/10	Metallschichtwiderstand	
R05	10k	TRIM-3296W	Spindeltrimmer	
R06	1k	0207/10	Metallschichtwiderstand	
R07	56	0207/10	Metallschichtwiderstand	
R08	27k	0207/10	Metallschichtwiderstand	
R09	150k	0207/10	Metallschichtwiderstand	
R10	1.3k	0207/10	Metallschichtwiderstand	
Kondensator				
C02	0.1uF	RM-5MM	Kondensator	Wima
C03	0.33uF	RM-5MM	Kondensator	RUBICON
C04	0.1uF	RM-5MM	Kondensator	Wima
C05	0.1uF	RM-5MM	Kondensator	Wima
C06	1uF	RM-5MM	Kondensator	RUBICON
C A	680pF	RM-5MM	Kondensator	Wima
C B	220pF	RM-5MM	Kondensator	Wima
C K	100pF	RM-5MM	Kondensator	Wima
C K1	100pF	RM-5MM	Kondensator	Wima
Trimmer				
C TRIM	10-50pF	TRIMM-3050.505	Trimmkondensator	Murata
Quarz				
QUARZ	10MHz	HC18	10-MHz Quarz	
Integrierte Halbleiter				
LM317	LM317L	TO92	einstellbarer Spannungsregler	
7812	12V	TO220S	pos. 12V Spannungsregler	Motorola
Halbleiter				
T01	2N2222	TO-92	TO92-EBC	
T02	2N2222	TO-92	TO92-EBC	
T03	2N2222	TO-92	TO92-EBC	
Sonstiges				
10MHZ_OUT	PINHEAD	RM-2.54MM	1X02	
15V_DC	PINHEAD	RM-2.54MM	1X02	

Tab. A.3-2: Bauteilliste für die 10 MHz-Referenz

A.4 Bauteilliste des Steuerungs- und Verarbeitungsmoduls

Bauteilliste für die Platine der ersten Version

Bauteil	Größe	Footprint
C1	27 pF	C-EU025-030X050
C2	27 pF	C-EU025-030X050
C3	1 μ F	CPOL-EUE2-5
C4	100 nF	C-EU050-025X075
C5	100 nF	C-EU050-025X075
C6	1 μ F	CPOL-EUE2-5
C7	0,1 μ F	C-EU025-030X050
C8	1 μ F	CPOL-EUE2-5
C9	1 μ F	CPOL-EUE2-5
C10	1 μ F	CPOL-EUE2-5
C12	1 μ F	C-EU025-030X050
C13	1 μ F	C-EU025-030X050
CI	0,33 μ F	C-EU025-030X050
CO	0,1 μ F	C-EU025-030X050
D1	LED3MM	LED3MM
D2	LED3MM	LED3MM
D3	LED3MM	LED3MM
D4	LED3MM	LED3MM
D5	LED3MM	LED3MM
DDS	15-polige Sub-D-Buchse (DDS)	F15H
IC1	ATMEL AT90S8515P (μ C)	DIL40
IC3	MAXIM MAX232 (Pegelumsetzer)	DIL16
ISP	10-poliger Wannenstecker	ML10
JP1	Jumper TXD	JP1Q
JP2	Jumper RXD	JP1Q
JP3	Jumper MISO	JP1Q
JP4	Jumper MOSI	JP1Q
JP5	Zusätzl. Kapaz. für ADU	JP1Q
L7805	L7805 (5V-Spannungsregler)	TO220H
MUX	Philips 74HC4053 (Multiplexer)	DIL16
Q1	Quarz 7,3728 MHz	HC49/S
R1	1 k Ω	R-EU_0207/10
R2	100 Ω	R-EU_0207/10
R3	1 k Ω	R-EU_0207/10
R4	1 k Ω	R-EU_0207/10
R5	1 k Ω	R-EU_0207/10
R6	1 k Ω	R-EU_0207/10
R7	10 k Ω	R-EU_0207/10
S1	Reset-Taster	DT6
SV1	4-poliger Printstecker (ZF-Filter)	L04P
SV2	5-polige Buchse (ADU-Adapter)	FE05-1
SV3	5-polige Buche (ADU-Adapter)	FE05-1
VCC	3-poliger Printstecker (15V)	L03P
X1	9-poliger Sub-D-Buchse (RS-232)	F09HP

Tab. A.4-1: Bauteilliste des Steuerungs- und Verarbeitungsmoduls der ersten Version

Bauteilliste für die Platine des ADU-Adapters

Bauteil	Größe	Footprint
IC1	MAXIM MAX1118 (ADU)	SOT23-8L
R1	100 k	R-EU_0207/10
R2	100 k	R-EU_0207/10
SV4	5-poliger Stecker	MA05-1
SV5	5-poliger Stecker	MA05-1
SV6	3-poliger Printstecker (ADU-Anschlüsse)	L03P

Tab. A.4-2: Bauteilliste des ADU-Adapters

Bauteilliste für die Platine der zweiten Version

Bauteil	Größe	Footprint
C1	27 pF	C-EU025-030X050
C2	27 pF	C-EU025-030X050
C3	1 μ F	CPOL-EUE2-5
C4	100 nF	C-EU050-025X075
C5	100 nF	C-EU050-025X075
C6	1 μ F	CPOL-EUE2-5
C7	0,1 μ F	C-EU025-030X050
C8	1 μ F	CPOL-EUE2-5
C9	1 μ F	CPOL-EUE2-5
C10	1 μ F	CPOL-EUE2-5
C12	1 μ F	C-EU025-030X050
CI	0,33 μ F	C-EU025-030X050
CO	0,1 μ F	C-EU025-030X050
D_ISP	LED3MM	LED3MM
D_MISO	LED3MM	LED3MM
D_RXD	LED3MM	LED3MM
D_TXD	LED3MM	LED3MM
IC1	ATMEL AT90S8515P (μ C)	DIL40
IC2	Philips 74HC4053 (Multiplexer)	DIL16
IC3	MAXIM MAX232 (Pegelumsetzer)	DIL16
IC4	MAXIM MAX1118 (ADU)	SOT23-8L
IC5	LM336-5V (Z-Diode)	TO92
IC6	L7805 (5V-Spannungsregler)	TO220H
JP_MISO	Jumper TXD	JP1Q
JP_RXD	Jumper RXD	JP1Q
JP_TXD	Jumper MISO	JP1Q
P_CNVST	Pin-Header CNVST	PINHD-1X1
P_DOUT	Pin-Header DOUT	PINHD-1X1
P_GND	Pin-Header GND	PINHD-1X1
P_MISO	Pin-Header MISO	PINHD-1X1
P_REF	Pin-Header REF	PINHD-1X1
P_SCK	Pin-Header SCK	PINHD-1X1
P_SCLK	Pin-Header SCLK	PINHD-1X1
Q1	Quarz 7,3728 MHz	HC49/S
R1	1 k Ω	R-EU_0207/10
R2	100 Ω	R-EU_0207/10
R3	1k Ω	R-EU_0207/10

R4	1k Ω	R-EU_0207/10
R6	1k Ω	R-EU_0207/10
R7	10 k Ω	R-EU_0207/10
R8	10 k Ω (Spindeltrimmer)	SP19L
R9	3,9 k Ω	R-EU_0207/10
R10	100 k Ω	R-EU_0207/10
R11	100 k Ω	R-EU_0207/10
RN1	100 k Ω	SIL9
RN2	100 k Ω	SIL5
RN3	100 k Ω	SIL5
S1	Reset-Taster	DT6
SV1	4-poliger Printstecker (ZF-Filter)	L04P
SV2	3-poliger Printstecker (ADU-Anschlüsse)	L03P
VCC	3-poliger Printstecker (15V)	L03P
X_DDS	15-polige Sub-D-Buchse	F15H
X_ISP	10-poliger Wannenstecker	ML10
X_RS232	9-poliger Sub-D-Buchse	F09HP

*Tab. A.4-3: Bauteilliste des Steuerungs- und
Verarbeitungsmoduls der zweiten Version*

A.5 Abkürzungen und Übersetzungen

μC	microcontroller	Mikrokontroller
ADC/ADU	analog-digital converter (ADC)	Analog-Digital-Umsetzer (ADU)
COM	communication port	Kommunikationsschnittstelle des PCs
DDS	direct digital synthesizer	gesteuerter DAC
DAC/DAU	digital-analog converter (DAC)	Digital-Analog-Umsetzer (DAU)
ECL	emitter coupled logic	Emittergekoppelte Logik
IP3 / TOI	3. order interception point	Parameter der die Entstehung von Modulationsprodukten 3. Ordnung beschreibt
ISP	in-circuit serial programming	
LO	local oscillator	Lokalszillator
MISO	master-in / slave-out	
MOSI	master-out / slave-in	
PA	power amplifier	Leistungsverstärker
PFD	phase frequency discriminator	Phasenfrequenzvergleich
PLL	phased locked loop	Phasenregelkreis
rfclk	reference clock	Referenztaktfrequenz
SCK	serial clock	
SMA	subminiature A connector	
SPI	serial peripheral interface	Serielle periphere Schnittstelle
TTL	transistor-transistor-logic	Transistor-Transistor-Logik
UART	universal asynchronous receiver/transmitter	
VCO	voltage controlled oscillator	spannungsgesteuerter Oszillator
VFO	variable frequency oscillator	frequenzvariabler Oszillator
VISA	virtual instrumentation software architecture	
	conversion loss	Leistungsverlust bei Frequenzumsetzung (Vergleich gewolltes Mischprodukt zum Eingangssignal)
	level shifter	Diplexer
	level shifter	Pegelumsetzer
	loop filter	Schleifenfilter
	loop bandwidth	Regelbandbreite
	phase noise	Phasenrauschen
	reference clock multiplier	Referenztakt-Frequenzmultiplizierer
	power divider/ splitter	Leistungsteiler
	sweeptime	Zeit für einen "Frequenzdurchlauf"
	sweep	Wobbelbetrieb