

Introducción práctica a la síntesis digital directa

XAVIER SOLANS*, EA3GCV

El autor nos introduce en la síntesis digital directa (DDS) y nos propone un interesante proyecto basado en uno de los más modernos chips DDS actuales.

El montaje práctico que se describe tiene un doble atractivo: por una parte, detalla la construcción y gobierno de un módulo de pruebas con el chip DDS AD9850 y, por otra, da muchos detalles prácticos de esta técnica que sin duda nos ayudarán a «romper la barrera» de una de las más interesantes facetas de la era digital-analógica.

La síntesis digital directa (DDS)

La síntesis digital tiene ya un sólido presente en nuestra afición, y sin lugar a dudas, nos augura un asombroso futuro. Los aficionados a los montajes propios no tenemos por qué dejar pasar de largo los nuevos retos que la electrónica más actual nos ofrece; ¡faltaría más!

Esta nueva forma de sintetizar frecuencia ya ha aparecido en algunos receptores y transceptores diseñados para los radioaficionados, se llama *síntesis digital directa* (DDS) y es un sistema totalmente diferente a los sintetizadores por bucle de enganche de fase (PLL) que nos eran tan familiares hasta ahora.

La DDS (*Direct Digital Synthesis*) ocupa hoy en día un lugar muy importante dentro del sector de las radiocomunicaciones. La alta velocidad que alcanzan actualmente los convertidores digital-analógico (DAC) permite que se puedan sintetizar digitalmente señales de radiofrecuencia (RF) con relativa facilidad. Algunos modelos de DDS, que están ya dentro del sector electrónico de consumo, trabajan con frecuencias de reloj muy altas y permiten generar o sintetizar directamente señales de RF con frecuencias cercanas a los 100 MHz con una extremada resolución.

La síntesis digital directa puede definirse básicamente como la forma de generar señales de alta precisión y pureza desde una representación digital. La forma representada digitalmente se reconstruye con un convertidor digital-analógico (DAC) de alta velocidad. El convertidor proporciona una señal de salida analógica, normalmente sinusoidal. La calidad de los actuales DAC y su alta velocidad logran hacer realidad lo que hace muy poco era un sueño para cualquiera de nosotros: la generación digital directa de señales con un bajo nivel de espurias y una excelente estabilidad.

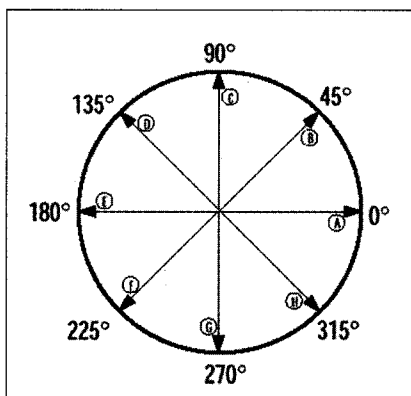


Figura 1A. Salida de los incrementos de fase desde el acumulador.

La técnica DDS ofrece algunas características únicas en relación con otros sistemas de síntesis. Teniendo en cuenta el *factor Nyquist* (que la frecuencia máxima es la mitad de la frecuencia del reloj de referencia), un sistema DDS puede obtener una resolución del orden de milihercios e incluso de nanohercios, además, la DDS no impone ninguna constante de tiempo apreciable para los cambios de frecuencia, únicamente los tiempos necesarios para el control digital. Como resultado, se obtiene una extremada rapidez de conmutación de una frecuencia a otra del orden de nanosegundos o como mucho de unos pocos microsegundos. Todos los cambios de frecuencia mantienen la fase, de forma que la nueva frecuencia continuará en

fase con el punto previo de la anterior.

Lo básico de la DDS

En un sintetizador digital directo, la construcción de la forma de onda empieza con una representación digital y después se la convierte a formato analógico utilizando un circuito DAC. Para generar una señal con este sistema se necesitan básicamente cuatro bloques: un acumulador de fase, un «mapeador» (o muestreador) de forma de onda, un convertidor digital-analógico y un filtro.

La teoría de la DDS está basada en la acumulación de cambios de fase y su reproducción en una forma de onda digitalizada.

El muestreado requiere en teoría que la frecuencia máxima generada no sea superior a la mitad de la frecuencia de reloj, que también podemos llamar *frecuencia de muestreo*.

La síntesis digital directa utiliza un acumulador de fase dirigido por los datos externos de control que especifican la frecuencia deseada. La fase puede incrementarse cada impulso de reloj. El ancho o tiempo entre los incrementos de fase determinan la frecuencia de salida real de la DDS. El valor binario del ancho de fase determina la variación de frecuencia mínima, es decir, los saltos más pequeños de frecuencia que puede efectuar la DDS.

Para comprender la naturaleza de la DDS hay que pensar en las características de una forma de onda sinusoidal. Esta forma de onda se puede también simular con un círculo, el cual tiene un puntero móvil a su alrededor, los movimientos de la onda equivalen a los de rotación del puntero valo-

* Apartado de correos 814, 25080 Lleida.
Correo-E: ea3gcv@wanadoo.es

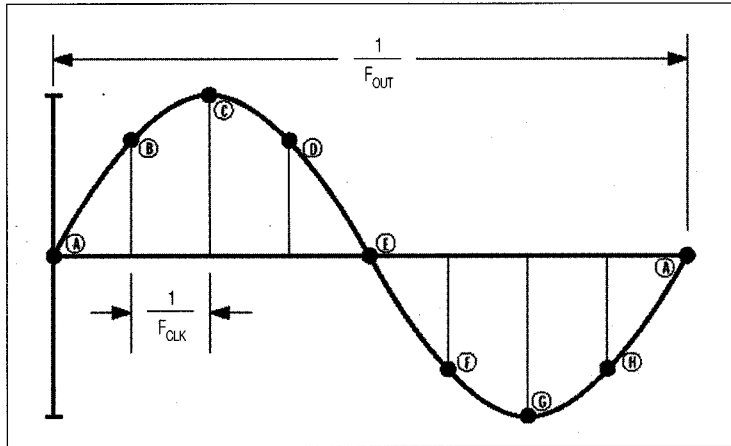


Figura 1B. Señal senoidal de salida calculada.

rados en grados de ángulo. Cualquier pequeño avance del puntero dentro del círculo, representará un incremento en la fase de la señal. Un ciclo completo corresponde a una vuelta entera.

Los dibujos de la figura 1A y 1B muestran esta teoría; el acumulador ha marcado saltos de fase (A-H) de 1/8 de ciclo: 0°, 45°, 90°, 135°, 180°, 225°, 270° y 315°. En la figura 1B vemos un ciclo de la señal generada con la indicación de los ocho ángulos dictados por el acumulador.

Después de definirse todos los incrementos de fase de la señal, es necesario convertirla en una representación digital que contenga todos los puntos de nivel de la onda; esto se realiza mediante un «mapeador» de forma de onda que guarda cada uno de los puntos como valores digitales en una memoria. A continuación, el convertidor digital-analógico (DAC) transformará los valores digitales en sus correspondientes niveles de voltaje que formarán la señal analógica real de salida. En la salida del convertidor se coloca un filtro para eliminar todas las señales espurias indeseadas.

El chip AD9850

Hasta hace poco tiempo, para poder generar digitalmente una forma onda que pudiera ser comandada mediante un código digital se necesitaban varios circuitos diferentes. El chip AD9850 de Analog Devices (nota 1) es uno de los generadores de DDS de moderna generación más representativos.

En la figura 2 se muestra el diagrama de bloques básico del interior del AD9850; en un solo encapsulado ultrami-niatura de 28 contactos se dispone de un registro de entrada externa de datos de 40 bits que pueden cargarse en paralelo o en serie, le sigue otro registro de datos interno que al mismo tiempo envía a la DDS una «palabra» de 32 bits que contiene el valor de frecuencia y otra de 8 bits para modulación de fase, además de otros controles internos. Los datos de frecuencia, fase y control gobiernan a la DDS, la cual comanda un convertidor digital-analógico de alta velocidad de 10 bits. El chip también incorpora un comparador de alta frecuencia para funciones de generador de reloj.

El AD9850 es un chip de alta integración que utiliza la más avanzada tecnología de DDS junto a un comparador y un DAC de altas características y alta velocidad. Con una frecuencia de reloj de referencia precisa (125 MHz como máximo), el AD9850 genera una señal analógica senoidal programable en frecuencia y fase con una excelente pureza espectral. La señal senoidal de salida se puede utilizar directamente como fuente de señal o convertirse a señal cuadrada para aplicaciones de reloj en UHF, SHF, etc. La innovadora técnica de alta velocidad de la DDS del AD9850 utiliza una palabra de 32 bits para el control de frecuencia, lo que permite una resolución de sintonía de 0,0291 Hz, con una frecuencia de reloj de 125 MHz. La arquitectura de la DDS permite generar frecuencias hasta la mitad de la frecuencia de reloj que se utilice, hasta 62,5 MHz si el oscilador de reloj es de 125 MHz y la frecuencia puede ser cambiada digitalmente (con los datos de control externos) hasta 23 millones de frecuencias diferentes cada segundo.

Las palabras de sintonía, fase y control pueden cargarse en el interior del chip vía formato paralelo o serie. En formato paralelo se deben enviar cinco palabras (bytes) de 8 bits hacia los bits de entrada D0 a D7 de la DDS. La carga en formato serie se realiza mediante el envío de 40 bits hacia un único terminal de entrada (D7).

Un módulo de pruebas para el AD9850

El esquema de la figura 3 es el circuito de un módulo básico para investigación, pruebas y comprobaciones del AD9850. En las figuras 4A, 4B y 4C se muestran, respectivamente, la disposición de componentes, la cara inferior y la cara superior de dicho módulo. Obsérvese que la cara superior actúa como plano de masa y los terminales de componentes que van a masa deben soldarse también por la cara superior.

Este módulo de pruebas permite gobernar externamente al AD9850 en formato serie, desde un programa de ordenador escrito para tal fin o bien desde un microcontrolador con el código de programa adecuado. En el caso de que se maneje desde un ordenador, los datos se envían desde el puerto paralelo del PC hacia la DDS a través de tres puertas de un circuito integrado 4081 que cumplen la misión de adaptación y protección entre el puerto del ordenador y los bits de entrada del AD9850. Los terminales de entrada de datos de la placa están marcados como *data*, *w_clk*, *fq_up*, *enable* y *masa*, los cuales deben ir conectados a los terminales 2, 3, 4, 5 y 18-23 respectivamente del conector DB25 del puerto paralelo. El programa que utilizaremos es el *dds.exe* escrito por Peter Halick, OM3CPH, y que gentilmente nos ha cedido para este artículo (nota 2), el cual permite enviar la frecuencia directamente desde el teclado numérico del ordenador seguida de un *return*, efectuar saltos ascendentes o descendentes de 10 Hz mediante las teclas de flecha arriba-abajo o bien saltos de 10 kHz median-

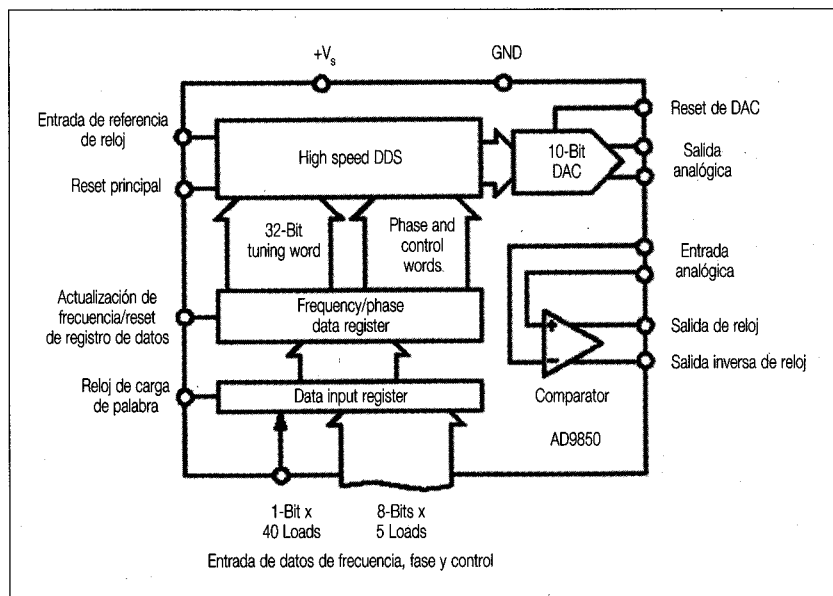


Figura 2. Esquema interno de bloques del AD9850 de Analog Devices.

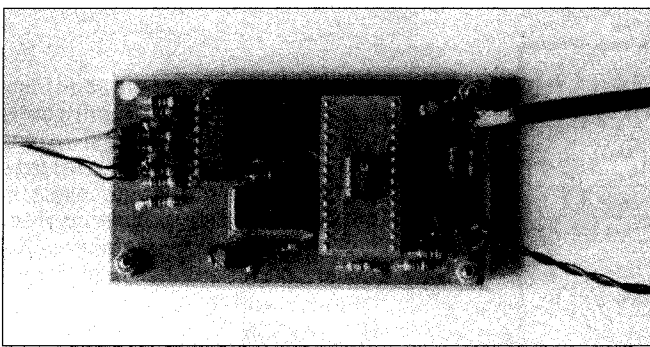


Foto 1. Placa de pruebas para el AD9850 de Analog Devices.

te las teclas «Avance-Página» o «Retrosceso-Página». Las líneas de *data*, *w_clk* y *fq_up* entran al chip a través de las patillas 25, 7 y 8, respectivamente.

La carga de la palabra de control en modo serie se efectúa enviando 40 bits a la patilla *data* (del bit de menor peso al bit de mayor peso), después de cada uno de los bits se envía un pulso alto a *w_clk* y al final de cada carga se envía un pulso alto a *fq_up* para actualizar la frecuencia de salida de la DDS. Cada movimiento de frecuencia implica un nuevo proceso de carga de 40 bits. El AD9850 admite los datos de control a una velocidad muy alta, los pulsos necesitan una duración mínima de tan solo unos pocos nanosegundos, esto permite efectuar cambios de frecuencia tan rápidos que resultan inapreciables en nuestro tiempo real.

En nuestro circuito, el oscilador de reloj es un oscilador a cristal encapsulado de 100 MHz de alta estabilidad, cuya salida de impulsos se envía directamente a la patilla *clk_in* (entrada de reloj). Se utilizan dos reguladores de tensión 78L05 independientes para las líneas de alimentación de 5 V *dvdd* y *avdd* (alimentación digital y analógica respectivamente) para el AD9850. La entrada de alimentación externa puede

estar comprendida entre 8 y 15 V y está protegida ante inversiones de polaridad mediante el diodo 1N4148 en serie con la entrada. La salida de señal de la DDS es a través de IOU_T (patilla 21) y se filtra mediante una sencilla célula pasabajos formada por la inductancia axial de 0,44 µH, el condensador de 27 pF y los dos condensadores de 82 pF, la impedancia de salida es de 50 Ω. En la foto 1 se muestra la placa totalmente montada.

El montaje

Tal como hemos comentado antes, el chip AD9850 es de tamaño ultraminiatura y SMD, su coste es relativamente elevado y una vez soldado en la placa de pruebas su posible sustitución o comprobación en el exterior resultaría muy difícil y peligrosa para la integridad del chip. Se ha optado por diseñar una pequeña placa de circuito impreso subsidiaria que contenga el AD9850, la cual simula el patillaje de un circuito integrado convencional de 28 contactos, en el que todos los números de patillas se corresponden uno a uno y que podrá insertarse cómodamente en el zócalo de la placa de pruebas base. En la figura 5 se muestra la plantilla de dicha placa. La parte de encima de la placa es en este caso la cara de pistas donde va soldado el chip, por la cara inferior se introducen dos ristas de patillas tipo CI que coinciden con un encapsulado de CI de 28 contactos. Gracias a

este sistema el AD9850 se convierte en un bloque autónomo que puede ser insertado en nuestra placa de pruebas, pero que en cualquier momento podrá reemplazarse, cambiarse o utilizarse incluso en un nuevo diseño (nota 3). El submódulo con el AD9850 puede verse en la foto 2. Obsérvese la miniaturización de este chip y las posibilidades de manejo que le confiere el hecho de que pueda manipularse en una placa del tamaño de un circuito integrado convencional.

Los terminales que están en el centro

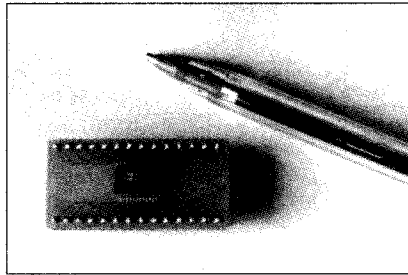


Foto 2. Subplaca auxiliar con el AD9850.

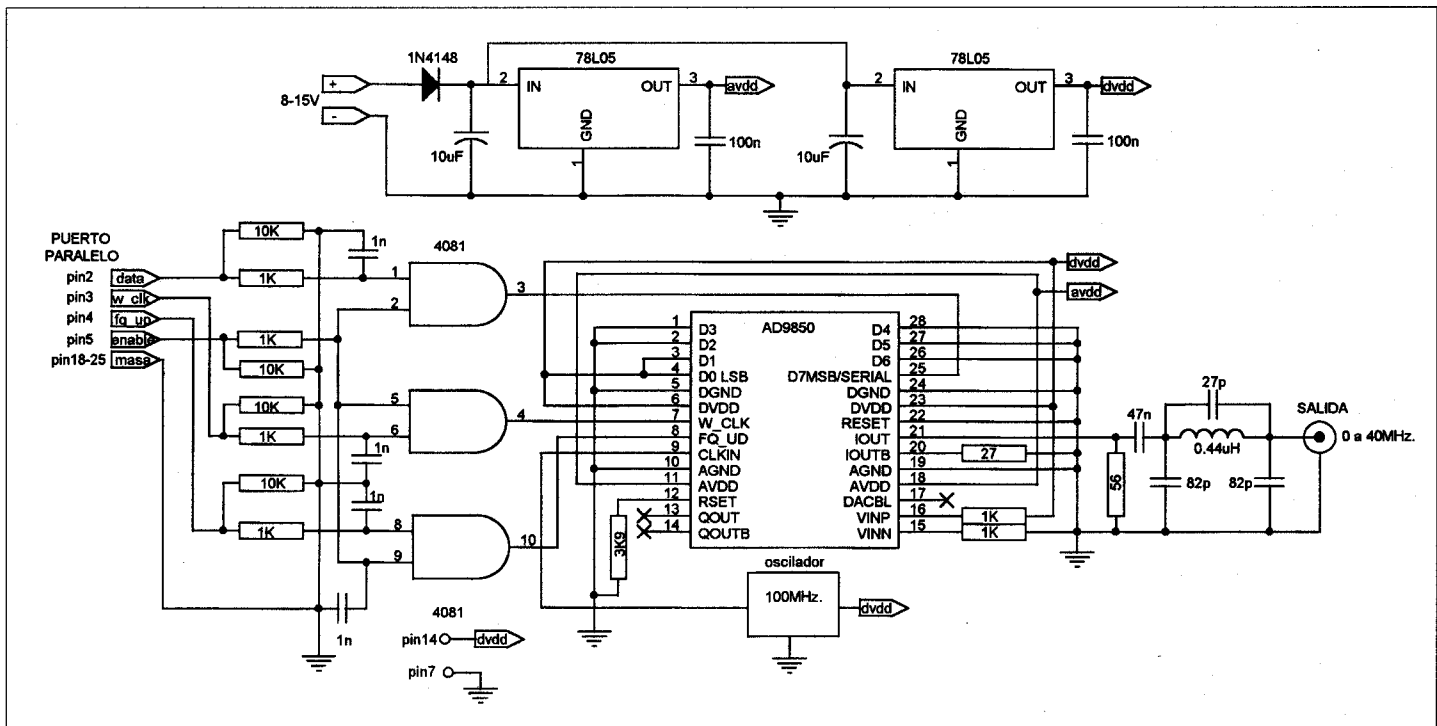


Figura 3. Esquema eléctrico de la placa de pruebas para el AD9850.

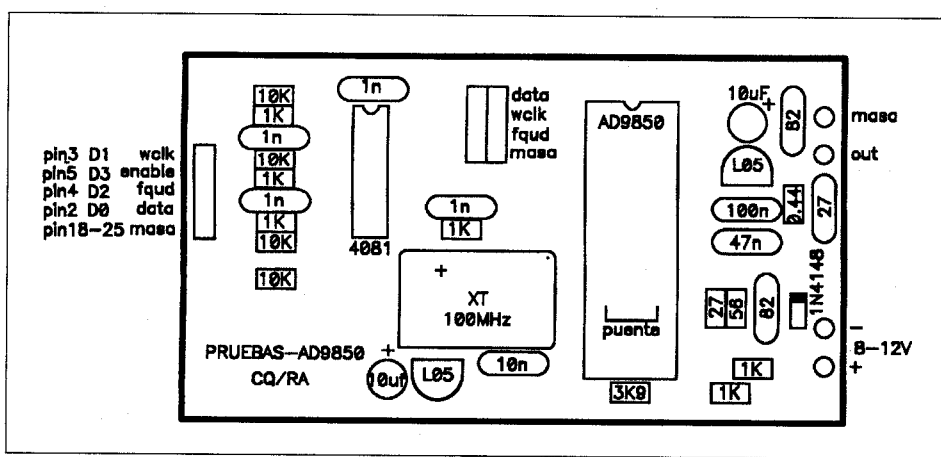


Figura 4A. Placa de pruebas. Lado de componentes (escala 1:1).

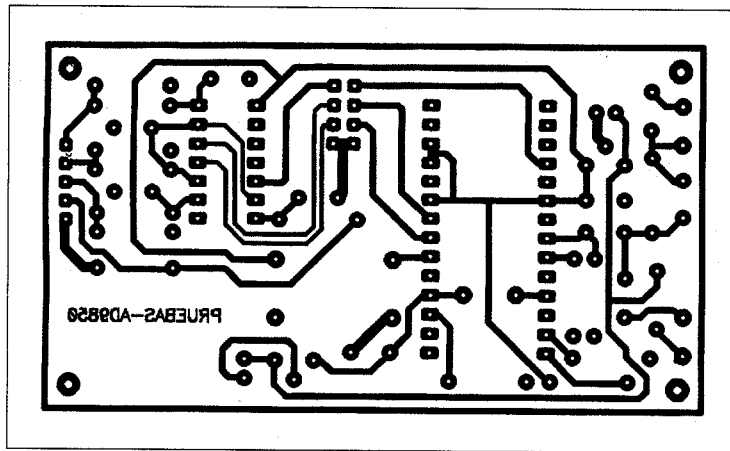


Figura 4B. Placa de prueba. Cara de pistas (escala 1:1).

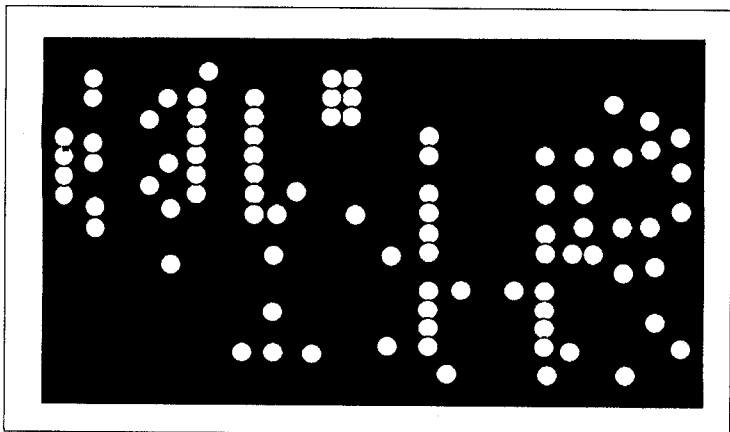


Figura 4C. Placa de pruebas. Cara de masa (escala 1:1).

de la placa marcados *data*, *wclk*, *fqud* y *masa* están dispuestos para el control desde un módulo externo. Como la placa va a trabajar en principio controlada desde el ordenador, estos terminales actúan como puentes de las señales procedentes de las puertas del 4081 y hay que unirlos con tres puentes (los terminales de masa no necesitan unirse ya que lo están en la propia placa).

El montaje de los demás componentes en la placa de pruebas no reviste ningún cuidado especial. Todos los valores o referencias están detallados en el dibujo de disposición de componentes de la figura 4. Recordar nuevamente que en este tipo de placa, en que la cara superior actúa de plano de masa, deben soldarse por ambas caras todos los

terminales de los componentes que no están aislados del cobre de masa por los círculos marcados por la plantilla. A este respecto, no hay que olvidar que algunas patillas de los zócalos de los integrados también van soldadas por la cara superior.

Maniobrando con el AD9850

Una vez tengamos el módulo totalmente montado, pasaremos a efectuar el cableado y la puesta en marcha del circuito. El nivel de salida del AD9850 está entre -7 y -10 dBm si nos movemos entre 1

y 30 MHz, y sigue disminuyendo hasta los -17 dBm en 40 MHz; éste es un nivel muy débil y hay que tenerlo en cuenta a la hora de escoger el sistema de monitorización de la señal. Con la premisa de que no se dispone de aparatos de laboratorio, una solución muy cómoda que cualquier aficionado tiene a mano, es sintonizar y escuchar la señal generada por el AD9850 en un receptor de sintonía continua en modo BLU o CW.

La misión de los terminales de conexión de la placa son como sigue:

- terminales de alimentación marcados + - (admite de 8 a 15 V)
- terminales de salida de señal marcados *masa* y *out*
- terminales de datos del DB25 del puerto paralelo: *wclk* = 3, *enable* = 5, *fqud* = 4, *data* = 2, *masa* = 18 a 15
- terminales situados en la mitad de la placa, líneas *data*, *wclk*, *fqud*, *masa*, son para el envío de datos serie al AD9850 directamente desde un sistema de control externo (microcontrolador). Estos terminales actúan como puentes cuando el control se realiza desde el puerto paralelo de un ordenador y en ese caso deben estar unidos por puentes.

El programa *dds.exe* incorpora un fichero de configuración en el cual deberemos especificar el puerto paralelo donde está conectada la placa (LPT1 por omisión) y la frecuencia de reloj que utiliza el *chip* DDS, que en nuestro caso es de 100 MHz.

El programa es totalmente intuitivo y no requiere ningún comentario en especial, excepto apuntar que debe ejecutarse bajo MS-DOS, no dentro del entorno Windows.

Controlando la DDS desde un microprocesador

Como se ha visto hasta ahora, la placa de pruebas para el AD9850 ha sido diseñada para que, una vez construida, pueda controlarse rápidamente tan solo conectándola al puerto paralelo de un ordenador personal. Sin embargo, estoy convencido que después de haber leído la primera parte de este artículo, muchos aficionados a los montajes estarán ya elucubrando cómo adaptar el AD9850 a alguno de sus próximos proyectos de receptor o transmisor. No hay que negar que, aún siendo una forma muy rápida y simple, el control de la frecuencia por ordenador resulta muy incómodo y que el sistema de sintonía que utiliza el programa es totalmente inoperativo cuando se pretende utilizar la salida del AD9850 como señal de oscilador local para alguno de nuestros proyectos de radio. La solución propuesta a continuación soluciona absolutamente este problema. Se trata de un sencillo y económico circuito de control externo para nuestra placa de pruebas, basado en un microcontrolador PIC16F84 grabado con un programa que he escrito especialmente para este artículo y bautizado como

dds_cq.hex (ver nota 3). En la figura 6 se muestra el esquema completo de este pequeño circuito. La «cabeza» que mira las entradas, hace todos los cálculos, efectúa los envíos a la DDS, etc., está en el interior del microcontrolador, el cual se maneja simplemente desde un codificador rotativo para la sintonía y un pulsador para seleccionar los pasos en que queremos se incremente o decremente la frecuencia. Aunque la filosofía del proyecto tiene la premisa de la sencillez, cumple totalmente con su propósito; permite mover la frecuencia de DDS con una sensacional agilidad desde un mando rotativo, sistema habitual con el que todos estamos habituados a sintonizar una frecuencia.

El manejo del circuito es muy sencillo. Estas son sus funciones:

a) Codificador rotativo para incrementar y decrementar la frecuencia de salida de la DDS (mando de sintonía).

b) Pulsador para la selección de saltos de frecuencia mediante el mando rotativo. Permite escoger saltos en el siguiente orden: 1 kHz, 100 kHz, 500 kHz o 1 MHz. El siste-

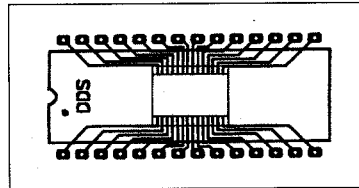


Figura 5. Subplaca auxiliar para el AD9850 (escala 1:1).

Las aplicaciones son innumerables

Realmente las aplicaciones de la síntesis digital directa (DDS) en el campo del radioaficionado son muchas, desde un generador de señal para nuestro taller, un oscilador local para un proyecto de receptor o transceptor, hasta un oscilador de referencia variable para un PLL de SHF, y así, un largo etcétera.

Como se ha visto desde el principio, el objetivo de este artículo ha sido intentar introducir al aficionado en la técnica básica de la DDS y acabar construyendo un sencillo módulo de pruebas que le permita efectuar las primeras experiencias y sus primeros proyectos con la síntesis digital directa (DDS) en su propio cuarto de radio. No me resisto a terminar este primer artículo sobre el tema sin nombrar un proyecto que ya tengo sobre la mesa de trabajo; se trata de un sencillo pero eficaz «monitor de HF»; un receptor de sintonía continua para HF a DDS comandado desde un microcontrolador.

Esperamos, sin duda, que ahora que ya hemos «roto la barrera» de la síntesis digital directa, irán apareciendo en

la revista algunas aplicaciones atractivas de esta técnica tan relacionada con nuestra afición.

Desde aquí os animo a enviar vuestras ideas y proyectos para hacerlas comunes a todos los inconformistas que no nos quedamos satisfechos con solo comprar una caja negra llena de botones para «posar» en la estantería de nuestro cuarto de radio.

Tan apasionante es que construyamos un pequeño transmisor a cristal de cuarzo en una «lata de atún» como un receptor de sintonía continua con DDS. Al contrario de lo que algunos creen, pienso que el arte de los montajes de radio sólo ha hecho que

empezar, sólo hay que subirse al carro cada día... las novedades tecnológicas no dejarán que nuestra imaginación pare ni un solo momento.

Espero que nos volvamos a encontrar muy pronto en estas páginas con nuevos proyectos, entretanto quedo QRV para cualquier duda o aclaración que necesitéis y hasta entonces: ¡no os canséis de quemaros los dedos con el soldador!

Notas

1. Información sobre distribuidores, características y hojas técnicas del AD9850 se pueden obtener en la Web de Analog Devices www.analog.com

2. Peter Halickey, OM3CPH, tiene la mejor página personal en Internet sobre DDS y también otros temas relacionados con nuestra afición: www.qsl.net/om3cph

3. Para obtener la subplaca con el AD9850 y el oscilador, si tenéis algún problema en bajar el programa dds.exe, o bien si necesitáis alguna aclaración al respecto, no dudéis en escribirme por correo a mi apartado postal (enviando sobre franqueado para la respuesta) o mejor a mi correo electrónico que procuro contestar lo antes posible.

4. La empresa americana APS dispone de un pequeño módulo profesional con el AD9850, más información en Associated Professional Systems, 3003 Latrobe Court, Abingdon, Maryland 21009, EEUU; www.associatedpro.com

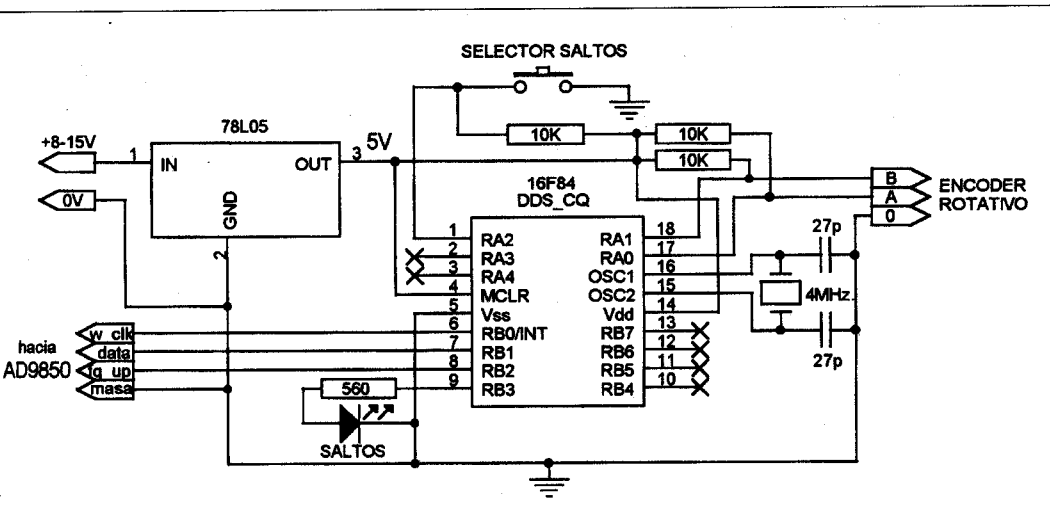


Figura 6. Esquema eléctrico del microcontrolador para el AD9850.

ma se inicia por omisión con saltos de 200 Hz, para sintonía fina en BLU o CW.

c) Mientras se mantiene activado el pulsador, el LED parpadea paso a paso según el orden de selección de saltos. Al soltar, quedará seleccionado el valor del último paso.

No hay ningún comentario especial sobre el montaje de este circuito. Siguiendo el esquema, los componentes pueden montarse incluso sobre una placa estándar de topos. Todo el circuito está alimentado a 5 V, regulados por un 78L05; las líneas de salida digital para el control de la DDS deben conectarse a los terminales previstos para ello en la placa de pruebas del AD9850 (ver comentarios en párrafos anteriores). Tal como se indica en el esquema, la única comunicación necesaria de este circuito con la placa DDS son cuatro cables, con las líneas *w_clik*, *data*, *fq_up* y *masa*.

En los comercios se encuentran diversos tipos de codificadores rotativos, hoy en día muy comunes en aplicaciones industriales y la mayoría de ellos pueden servir; solo debemos prestar atención al número de pasos por vuelta y escoger un modelo que se acomode a nuestros requisitos mecánicos.