



Projekt Elektronik

Planung und Aufbau eines einfachen Spektrumanalysators

Zwischenbericht

Gruppe ELE31
Wintersemester 2003/2004

1. Dezember 2003

Robert Elschner, 192561
André Grede, 192676
Martin Haller, 192386
Leszek Koschel, 202191
Samir Nazzal, 186286
Marcus Rose, 200575
Steffen Schostan, 192378
François Xavier Tchiako, 169383

Betreuer: Stefan Seifert

0 Inhaltsverzeichnis

0	Inhaltsverzeichnis	2
1	Einleitung	3
2	Projektauswahl	4
3	Aufbau	5
3.1	Grundprinzip des Spektrumanalysators	5
3.2	Prinzip des Mischens	6
3.4	Frequenzen beim Mischvorgang	7
3.5	Aufbau/Blockschaltbild	8
3.6	Einteilung in Teilgruppen	9
4	Anforderungen	10
5	Schnittstellen	12
5.1	Schnittstellentypen	12
5.2	Schnittstellen zwischen den Modulen	14
5.2.1	Schnittstellen des Frequenzanalysemoduls	14
5.2.2	Schnittstellen des Frequenzanalyse-Moduls	14
5.2.3	Schnittstellen des Steuerungs- und Verarbeitungsmoduls	14
6	Zeitplan	15
7	Die Module	16
7.1	Frequenzsynthese-Modul	17
7.1.1	Zielstellung	17
7.1.2	Weg des RF-Eingangssignals	17
7.1.3	Funktionsweise des VFO	18
7.1.4	Comblin-Filter und PA	26
7.2	Frequenzanalyse-Modul	29
7.2.1	Zielvorgaben	29
7.2.2	Planung	29
7.2.3	80-Mhz Quarzoszillator mit Frequenzverdoppler	29
7.2.4	Der Lokaloszillator (LO)	31
7.2.5	Das Mischerprinzip	31
7.2.6	Signalbeschreibung	32
7.2.7	Das Platinen-Layout	35
7.3	Steuerungs- und Verarbeitungsmodul	36
7.3.1	Funktionsweise	36
7.3.2	Anforderungen	37
7.3.3	Realisierung	38
7.3.4	Schaltplan	40
7.3.5	Platinenlayout	41
7.3.6	Firmware	42
7.3.7	Software	46
8	Zusammenfassung	47
9	Literaturverzeichnis	48
A	Anhang	49
A.1	Bauteilliste des Frequenzsynthese-Moduls	49
A.2	Bauteilliste des Frequenzanalyse-Moduls	51
A.3	Bauteilliste des Steuerungs- und Verarbeitungsmoduls	52

1 Einleitung

Das Projekt Elektronik dient als Projektlabor der Vertiefung und der Anwendung der Kenntnisse aus der Lehrveranstaltung „Analog- und Digitalelektronik“. Dabei stehen die selbständige Auswahl einer Problemstellung sowie die Erarbeitung der zugehörigen Lösung als Gruppe im Mittelpunkt. Projektmanagement, Bildung von spezialisierten Teilgruppen, Schnittstellenabsprachen sowie Präsentation des Projektes sind wesentliche Bestandteile des Projektes.

Im vorliegenden Zwischenbericht stellt die Gruppe ELE31 ihr ausgewähltes Projekt vor. Der geplante Aufbau des Gesamtprojektes und die Aufteilung des Projektes in Module werden genauso wie die Anforderungen an die Lösung sowie die Schnittstellen zwischen den einzelnen Modulen beschrieben. Ebenso ist der angestrebte Zeitplan zur Realisierung des Projektes enthalten. Weiterhin werden die einzelnen Module beschrieben, die durch spezialisierte Teilgruppen bearbeitet werden.

2 Projektauswahl

Während des ersten Labortermins wurden die folgenden Vorschläge für das Projekt Elektronik unterbreitet.

- Das *Intelligentes Ladegerät* soll Akkumulatoren mit Überladungsschutz laden. Als Ausbaumöglichkeiten wurden die Diagnose von beschädigten Akkus und die Tiefenentladung zur Vermeidung von Speichereffekten vorgeschlagen.
- Ein *Einfacher Spektrumanalysator* dient der Aufnahme des Spektrums von einem Messsignal. Die Messwerte sollen digitalisiert und als digitale Messdaten über eine serielle Schnittstelle an einen PC zur weiteren Auswertung übertragen werden.
- Als *Powerline light* wurde die Realisierung einer Datenübertragungseinrichtung für das reguläre 230V-Stromnetz von PC zu PC vorgeschlagen.
- Mit dem *Datalogger* wurde ein Datenaufzeichnungsgerät für beliebige analoge Messgrößen vorgeschlagen.
- Weiterhin wurde die Idee einer *Infrarot-Datenübertragungsstrecke* eingebracht, die ebenfalls der Datenübertragung von PC zu PC dienen sollte.

Nach einer Diskussion über die Interessen und Fähigkeiten der Teilnehmer sowie der Komplexität und Realisierbarkeit der Vorschläge einigte sich die Gruppe auf den „**Einfachen Spektrumanalysator**“. Hierbei sah die Gruppe vielfältige Möglichkeiten analoge und digitale Aspekte des Schaltungsentwurfes praxisnah kennen zu lernen sowie darüber hinaus hochfrequenztechnische Probleme zu lösen.

3 Aufbau

3.1 Grundprinzip des Spektrumanalysators

Ein Spektrumanalysator ist ein Messgerät, mit dem man sich das Frequenzspektrum (genauer: die spektrale Leistungsdichte) eines (periodischen) Signals anschauen kann (Frequenzanalyse). Es findet breite Anwendung in allen Bereichen der Hochfrequenztechnik/Nachrichtentechnik, da man mit einem solchen Gerät z.B. Modulationen, Signalverzerrungen (Intermodulationen, Harmonische) und Rauschspektrale (sowohl Amplituden- als auch Phasenrauschen) messtechnisch erfassen kann.

Es muss als bekannt vorausgesetzt werden, dass sich jedes beliebige Signal im Zeitbereich als eine Überlagerung (Superposition) von Sinusschwingungen verschiedener Amplitude, Frequenz und Phase (komplexe Fourieranalyse/Fourier-Transformation) auffassen lässt. Diese Amplituden können nun über der entsprechenden Frequenz aufgetragen werden (Frequenzbereich) und bilden so das (Frequenz-) Spektrum des Signals. (beachte: bei dieser Herangehensweise geht die Phaseninformation verloren, deshalb spektrale *Leistungsdichte*).

Diese Analyse kann rechnerisch mittels „Fast Fourier Transform“ (FFT) erfolgen, die aber einen hohen Rechenaufwand benötigt, oder es wird eine direkte analoge Messung durchgeführt. Dazu stelle man sich ein unendlich schmales Bandpassfilter vor, das nur eine bestimmte Frequenz passieren lässt. Damit lässt sich das zu messende Signal prinzipiell auf zwei Wegen abtasten.

- Verschieben des (abstimmbaren) Filters entlang des Eingangssignals; dies setzt aber ein extrem schmalbandiges und *gleichzeitig* breit abstimmbares Filter voraus, das nicht zu realisieren ist.
- Verschieben der Frequenzen entlang eines festen Filters: Heterodynprinzip

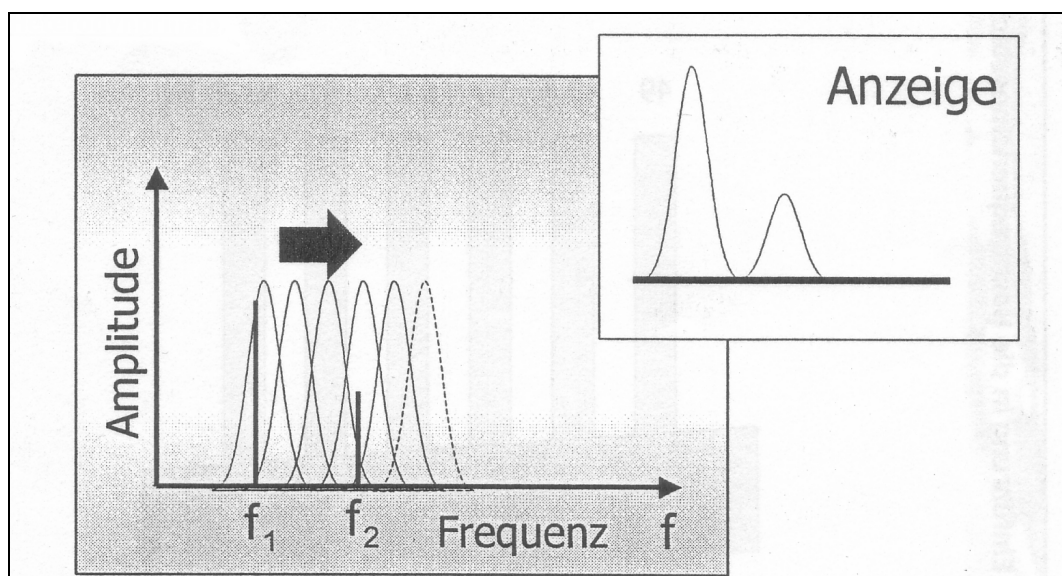


Abb. 3-1: Analoge Frequenzanalyse

Bei dem Heterodynprinzip wird das Eingangssignal der Frequenz f_{RF} mit Hilfe eines frequenzstabilen Oszillatorsignals der Frequenz f_{LO} auf eine Zwischenfrequenz (intermediate frequency - IF) $f_{IF} = |f_{LO} - f_{RF}|$ umgesetzt (Mischung), auf der es besser verarbeitet werden kann (beachte: wegen der Betragsstriche muss es immer auch eine zweite Frequenz geben, die auf die Zwischenfrequenz umgesetzt wird: die (unerwünschte) Spiegelfrequenz). Im Falle eines frequenzvariablen Oszillators (variable frequency oscillator, VFO) liegt der Vorteil darin, dass man verschiedene Eingangsfrequenzen nach der Mischung mit den gleichen nachfolgenden (schmalbandigen) Baugruppen verarbeiten kann (FM-Radioempfänger, Spektrumanalysator).

3.2 Prinzip des Mischens

Es lässt sich mathematisch zeigen, dass eine Multiplikation zweier Kosinussignale unterschiedlicher Kreisfrequenzen $f_1 > f_2$ im Resultat eine Überlagerung zweier Kosinussignale mit den Frequenzen $f_1 - f_2$ und $f_1 + f_2$ ergibt, bei Erhaltung der Phaseninformation.

Diese Tatsache kann nun zur Frequenzumsetzung ausgenutzt werden. Beim Mischen an einer (nichtlinearen) Diodenkennlinie wird der Leitwert der Diode (Tangente an die I-U-Kurve) durch die (starke) LO-Signalspannung periodisch moduliert, er ist also eine (beliebige) periodische Funktion der Frequenz f_{LO} . Fällt nun eine (kleinere) RF-Signalspannung über der Diode ab, so ergibt sich der fließende Strom getreu dem Ohmschen Gesetz aus der Multiplikation $U_{RF}(f_{RF}) \cdot G_D(f_{LO})$, er wird also frequenzumgesetzt. Mit einem ohmschen Lastwiderstand kann dann eine frequenzumgesetzte Spannung gewonnen werden. Da der Diodenleitwert natürlich keinen sinusförmigen Zeitverlauf hat, sondern beliebig periodisch sein kann (je nach Arbeitspunkt der Diode und Amplitude des LO-Signals), ist er nicht nur Funktion von f_{LO} , sondern auch von $2f_{LO}$, $3f_{LO}$ usw. Dementsprechend entstehen neben dem gewünschten Mischprodukt noch viele andere (unerwünschte). Eine nachfolgende Bandpassfilterung ist also unbedingt notwendig. Durch geeignete Verschaltung mehrerer Dioden (Gegentakt-, Ringmischer) können durch sich kompensierende Ströme bestimmte unerwünschte Frequenzen im Ausgangssignal (z.B. f_{RF} , f_{LO}) von vornherein unterdrückt werden.

3.4 Frequenzen beim Mischvorgang

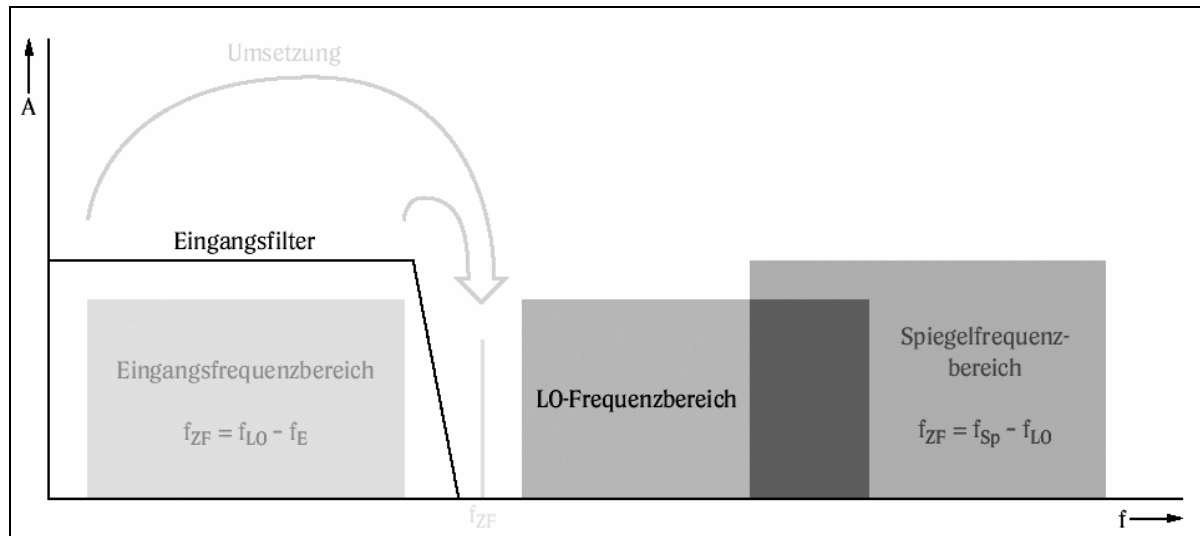


Abb. 3-2: Superheterodynprinzip

Bei der Frequenzumsetzung auf eine höhere Zwischenfrequenz, wie sie in diesem Projekt in der ersten Mischstufe benutzt wird, sind die beteiligten Frequenzen gemäß Abb. 1-2 auf der Frequenzachse verteilt. Der Eingangsfrequenzbereich erstreckt sich von 0 bis 100 MHz, die Zwischenfrequenz bei 170,7 MHz, der Oszillatorbereich liegt zwischen 170,7 und 270,7 MHz. Da es, wie oben gesehen, auch immer eine Spiegelfrequenz gibt, die vom LO auf die IF umgesetzt wird (hier: 341,4 bis 441,4 MHz), muss diese am Eingang mit einem Tiefpassfilter unterdrückt werden.

Der LO wird nun von 170,7 MHz an durchgestimmt, wobei er zunächst den gesamten Eingangsfrequenzbereich gemäß der Gleichung $f_{IF} = |f_{LO} - f_{RF}|$ auf den Bereich von 170,7 MHz bis 70,7 MHz abbildet (Kehrlagen-Mischung). Das sehr schmale IF-Filter bei 170,7 MHz schneidet nun aber genau den Signalanteil heraus, der betrachtet werden soll: Nämlich den, der vorher bei 0 MHz war. Erreicht der LO gerade den Wert 171,7 MHz, so wird der Eingangsbereich auf den Bereich 171,7 MHz bis 71,7 MHz abgebildet. Das IF-Filter schneidet nun den Teil heraus, der vorher bei 1 MHz war usw. In diesem Sinne wird das Spektrum des Eingangssignals an dem Filter vorbeigeschoben.

3.5 Aufbau/Blockschaltbild

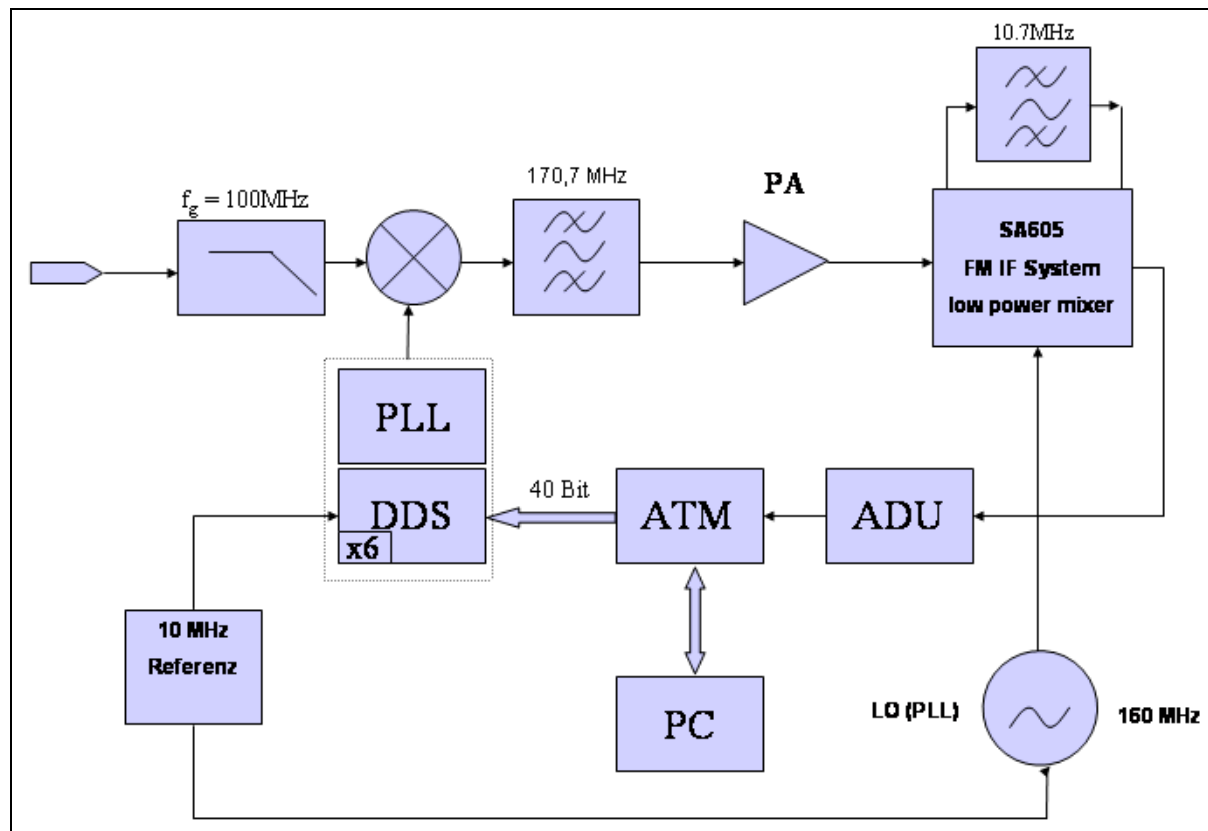


Abb. 3-3: Blockschaltbild der Gesamtschaltung

Das Spektrum des Eingangssignals wird zuerst mit einem Tiefpass-Filter mit der Grenzfrequenz von 100 MHz gefiltert, um Signalanteile auf der Spiegelfrequenz zu unterdrücken. Dann wird das Signal mit dem Ausgangssignal des VFO (variable frequency oscillator, 170,7 MHz bis 270,7 MHz) auf die erste Zwischenfrequenz von 170,7 MHz gemischt. Um unerwünschte Mischprodukte zu unterdrücken, wird nachfolgend mit dem ersten Zwischenfrequenzfilter (Bandpass) gefiltert. Bevor das Signal dann in die zweite Mischstufe kommt, wird es noch mit einem PA verstärkt, um die Empfindlichkeit des Gesamtsystems zu erhöhen und die Konversionsverluste im Mischer sowie die Durchgangsdämpfung des Filters zu kompensieren.

In der zweiten Mischstufe (SA605 FM Receiver) wird das Signal mit dem Ausgangssignal des LO (160MHz) auf 10,7 MHz gemischt. Dort wird es mit dem zweiten IF-Filter (externer Bandpass) wieder gefiltert. Anschließend wird es logarithmisch verstärkt und mit einem Diodengleichrichter detektiert.

Der ADU (Analog-Digital-Umsetzer) tastet das gleichgerichtete Signal ab und gibt es digitalisiert weiter an den Microcontroller (Atmel 90S8515). Dieser leitet die Daten über RS232 an einen PC, wo die Signalverarbeitung und -darstellung mit Hilfe der Software LabView erfolgt.

Die Frequenzsynthese im VFO, der das erste variable LO-Signal liefert, erfolgt mit einer Kombination aus DDS (direct digital synthesis) und PLL (phase locked loop).

Als Referenzfrequenz dient ein extern erzeugtes Quarzoszillatorsignal von 10MHz. Das DDS-Modul wird durch den Microcontroller mit einem 40Bit-Wort programmiert.

Das zweite LO-Signal wird von einer PLL geliefert, die das externe Oszillatorsignal versechzehnfacht.

3.6 Einteilung in Teilgruppen

Die Einteilung der Gruppe ELE31 in Teilgruppen erfolgte in Abhängigkeit der Modularisierung des Gesamtprojektes.

Teilgruppe des Frequenzsynthese-Moduls
(Eingangstiefpass, 1. Mischstufe, DDS/PLL, 1.ZF-Filter + PA):
Andre, Francois, Robert

Teilgruppe des Frequenzanalyse-Moduls
(LO/PLL, 2. Mischstufe, Logarithmische Gleichrichtung):
Marcus, Samir

Teilgruppe des Steuerungs- und Verarbeitungsmoduls
(ATMEL-Microcontroller, ADU, PC):
Steffen, Leszek, Martin

4 Anforderungen

Eine Kette ist nur so stark wie ihr schwächstes Glied. Entsprechend kann ein Messgerät nicht besser als seine schlechteste Baugruppe sein. Deshalb werden an die einzelnen Baugruppen spezielle Anforderungen gestellt, deren Einhaltung die einzelnen Gruppen gewährleisten müssen.

Um später eine einfache Integration aller Baugruppen in einem Gehäuse zu ermöglichen, hat sich die Gruppe für eine gemeinsame Versorgungsspannung von 15V-Gleichspannung entschieden. Alle in den einzelnen Teilgruppen benötigten Spannungen sollen durch Linearregler erzeugt werden. Auf den Einsatz von Schaltnetzteilen (DC-DC Wandler) soll unbedingt verzichtet werden, da aufgrund der hohen Schaltfrequenzen hochfrequente Störungen zu erwarten sind.

Der Eingangstiefpass zum Unterdrücken der Spiegelfrequenz ist relativ unkritisch. Theoretisch ist ein Filter 1. Ordnung ausreichend, da die niedrigste Spiegelfrequenz erst bei 341,4MHz liegt. Der Rippel im Durchgangsbereich des Filters sollte 1 dB nicht überschreiten.

Der folgende Mischer ist für die spätere Performance des Gerätes das wohl wichtigste Bauelement. Alles was hier an Rauschen und Intermodulationsprodukten entsteht verkleinert den Dynamikbereich des Spektrumanalysators. Deshalb sollte kein aktiver Mischer eingesetzt werden. Der von uns ausgewählte Ringdiodenmischer benötigt eine Oszillatorleistung von 17 dBm und kann mit einem maximalen Eingangssignal von 10 dBm betrieben werden. Der Conversationloss sollte kleiner 6dB sein. Um einen guten Intercept-Point sowie einen gleich bleibenden Conversationloss zu garantieren, sollte der Mischer am Ausgang mit 50 Ohm belastet werden. Dies gilt nicht nur für die im Passband liegende gewollte Frequenz, sondern ebenso für das Stoppband. Um dies zu gewährleisten muss direkt auf den Mischer ein Diplexer oder ein Dämpfungsglied folgen.

Das erste IF-Filter zur Unterdrückung unerwünschter Mischprodukte sollte eine möglichst kleine Durchgangsdämpfung haben. Um ausreichend steile Filterflanken zu erhalten ist ein Filter mindestens 3. Ordnung einzusetzen. Wichtig ist, dass im Stoppband des Filters keine Lücken auftreten!

Im folgenden IF-System, bestehend aus einem SA605D, wird auf die 2. IF runtergemischt und logarithmisch gleichgerichtet. Der Eingangsbereich des SA605D ist entsprechend dem Datenblatt mit -25dBm bis -125dBm gegeben. Um die Empfindlichkeit zu erhöhen sollte der zwischen 1. IF-Filter und 2. IF-Stufe geschaltete Verstärker mindestens 20dB Verstärkung und eine Rauschzahl kleiner 5dB haben.

Entsprechend den festgelegten Anforderungen lässt sich der Eingangs- und Dynamikbereich des Spektrumanalysators grob kalkulieren.

Um die 2. ZF-Stufe nicht zu übersteuern dürfen am Eingang des IF-Verstärker (20dB Verstärkung) maximal -45dBm anliegen. Um dies zu erreichen, muss die Eingangsleistung am Eingang des Spektrumanalysators um die entstehenden Verluste höher sein.

3,5 dB (Transistor) + 6dB (Filter) + 6dB (Abschwächer) + 6dB (Mischer) + 1dB (Tiefpass) = 22,5 dB.

Somit ergibt sich am Eingang des Spektrumanalysators eine maximale Eingangsleistung von -22,5dBm. Die minimale noch messbare Leistung ergibt sich durch den Dynamikbereich der 2. IF Stufe (SA605D) zu -122,5dB. Wie in der Verlustrechnung erkennbar wird, wurde davon ausgegangen, dass hinter dem 1. Mischer ein Dämpfungsglied eingesetzt wird. Der Aufbau des Dämpfungsgliedes kann sehr einfach realisiert werden. Ein Diplexer hätte zwar weniger Verluste, würde aber den Eingangsbereich des Analyzers nur verschieben, da der SA605D hier das Maß der Dinge ist.

Die letzten Endes angestrebte Auflösung des gesamten Systems sollte kleiner 0,5 dB sein. Ändert sich die Eingangsleistung um 20dB, so ändert sich die durch den SA605D detektierte Gleichspannung um 1V. Bei 256 Quantisierungsstufen und einem Detektorbereich von 0-5V ergibt sich eine Auflösung von 0,0195V entsprechend 0,39dB HF-Eingangsleistungsänderung. Somit kann festgehalten werden, dass ein Analog-Digital-Umsetzer (ADU) mit 8 Bit und 0,02V Quantisierungsschritten ausreichend ist.

Da die Gleichrichtercharakteristik des logarithmischen Detektors im oberen und unteren Bereich stark nichtlinear ist, kann mit einem Dynamikbereich von 80 bis maximal 90dB gerechnet werden. Dies entspricht einer gleichzeitigen Messung von Signalen mit 1mW bis 1pW (bzw. 1W bis 1GW).

5 Schnittstellen

Im Folgenden werden die eingesetzten Schnittstellentypen aufgeführt und der Einsatz innerhalb des Projektes dokumentiert.

5.1 Schnittstellentypen

Durchführungskondensator (DF)

Durchführungskondensatoren (engl. feedthrough capacitors) werden in der Hochfrequenzelektronik eingesetzt, um eine hochfrequente elektromagnetische Störstrahlung in Verbindung mit einem schirmenden Gehäuse zu vermeiden.



Abb. 5-1: Durchführungskondensator

SMA

Die koaxiale SMA-Schnittstelle wurde als „Subminiature A connector“ von den Firmen Bendix Scintilla und Omni-Spectra entwickelt und zeichnet sich durch seine geringe Reflexionsdämpfung über einen sehr weiten Frequenzbereich bis hin zu mehreren GHz aus. Daher wird die SMA-Schnittstelle oft in hochfrequenztechnischen Anwendungen benutzt. In Abb. 5-2 ist beispielhaft ein SMA-Stecker abgebildet.

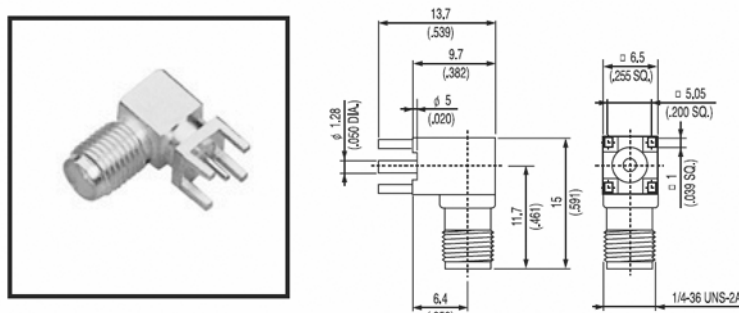


Abb. 5-2: Beispiel für eine angewinkelte SMA-Verbindung für Oberflächenmontage
[Quelle: Yeeun Tech]

RS-232

Die serielle, bidirektionale, asynchrone Schnittstelle EIA RS-232 / ITU V.24 ist insbesondere zwischen PC und Peripherie-Geräten weit verbreitete und unkompliziert einsetzbar. Als Stecker/Buchse gibt es eine 9-polige und eine 25-polige Variante. In Abb. 5-3 sind Stecker und Buchse sowie in Tabelle 5-1 die Pin-Belegung der 9-poligen Verbindungsvariante zu sehen.



Abb. 5-3: 9-poliger Sub-D-Stecker und Buchse der RS-232

PIN	Abk.	Signal
1	CD	Carrier Detect (Empfangssignalpegel)
2	RXD	Receive Data (Empfangsdaten)
3	TXD	Transmit Data (Sendedaten)
4	DTR	Data Terminal Ready (Terminal betriebsbereit)
5	GND	Ground (Masse)
6	DSR	Data Set Ready (Betriebsbereitschaft)
7	RTS	Request To Send (Sendeteil ein)
8	CTS	Clear To Send (Sendebereitschaft)
9	RI	Ring Indicator (Ankommender Ruf)

Tabelle 5-1: Pin-Belegung der RS-232-Schnittstelle nach [6]

SUB-D-15

Als Verbindung zwischen dem Frequenzsynthese-Modul und dem Steuerungs- und Verarbeitungsmodul kommt eine 15-polige Sub-D-Verbindung zum Einsatz. Hierbei wurde keine standardisierte Pin-Belegung benutzt. Die Dokumentation der Pin-Belegung erfolgt in den jeweiligen Modulen.



Abb. 5-4: 15-poliger Sub-D-Stecker und Buchse

Wannenstecker (ISP-Stecker)

Ein 10-poliger Wannenstecker wird im Steuerungs- und Verarbeitungsmodul als Steckverbindung für das „In-Circuit Serial Programming“ (ISP) des ATMEL-Mikrokontrollers eingesetzt.

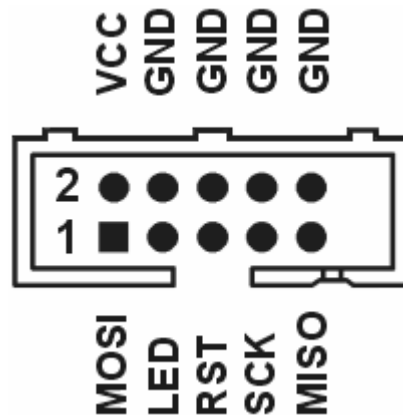


Abb. 5-5: 10-poliger Wannenstecker mit typischer Pin-Belegung als ISP-Stecker

5.2 Schnittstellen zwischen den Modulen

5.2.1 Schnittstellen des Frequenzanalysemoduls

Tiefpassfilter am Messeingang:

- 1x SMA-Buchse am Eingang
- 1x SMA-Buchse am Ausgang

VFO-Mischer-Schaltung:

- 1x SMA-Buchse am Eingang
- 1x SMA-Buchse am Ausgang (1. IF)
- 1x SMA-Buchse Referenzeingang
- 1x Durchführungskondensator für die 15V-Gleichspannungsversorgung
- 1x Durchführungskondensator als 12V-Ausgang zur Versorgung des 1. IF Verstärkers
- 1x 15-poliger SUB-D-Buchse

1. IF Filter und IF Verstärker:

- 1x SMA-Buchse am Eingang (1. IF)
- 1x SMA-Buchse am Ausgang (1. IF)
- 1x Durchführungskondensator für die 12V-Gleichspannung von der VFO-Mischer-Schaltung

5.2.2 Schnittstellen des Frequenzanalyse-Moduls

- 1x SMA-Buchse am Eingang für die 1. IF vom 1. IF Filter und IF Verstärker
- 1x SMA-Buchse am Ausgang für die Gleichspannungsauskopplung zum Analog-Digital-Umsetzer (ADU)
- 1x SMA-Buchse für die 10-MHz Referenz
- 1x Durchführungskondensator für die 15V-Gleichspannungsversorgung
- optional noch 4x Durchführungskondensatoren zum Schalten verschiedener ZF-Filter.

5.2.3 Schnittstellen des Steuerungs- und Verarbeitungsmoduls

- 1x RS-232 als 9-poliger Sub-D-Stecker zwischen PC und Steuerungs- und Verarbeitungsmodul (Hinweis: 15V)
- 1x SMA-Buchse zwischen Frequenzanalyse-Modul und Analog-Digital-Umsetzer
- 1x 15-polige Sub-D-Buchse zwischen dem Steuerungs- und Verarbeitungsmodul und dem Frequenzsynthese-Modul in 5V-Logik
- 1x 4-poliger Printstecker zum Ansteuern von verschiedenen Zwischenfrequenz-Filtern im Frequenzanalyse-Modul
- 1x 10-poliger Wannenstecker zur Programmierung des ATMEL-Mikrokontroller mittels SPI
- 1x 3-poliger Printstecker für die 15V-Gleichspannungsversorgung

6 Zeitplan

Die Projektgruppe ELE31 hat sich zur Realisierung des Projektes den folgenden Zeitplan gegeben.

- | | |
|------------------------------|--|
| 5.Termin (26.11.03) | <ul style="list-style-type: none">• Alle Platinen-Layouts sind erstellt!• Bauteillisten (welche können als Samples bestellt werden, welche müssen gekauft werden, mit Preis)• Alle Schaltungen werden durchgesprochen• Zwischenbericht wird von den Gruppen intern besprochen• Platinen bestellen |
| 6.Termin (03.12.03) | <ul style="list-style-type: none">• Aufbau und Bestückung der Platinen• Gehäuse auswählen• Alle Bauteile auf Vollständigkeit prüfen |
| 7.Termin (10.12.03) | <ul style="list-style-type: none">• Schaltungstest• Jede Gruppe muss unabhängig von den Anderen ihre Schaltung testen können. |
| 8.Termin (17.12.03) | <ul style="list-style-type: none">• Schaltungstest• Ziel: Alle Schaltungen funktionieren |
| 9.Termin (07.01.04) | <ul style="list-style-type: none">• Referenz von 10 MHz implementieren• Daten in DDS schreiben• Daten aus ADU auslesen• Kommunikation mit PC/LabView |
| 10.Termin (14.01.04) | <ul style="list-style-type: none">• Erster komplexer Test• Integration aller Komponenten in einem Gehäuse |
| 11.Termin (21.01.04) | <ul style="list-style-type: none">• Abschlussbericht besprechen und planen• Weitere Tests des gesamten Systems• Verbesserung der Software unter LabView |
| 12.Termin (28.01.04) | <ul style="list-style-type: none">• Schaltungstest• Mögliche Weiterentwicklung der Software |
| 13.Termin (04.02.04) | <ul style="list-style-type: none">• Schaltungstest• Präsentation, Vorträge und Abschlussbericht besprechen |
| 14. Termin (11.02.04) | <ul style="list-style-type: none">• Generalprobe: Schaltungstest• Abschlussbericht besprechen |
| Vorführtermin
am 18.02.04 | <ul style="list-style-type: none">• Präsentation des Einfachen Spektrumanalysators vor interessiertem Publikum |

7 Die Module

Im Folgenden werden die einzelnen Module des einfachen Spektrumanalysators beschrieben.

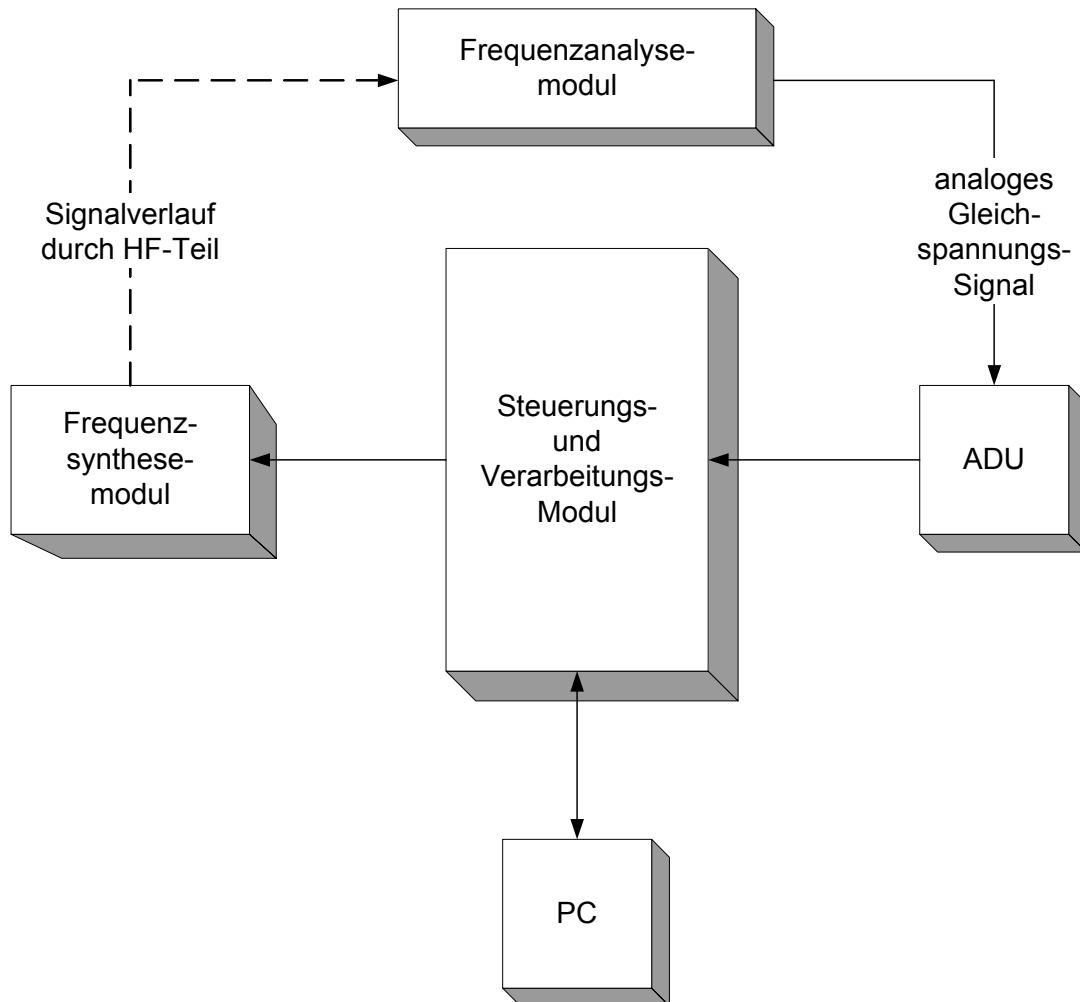


Abb. 7-1: Abhängigkeiten der einzelnen Module des einfachen Spektrumanalysators

7.1 Frequenzsynthese-Modul

7.1.1 Zielstellung

Aufgabe unserer Gruppe war der Entwurf und Aufbau eines VFO (variable frequency oscillator) sowie Design und Realisierung einer Mischstufe inklusive Filter und Zwischenfrequenzverstärker.

Im folgenden Blockschaltbild sind die einzelnen Komponenten unserer Schaltung dargestellt.

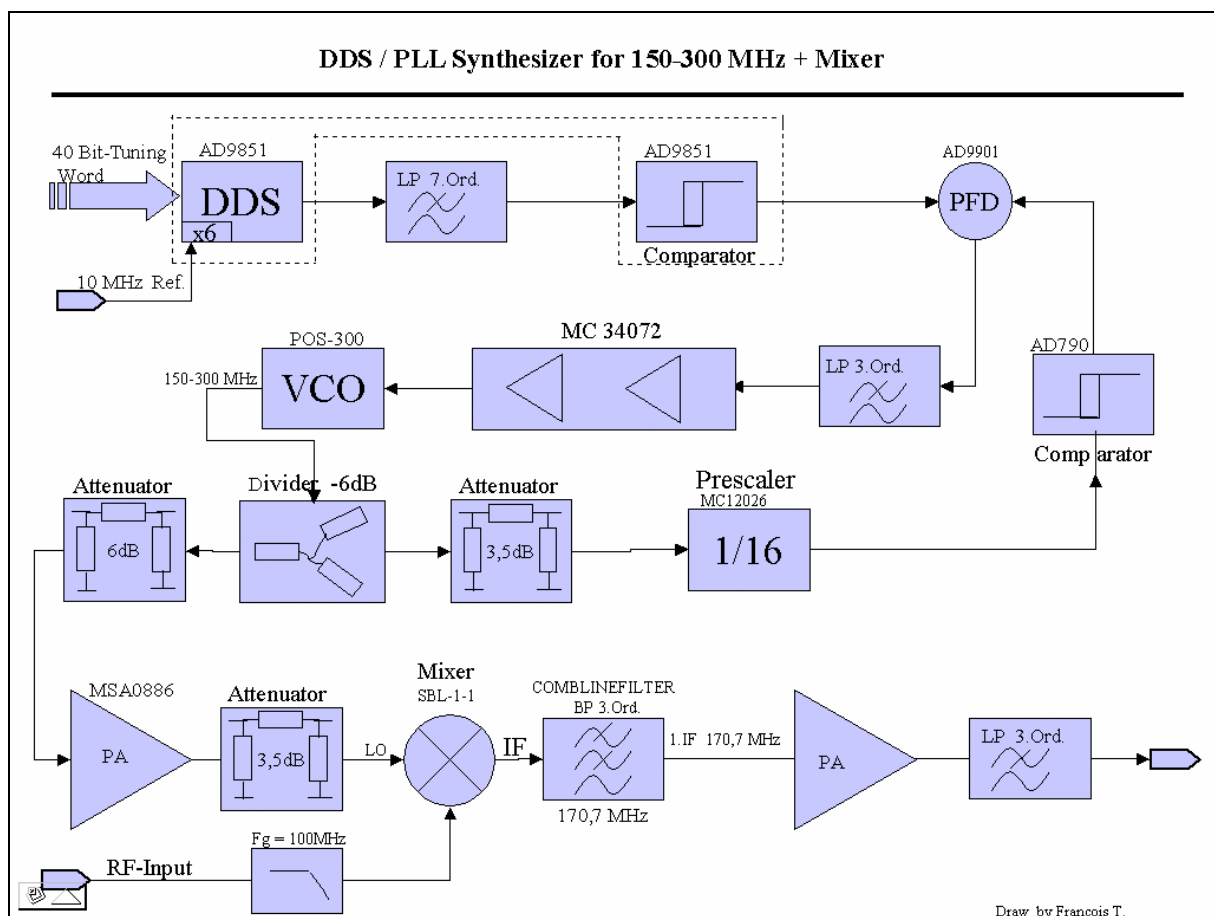


Abbildung 7-2: Blockschaltbild der ersten IF-Stufe

7.1.2 Weg des RF-Eingangssignals

Das am RF-Input anliegende Messsignal gelangt durch ein Tiefpassfilter (LP, Grenzfrequenz 100 MHz) zum Ringdiodenmischer. Dort wird es mit einer variablen Frequenz gemischt, die im kombinierten DDS/PLL-Synthesizer erzeugt wird. Spiegelfrequenzen werden durch das LP-Filter am Eingang unterdrückt. Das resultierende Signal, in unserem Fall 170,7 MHz, gelangt durch das erste Zwischenfrequenzfilter (1. IF), einen Verstärker und ein LP-Filter zum Ausgang der Schaltung.

Das zusätzliche LP-Filter am Ausgang des IF-Verstärkers dient der Verbesserung der Stoppbandcharakteristik des als Comblin-Filter 3. Ordnung ausgeführten 1. IF-Filters.

7.1.3 Funktionsweise des VFO

Die zum Mischen notwendige variable Frequenz wird in unserer Schaltung durch eine Kombination aus DDS (direct digital synthese) und PLL (phase looked loop) erzeugt.

Der DDS ist ein steuerbarer Digital-Analog-Konverter (DAC), der aus einer anliegenden Referenzfrequenz Sinussignale beliebiger Frequenz entsprechend des Nyquist-Kriteriums generiert. Bei einer internen Clockfrequenz von 60 MHz und einer Adressierung mit 32 Bit ergibt sich eine Frequenzauflösung von ca. 14 mHz. Um die spektrale Reinheit zu erhöhen, durchläuft das erzeugte Signal ein elliptisches LP-Filter 7. Ordnung. Anschließend wird es im Komparator des DDS in ein Rechtecksignal umgewandelt und dem Phasen-Frequenz-Vergleicher (PFD) der PLL zugeführt. Dieser erhält außerdem das aus dem VCO (voltage controlled oscillator) stammende, durch 16 geteilte LO-Signal. Aus der Phasendifferenz der beiden Signale entsteht eine Regelspannung, die tiefpassgefiltert, potenzialverschoben und verstärkt dem VCO als Steuerspannung zugeführt wird. Divider und Attenuator sorgen für Anpassung und richtige Pegelverhältnisse an den Bauelementen.

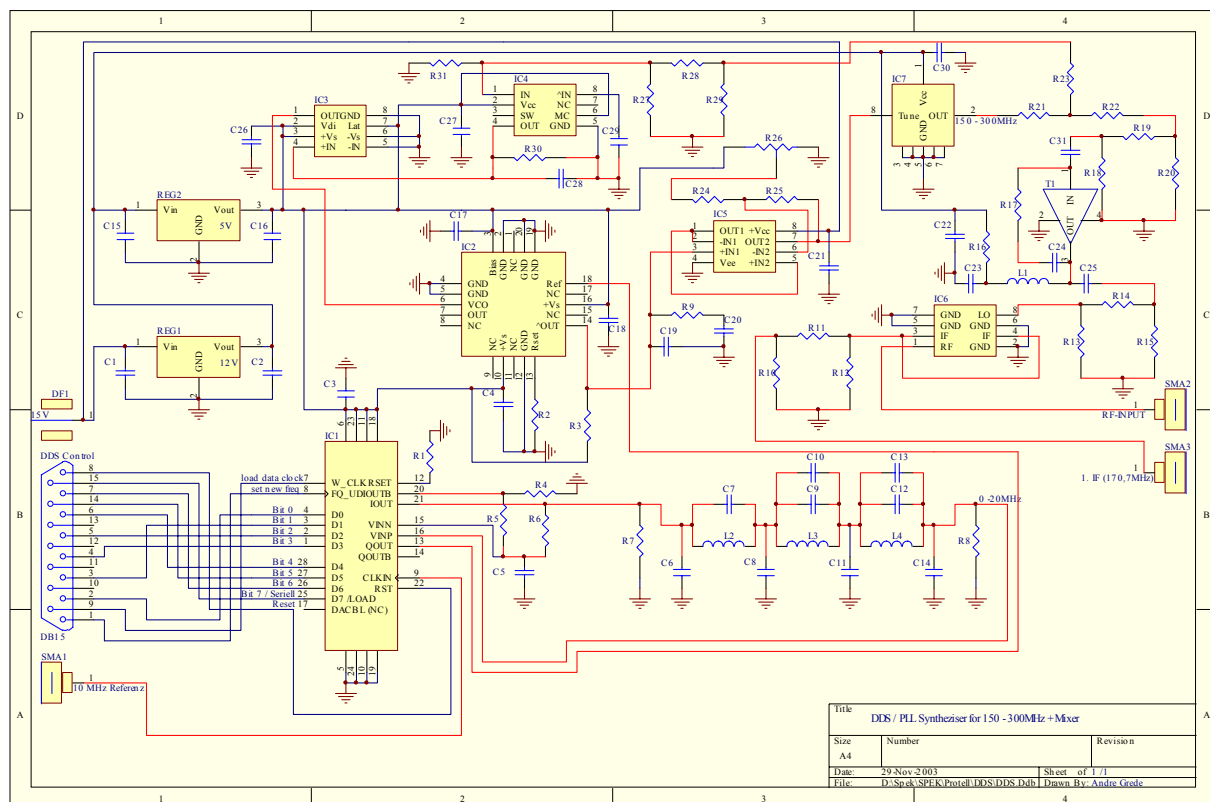


Abbildung 7-3: DDS / VCO / Mischer

Abbildung 7-3 beinhaltet einen großen Teil der im Blockschaltbild (Abb. 7-2) diskutierten Elemente. Lediglich das Tiefpassfilter am Eingang sowie das 1. IF-Filter inklusive IF-Verstärker werden aufgrund ihrer Größe in eigenen Gehäusen implementiert.

Zunächst soll das Prinzip der Frequenzsynthese kurz erläutert werden. Der VFO besteht hauptsächlich aus einer PLL, die mit einem DDS als veränderbarer Referenz betrieben wird. Das vom VCO erzeugte Signal im Bereich von 170,7 bis 270,7 MHz wird durch 16 geteilt und dem Phasenfrequenzvergleich der PLL zugeführt.

Das durch den DDS zu erzeugende Referenzsignal muss aufgrund des Teilungsverhältnisses nur zwischen 10,6 und 17 MHz liegen. Dazu wird der DDS mit einer externen Referenz von 10 MHz, die er intern versechsfacht, synchronisiert. Bei einer Auflösung von 32Bit ergibt sich die Schrittweite des DDS somit zu

$$60 \text{ MHz} / 2^{32} = 14 \text{ mHz}$$

Aufgrund der Vervielfachung um den Faktor 16 kann der VFO in 0,224 Hz Schritten abgestimmt werden. Das ist weitaus genauer als für unsere Zwecke nötig. Wir haben diese Möglichkeit der Frequenzsynthese einer PLL mit fraktionalem Teiler im Rückkoppelzweig vorgezogen. Ein Grund dafür war unter anderem der weitaus schnellere Frequenzwechsel des DDS.

Wie im Kapitel „Schnittstellen“ festgelegt, kann der DDS (IC1) über einen 15-poligen SUB-D Stecker programmiert werden. Wir haben uns für einen AD9851 entschieden. Dieser enthält einen integrierten 6-fach Multiplier, so dass sich mit einer Referenzfrequenz von 10 MHz nach Nyquist Signale von maximal 30 MHz erzeugen lassen. Da es in der Realität keine idealen Rekonstruktionsfilter gibt, liegt die maximal nutzbare Ausgangsfrequenz des DDS aber nur bei 40 Prozent der Clockfrequenz. An den DDS schließt sich ein elliptisches Filter 7. Ordnung an, um im Digital-Analogwandler zusätzlich entstandene störende Signale zu unterdrücken.

Danach wird das erhaltene Sinussignal zurück in den DDS (IC1) geführt und mit Hilfe eines Komparators in ein Rechtecksignal umgewandelt. Mit diesem kann nun der Referenzeingang des Phasenfrequenzvergleichers (IC2) angesteuert werden. Der dazu verwendete AD9901 (IC2) kann Frequenzen bis 200 MHz miteinander vergleichen. Das erhaltene Fehlersignal gelangt durch ein einfaches Tiefpassfilter, bestehend aus C19/20 und R9 zum 1. Operationsverstärker (IC5), der als Spannungsfolger arbeitet. Im zweiten Operationsverstärker (ebenfalls IC5) wird das Signal dann potentialverschoben und verstärkt, so dass der Abstimmbereich des VCO (IC 7) voll ausgenutzt werden kann. Direkt auf den VCO folgt ein Divider mit 50 Ohm Ein- und Ausgangswiderstand. Beide Ausgänge des Dividers werden mit Dämpfungsgliedern beschaltet, um eine gute Entkopplung des VCO vom Rest der Schaltung zu gewährleisten. Die Dämpfungsglieder sind so dimensioniert, dass zum einen ein 1/16 Teiler (IC 4) sowie ein Breitbandverstärker (T1) angesprochen werden können. Das hinter dem Teiler (IC4) vorliegende Signal ist zu schwach um es direkt in den Phasenfrequenzdetektor (PFD) einzuspeisen. Deshalb wird es durch einen Komparator (IC3) des Typs AD790 verstärkt und danach an den PFD weiter geleitet.

Das durch den rückgekoppelten Transistor (T1) verstärkte Signal durchläuft ein weiteres Dämpfungsglied und erreicht dann den Mischer (IC6). Wir haben uns für

einen Ringdiodenmischer (SRA-1WH) der Firma Minicircuits entschieden. Billige Gilbertzellenmischer wie der SA602 brauchen zwar weitaus weniger LO-Leistung, haben dafür aber ein weitaus schlechteres Rauschverhalten und einen schlechteren Interception-Point, was den Dynamikbereich enorm verkleinert.

Um einen einigermaßen konstanten Conversation-Loss sowie einen guten Interception-Point zu erreichen, sollte der Mischer im Pass- und Stopband mit 50 Ohm belastet werden. Wir haben dieses Problem mit einem direkt auf den Mischer folgenden 6dB Dämpfungsglied gelöst.

Bis zum jetzigen Zeitpunkt ist leider noch nicht klar, ob wir die von der Firma Minicircuits angeforderten VCO als Muster erhalten werden. Sollte dies nicht der Fall sein, wird die Gruppe einen eigenen VCO im Bereich von 150-300MHz bauen. Dieser sollte so klein sein, dass er als hybride Schaltung auf der Oberseite der VFO/Mischer Schaltung Platz findet.

Die Abbildungen 7-4 und 7-5 zeigen Schaltung und Simulation des sich an den DDS anschließenden Tiefpassfilters. Die idealen Größen wurden bereit durch realistische Bauteile ersetzt.

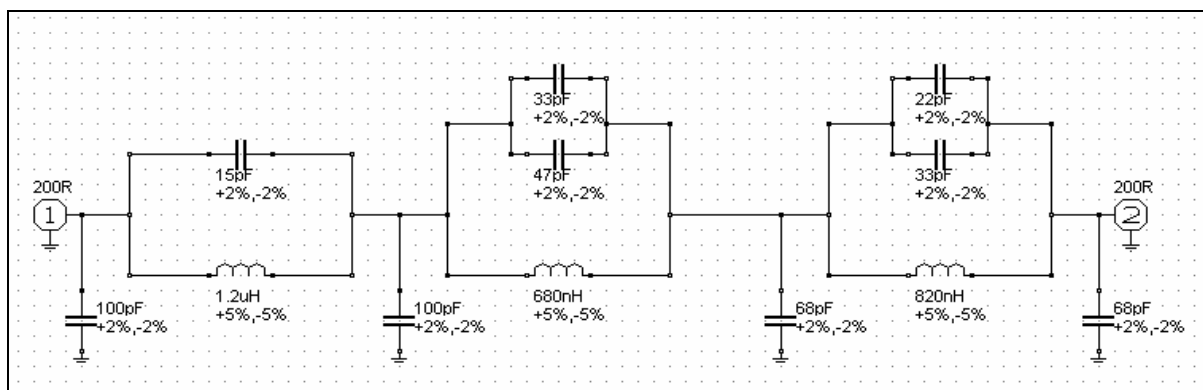


Abbildung 7-4: Schaltung des sich an den DDS anschließenden Tiefpassfilters



Abbildung 7-5: Simuliertes S21 des sich an den DDS anschließenden Tiefpassfilters

Abbildung 7-6 zeigt die Schaltung, Abbildung 7-7 die Ergebnisse zur Simulation der Bauelemente hinter dem VCO. Ziel war eine möglichst gute Anpassung zwischen VCO, Mischer und Prescaler (Frequenzteiler). Die Dämpfungsglieder sorgen einerseits für die richtige Signalstärke an den einzelnen Bauelementen, des Weiteren verbessern sie die Anpassung zwischen den einzelnen Stufen der Schaltung. Zusätzlich wurde die eingesetzte Verstärkerschaltung auf Stabilität überprüft. Wie man gut erkennen kann, ist der K-Faktor im gesamten Frequenzbereich größer als 1 und der Verstärker somit uneingeschränkt stabil.

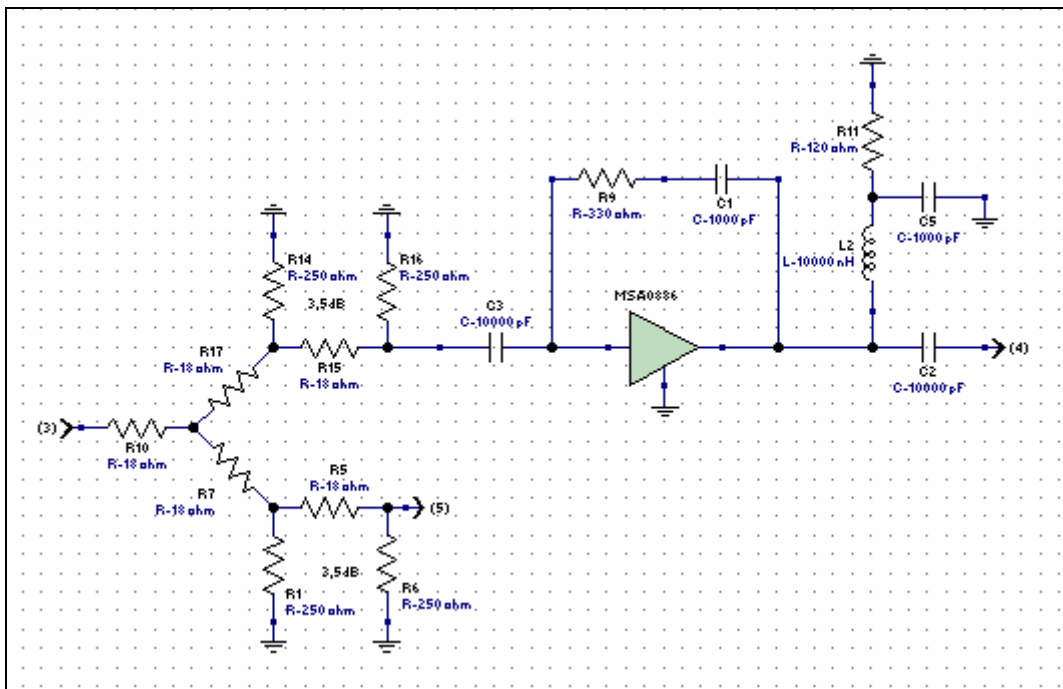


Abbildung 7-6: Bauelemente hinter dem VCO

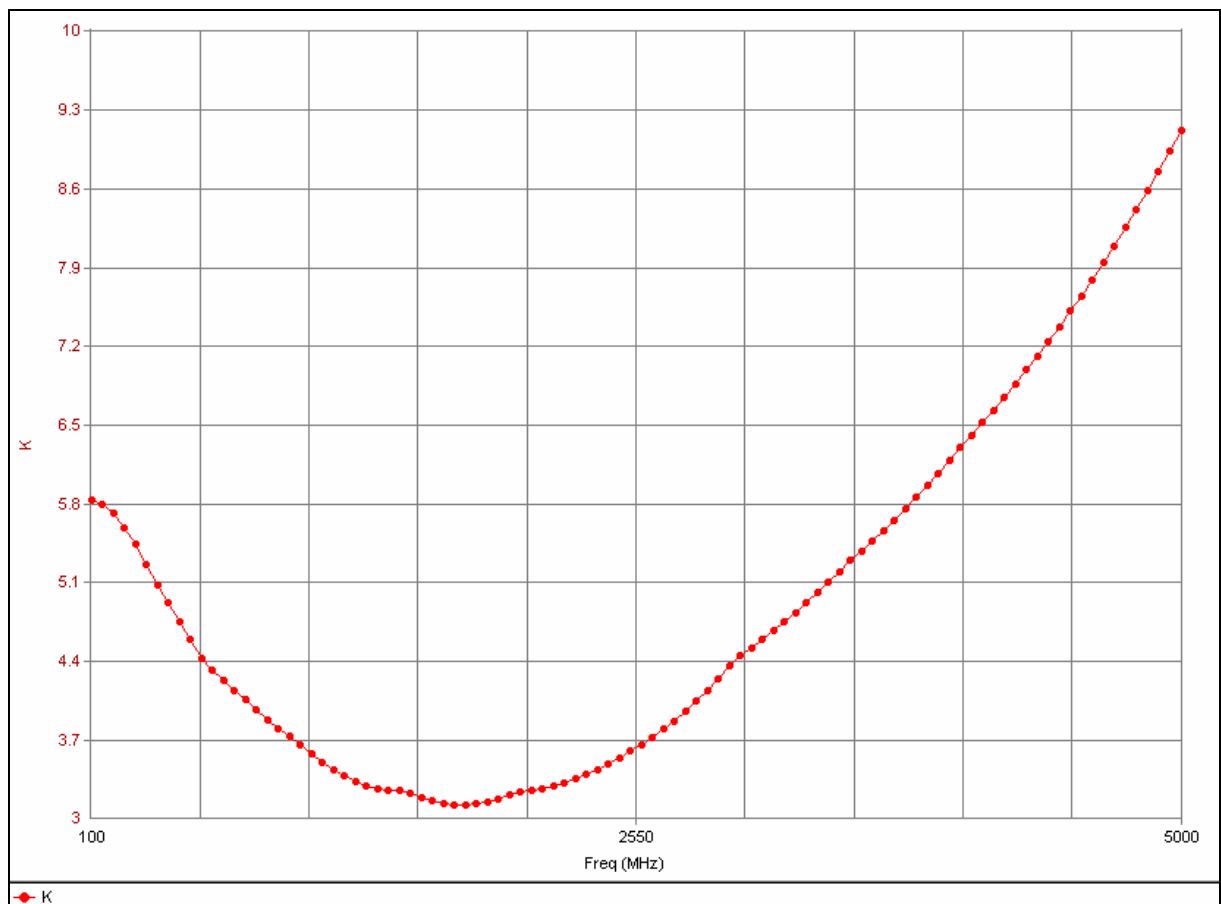
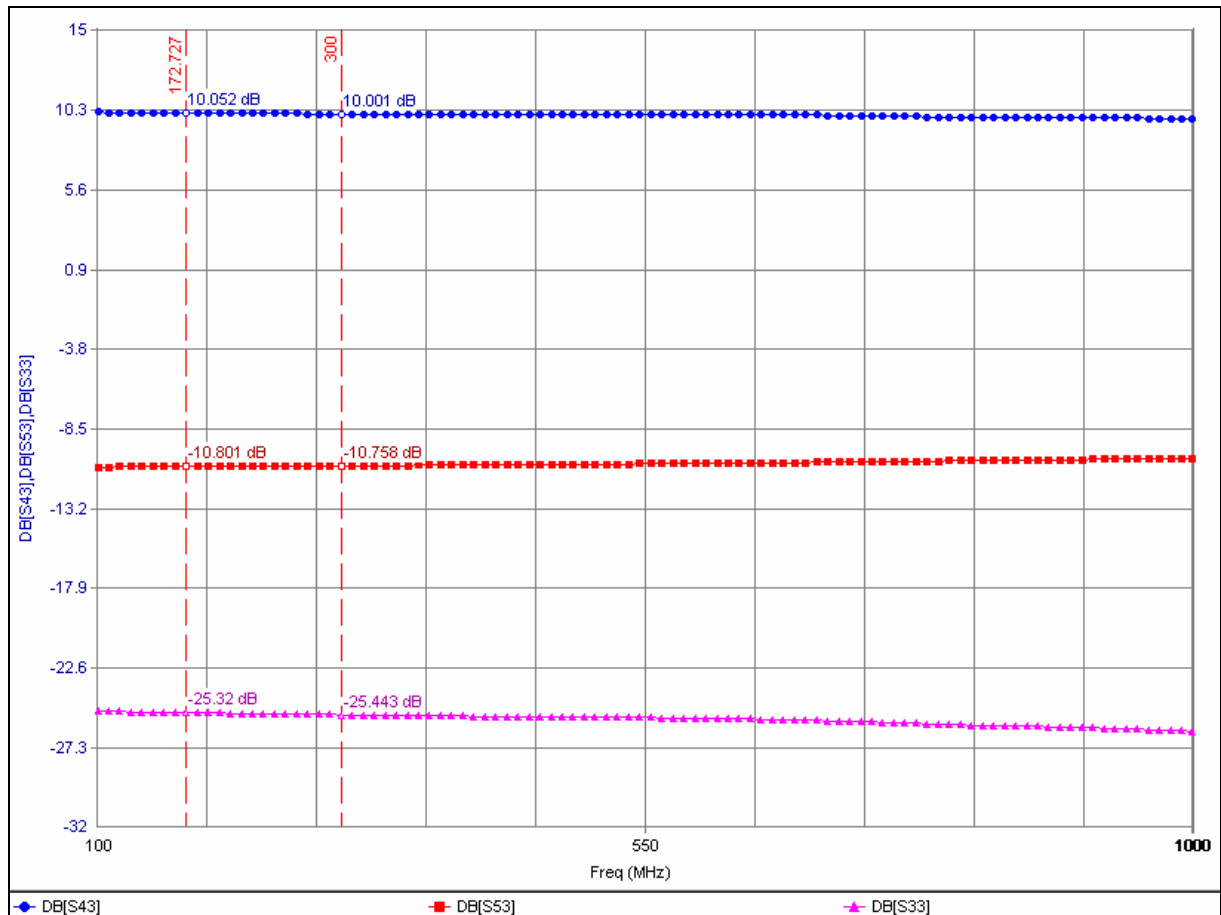


Abbildung 7-7: Ergebnisse zur Simulation der Bauelemente hinter dem VCO

Die gesamte Schaltung soll natürlich auf einer Leiterplatte aufgebaut werden. Dazu wurde mit dem Programm Protel ein Layout entworfen.

Ziel war eine Leiterplatte die klein im Vergleich zur Wellenlänge ist. Andererseits sollte die Schaltung so groß sein, dass alle Leiterbahnen auf einer Seite untergebracht werden können. Die von uns ausgewählte Größe 74mmx74mm kann später in ein Standard-Weißblechgehäuse eingelötet oder geklebt werden. Eine 2- und 3-dimensionale Vorschau des fertigen PCB zeigen die folgenden Abbildungen. Auf den Abdruck eines richtigen Layouts verzichten wir aufgrund der begrenzten Auflösung an dieser Stelle.

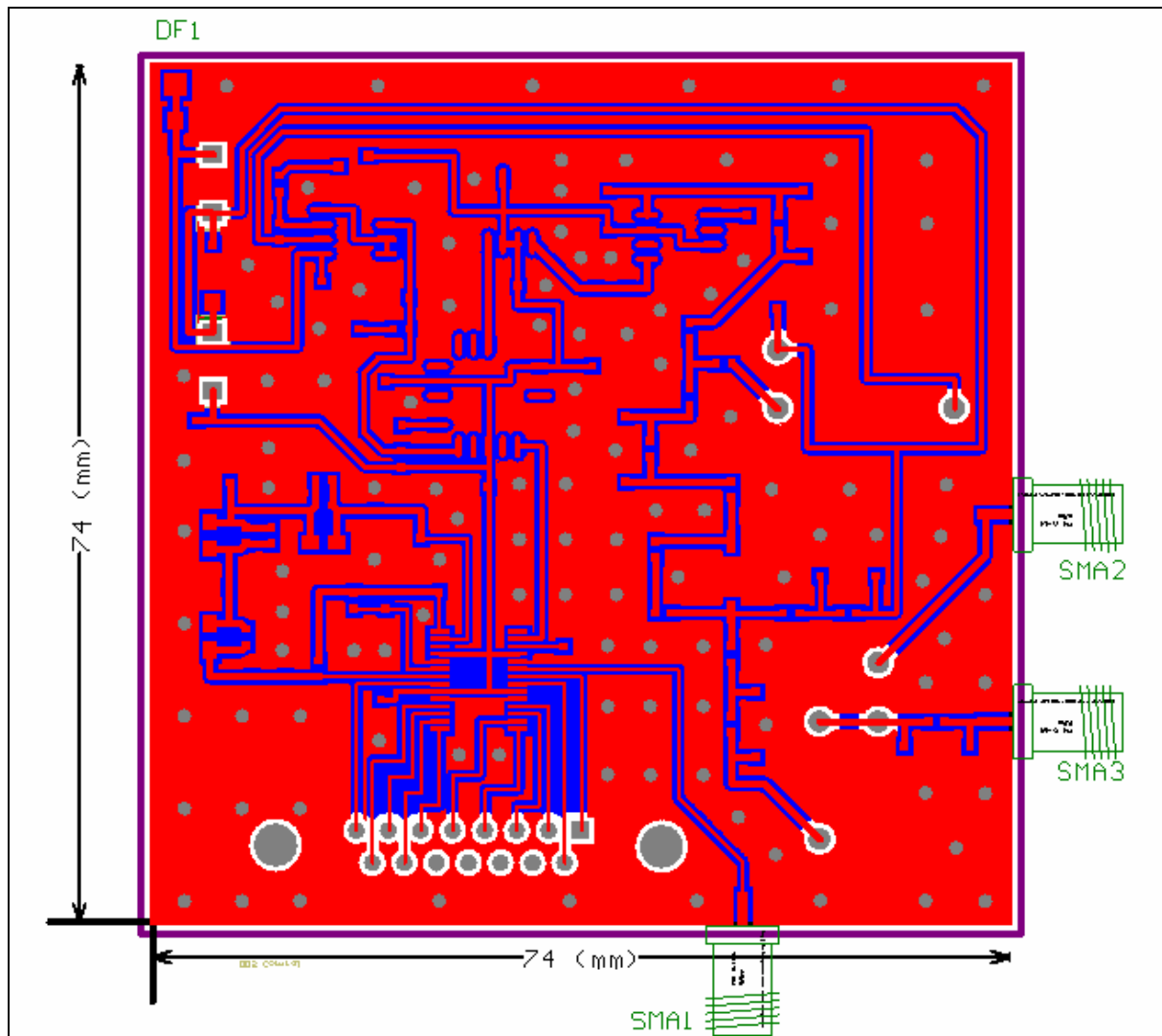


Abbildung 7-8 : 2D-Vorschau der Leiterplatte

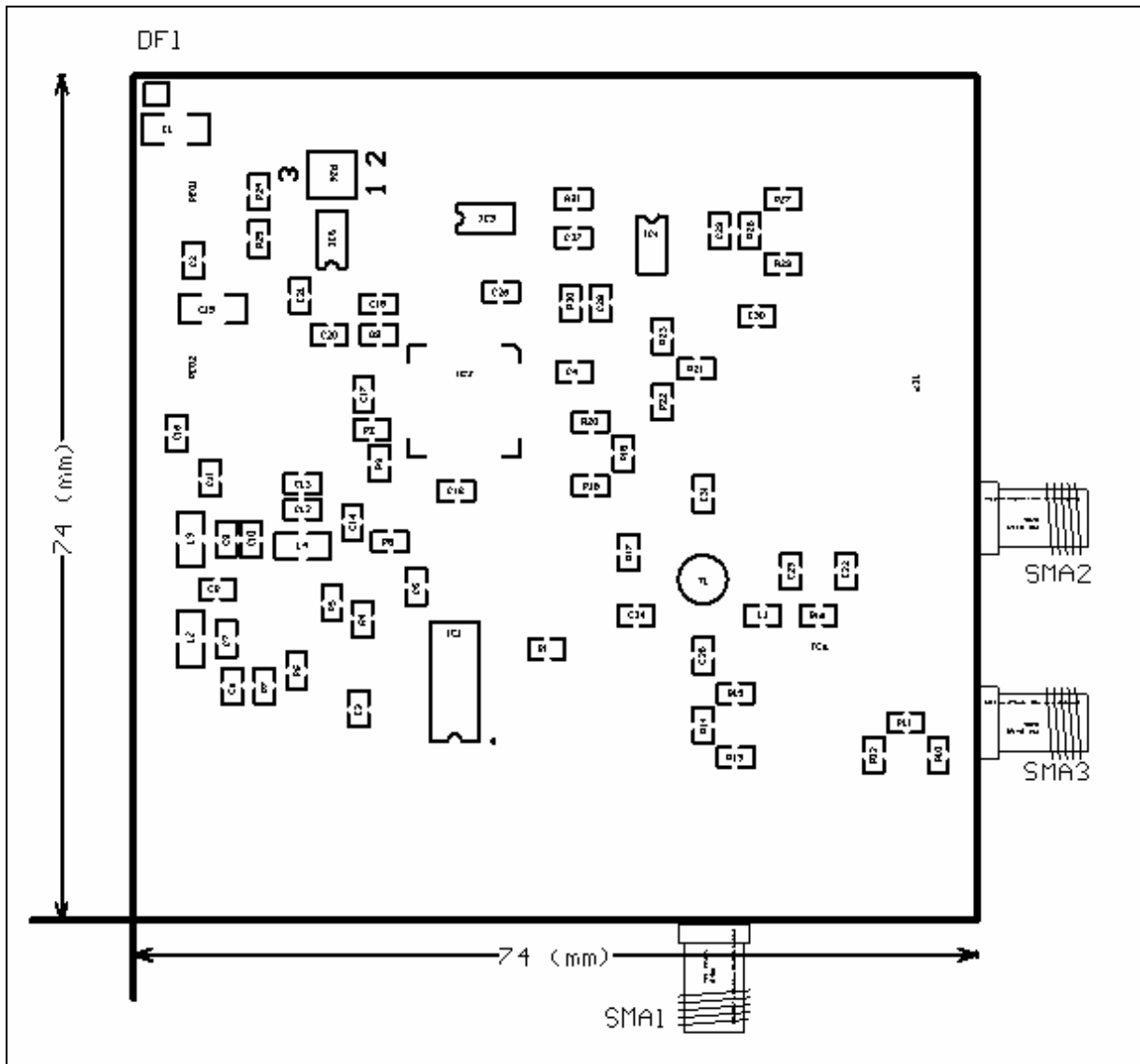


Abbildung 7-9: Bestückungsplan der Leiterplatte

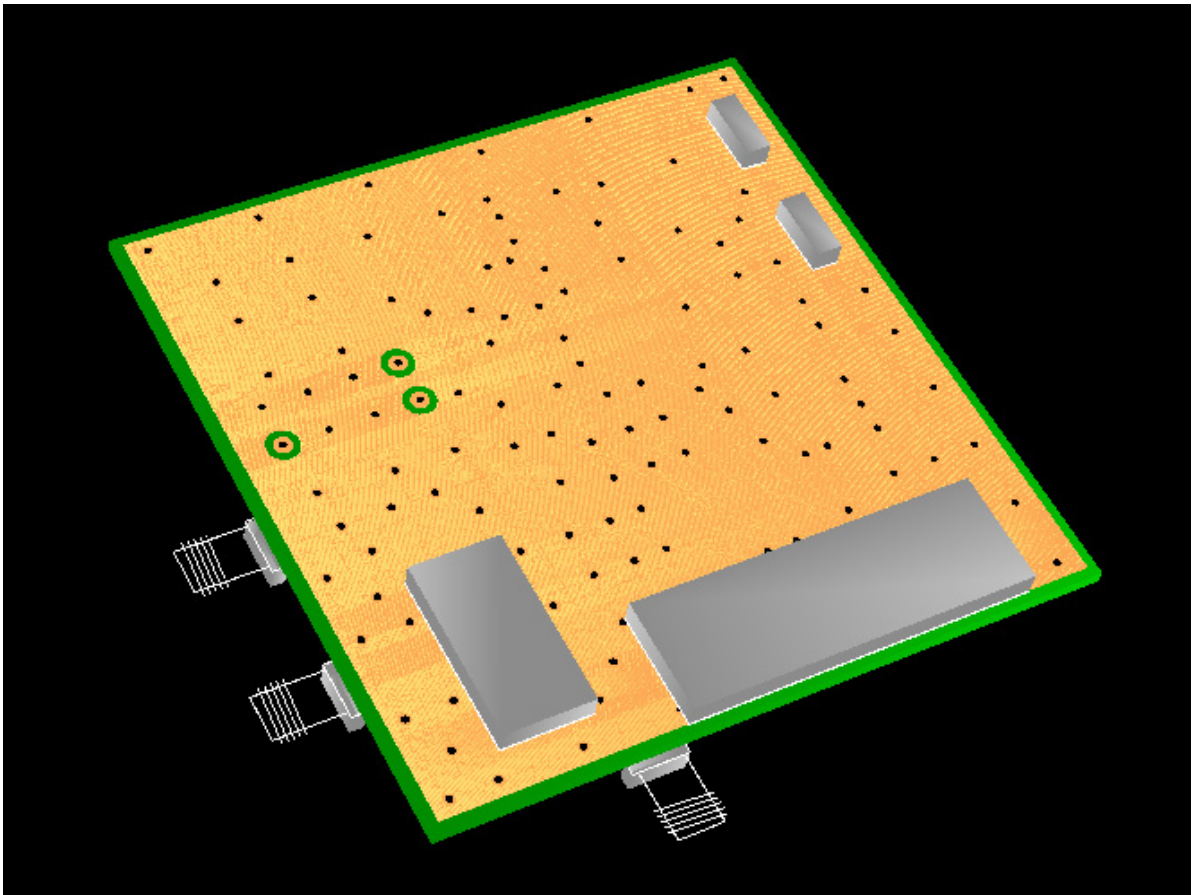


Abbildung 7-10: 3D Ansicht der Leiterplatte (untere Seite)

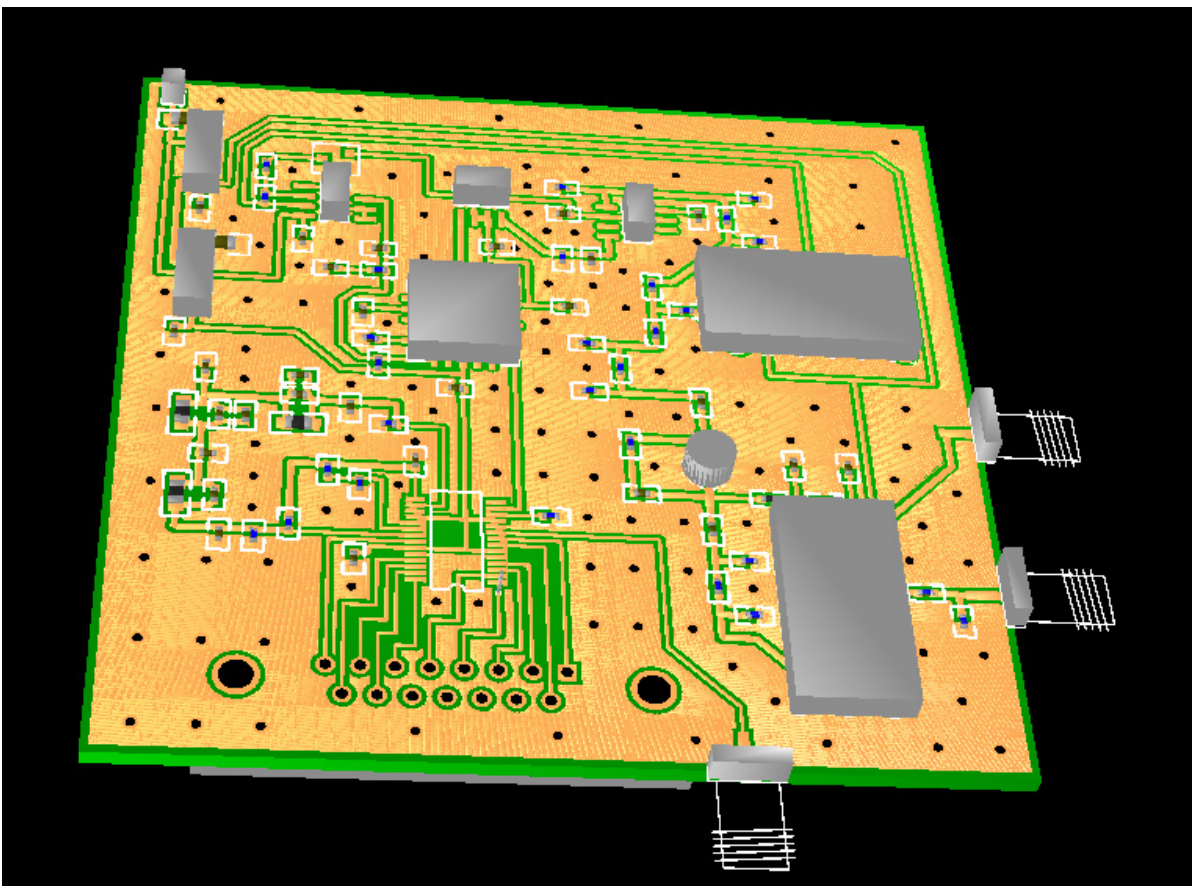


Abbildung 7-11: 3D-Ansicht der Leiterplatte (obere Seite)

7.1.4 Compline-Filter und PA

Das erste IF-Filter bei 170,7 MHz ist ein Compline-Filter 3. Ordnung mit 4 MHz Bandbreite. Es besteht aus parallelen Leitungsresonatoren, die auf einer Seite kurzgeschlossen und auf der anderen Seite kapazitiv gegen Masse gelegt sind. Dies ermöglicht die Verkürzung der Leitungslängen auf in diesem Fall 20° statt 90° .

Die Filterwirkung wird im Folgenden kurz beschrieben. Auf den Leitungen bilden sich nur dann stehende Wellen aus, wenn sie die Randbedingungen Kurzschluss und Leerlauf erfüllen können, d.h. nur für nahezu diskrete Wellenlängen bzw. Frequenzen. Alle anderen Wellen löschen sich durch destruktive Interferenz auf der Leitung aus. Da aber die parallelen Leitungen induktiv und kapazitiv verkoppelt sind, können nur die Frequenzen überkoppeln, die ein Spannungs- und ein Strommaximum auf der Leitung besitzen, also nur die diskreten Frequenzen, die die Randbedingungen erfüllen.

Problematisch ist, dass natürlich alle Harmonischen einer bestimmten Frequenz die Randbedingungen auch erfüllen, das Filter hat also einen periodisch wiederkehrenden Durchlassbereich (vgl. Abb. 7-14). Deshalb wurde die Ausgangsanpassung der PA als Tiefpass mit einer Grenzfrequenz von 250MHz ausgeführt.

Der PA ist ein rückgekoppelter Transistor des Typs MSA0886, der am Ausgang mit einem LC-Filter angepasst wird. Die 100nF-Kondensatoren dienen der Gleichspannungsentkopplung. Die Versorgungsspannung wird über einen Vorwiderstand und eine Spule zum Abblocken der HF zugeführt. Der Vorwiderstand dient zum Einstellen des Arbeitspunktes (7,8V; 36mA).

Der 1dB-Kompressionspunkt des Verstärker liegt bei 12.5dBm und der TOI (3rd order interception point) bei 27dBm. Die Rückkopplung ist aufgrund der hohen Verstärkung zur Stabilisierung notwendig, die Verstärkung bei 170,7 MHz beträgt dann ca. 25dB.

Aus Abb. 7-15 wird ersichtlich, dass die Reflexionsfaktoren der Schaltung bei etwa -20 dB liegen und dass ein Eingangssignal bei 170,7 MHz um 20dB verstärkt wird, bei gleichzeitiger steiler Filterung.

Die Platine wurde in Microstrip-Technik layoutet, d.h. die Unterseite ist eine vollständige Massefläche, die zusammen mit den oberseitigen Leiterbahnen Wellenleiter mit dem Wellenwiderstand 50 Ohm bildet.

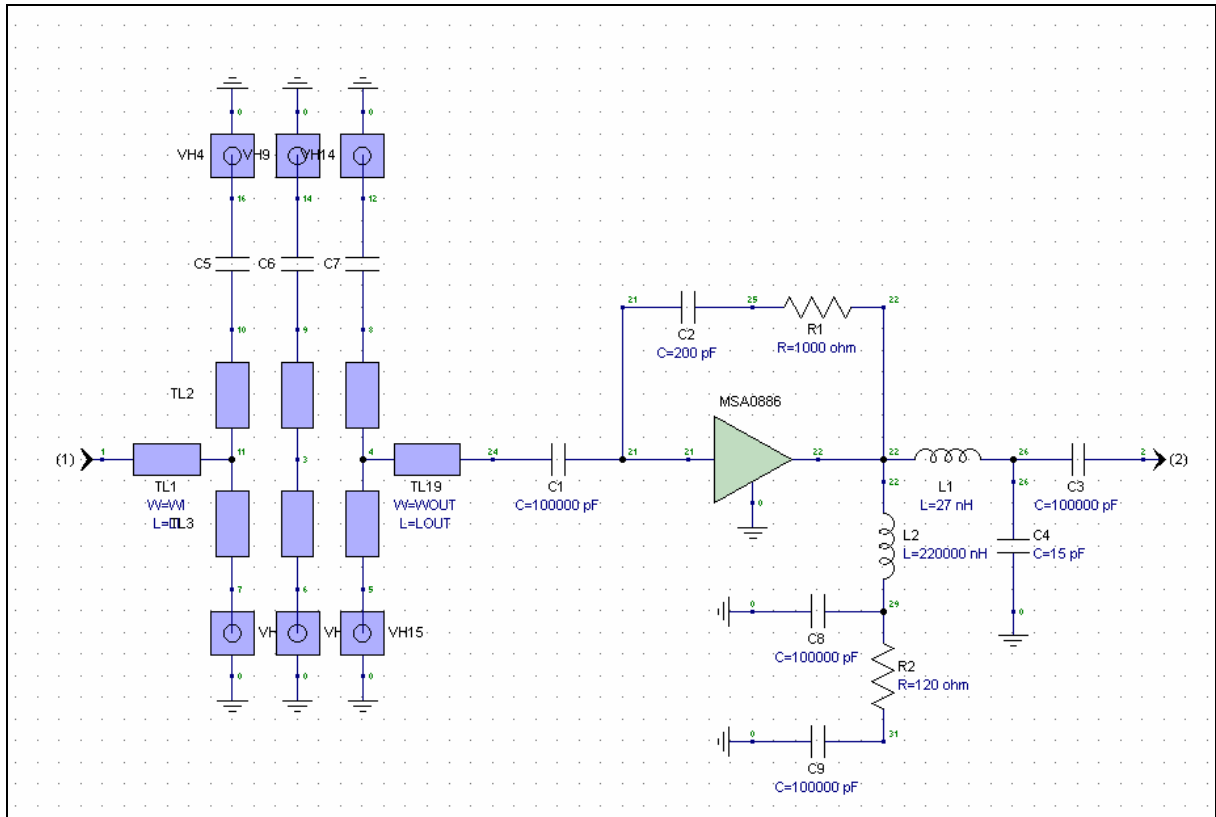


Abbildung 7-12: Schaltplan des Filters und des Verstärkers

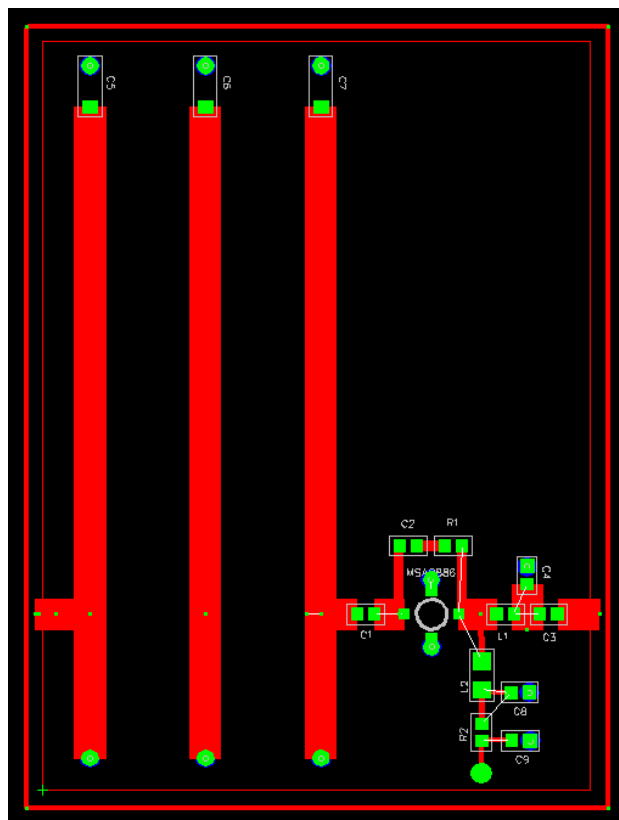


Abbildung 7-13: Layout der Filterplatine

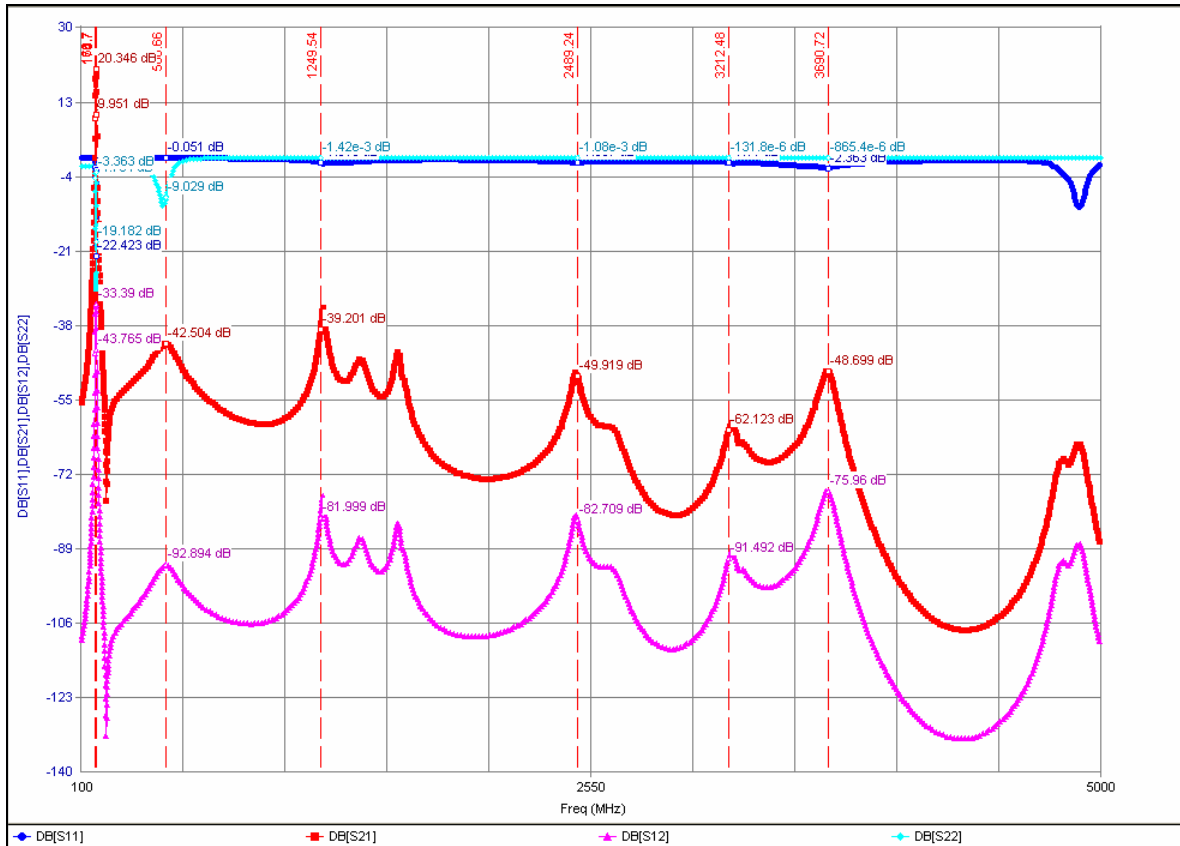


Abbildung 7-14: Simulierte S-Parameter des Comblaine-Filters und des Verstärkers von 100 bis 5000 MHz

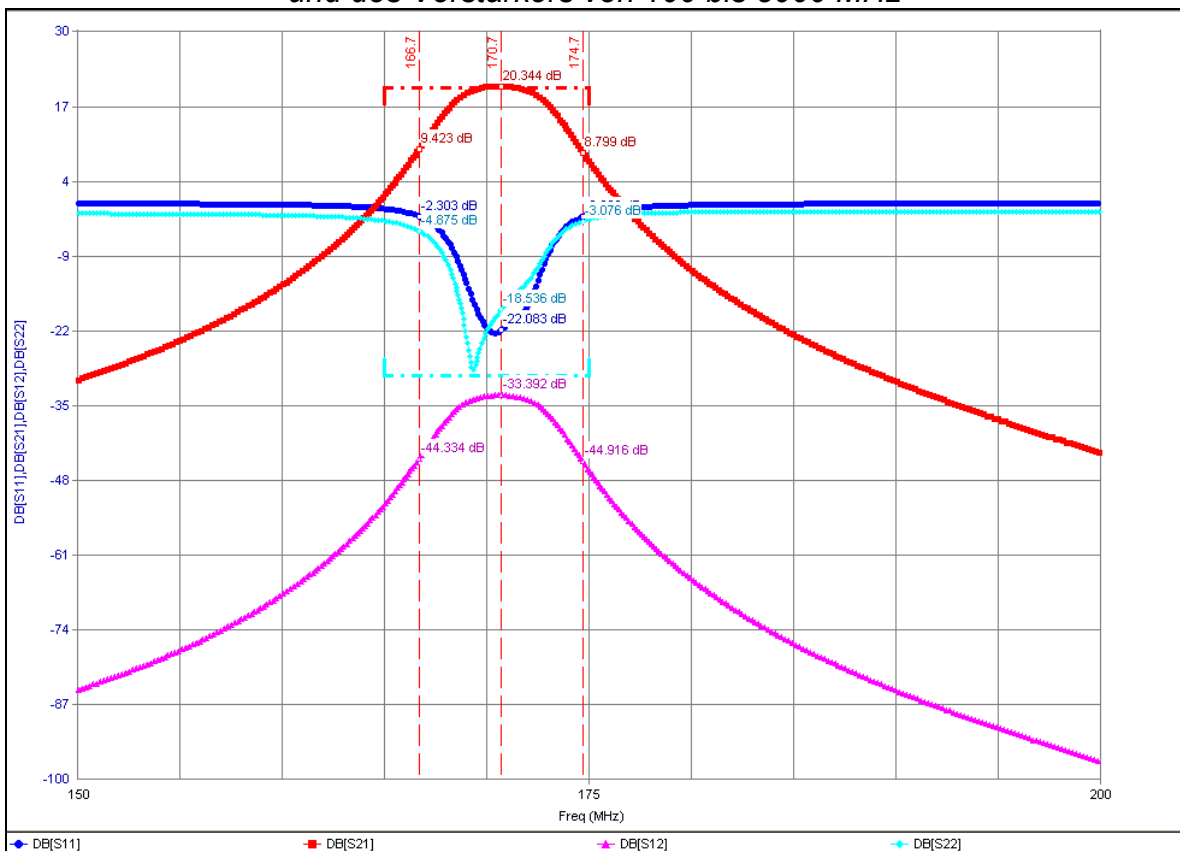


Abbildung 7-15: Simulierte S-Parameter des Comblaine-Filters und des Verstärkers von 150 bis 200 MHz

7.2 Frequenzanalyse-Modul

7.2.1 Zielvorgaben

Unsere Gruppe bildet den zweiten Analogteil. Hauptaufgabe ist die schaltungstechnische Realisierung eines Lokaloszillators und die Beschaltung eines FM-Mischers. Unsere Platine stellt die Verbindung zwischen Frequenzsynthesegruppe und der Digitalgruppe dar, d.h. die Verarbeitung der modulierten Zwischenfrequenz und der Bereitstellung einer analogen Spannung.

7.2.2 Planung

Der erste Teil unserer Aufgabe bestand darin, einen Oszillator zu bauen der eine stabile Frequenz von 160 MHz liefert. Für uns gab es zwei Möglichkeiten. Einmal den Aufbau eines Quarzoszillator oder einer PLL (Phase Locked Loop). Eigentlich wollten wir einen Quarzoszillator bauen, der dann aber nach Absprache mit der Frequenzsynthesegruppe wieder verworfen wurde, weil der Vorteil einer PLL Schaltung hinsichtlich der Stabilität im Frequenzbereich unschlagbar ist. Trotzdem möchten wir den Quarzoszillator vorstellen, da wir bis jetzt noch nicht voraussagen können, ob die PLL ordnungsgemäß funktionieren wird.

Im zweiten Teil werde ich den FM-Mischer in Funktion und Arbeitsweise beschreiben. Insgesamt sind der Schaltplan und das Platinenlayout fertig gestellt.

7.2.3 80-Mhz Quarzoszillator mit Frequenzverdoppler

Die gebräuchlichsten Quarzoszillatoren sind Colpitts-, Clapp-Guriett- und Pierceoszillatoren.

Mit Hilfe von modularen HF-Verstärkern (MMIC - Monolithic Microwave Integrated Circuit) in 50 Ohm Technik können wir auf relativ einfache Art sehr hochfrequente Quarzoszillatoren mit niedrigem Phasenrauschen bauen. Vorteil ist der klare Aufbau und die Spezifikation in Einzelstufen, insbesondere wenn die Begrenzungsfunktion mit Diodenbegrenzern oder einer AGC-Schaltung (automatische Verstärkungsregelung) getrennt durchgeführt wird, so dass die Verstärker nicht in die Sättigung getrieben werden. Je nach Zahl der Stufen und deren Phasendrehung handelt es sich im Prinzip um eine Pierce- oder Heergnerschaltung. Die Abbildung zeigt unseren ersten Oszillator mit einem 80-MHz SC-Quarz. Die Amplitude wird mit einem Schottky-Diodenbegrenzer ausgeführt, alternativ ist eine einstellbare AGC-Schaltung aufgeführt.

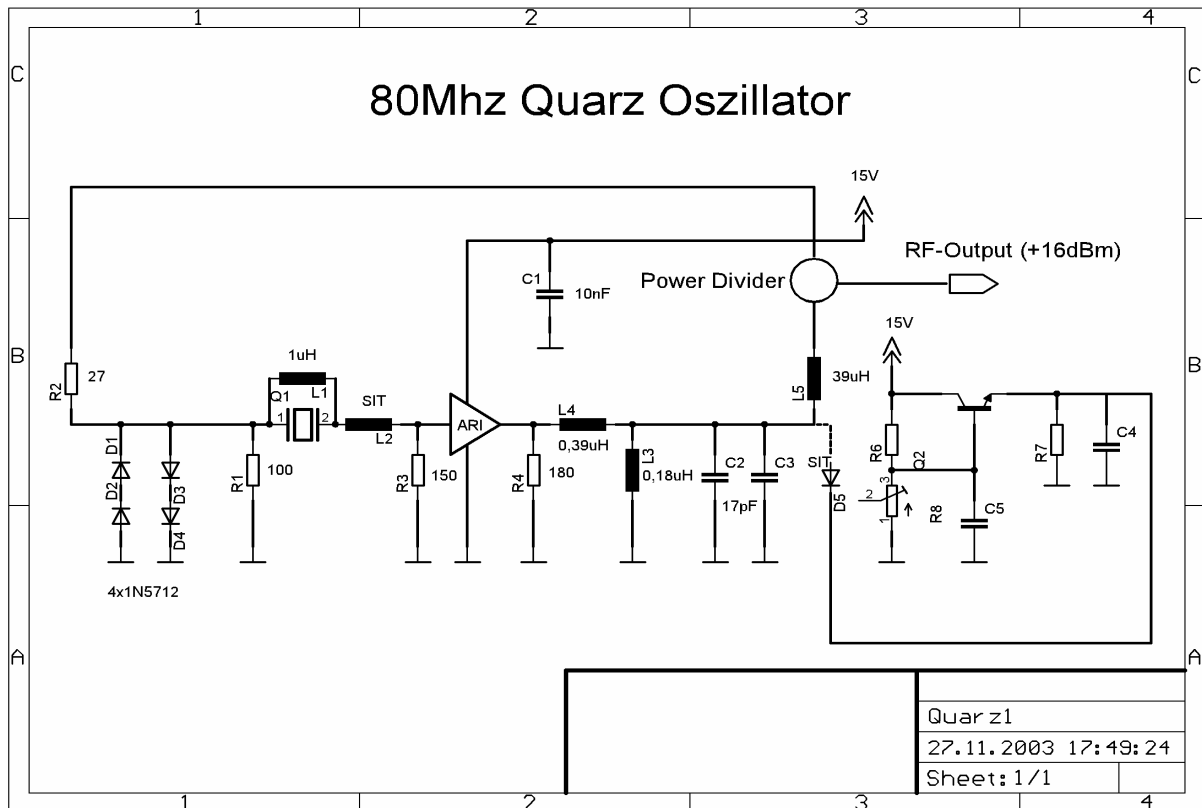


Abb. 7-16: 80 Mhz Quarz-Oszillator

In unserer Schaltung ist der 80-MHz Quarz gegen Masse geschaltet. Sein Impedanzverlauf wird durch eine L-C Transformationschaltung ($1/4$ -Leistung) invertiert, so dass die Serienresonanz hochohmig und die Antiresonanz niederohmig ist. Die Impedanz Z_0 der $\lambda/4$ -Schaltung ist so gewählt, dass sich eine möglichst hohe Betriebsgüte ergibt. Die obere Frequenzgrenze ist durch die Ziehfähigkeit des Schwingquarzes und durch unerwünschte Nebenresonanzen gegeben. Um den 80-Mhz Quarzoszillator auf 160-Mhz schwingen zu lassen, gibt es die Möglichkeit der Frequenzvervielfachung. Bei unserer Schaltung musste die Frequenz von 80 MHz verdoppelt werden. Wir hatten uns für einen digitalen Frequenzverdoppler entschieden. Der digitale Frequenzverdoppler bestand aus drei Gattern als Phasenschieber und drei NOR-Gattern. Um ein 50% Tastverhältnis am Ausgang zu erreichen, musste die Verzögerung auf die 80-MHz Signale genau 90° betragen. Die Verzögerung wurde mit Hilfe von Verzögerungsgliedern erreicht, d.h. das Signal muss um 2,78ns verzögert werden, dies entspricht dann einer 90° Phasenverschiebung.

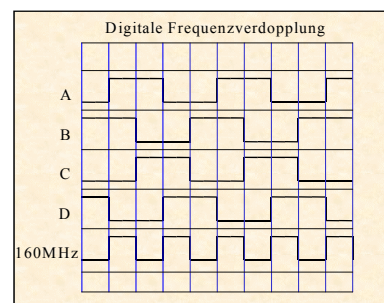
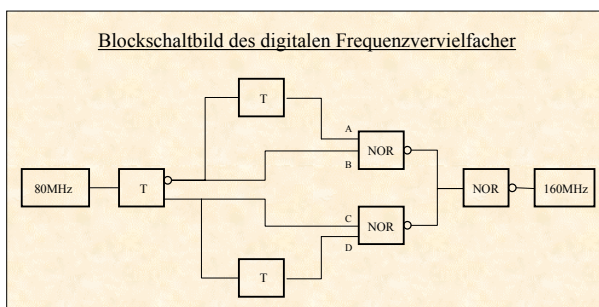


Abb. 7-17: Prinzip des digitalen Frequenzverdopplers

7.2.4 Der Lokoszillator (LO)

Der Lokoszillator hat unserer Schaltung einen zentralen Stellenwert. Er muss eine stabile und exakte Frequenz von 160 MHz bereitstellen. Mit dieser Frequenz wird der Mischer das modulierte Zwischenfrequenz-Signal demodulieren. Je exakter der LO ist, desto besser wird das Demodulationsergebnis.

Der LO wird mit Hilfe einer PLL-Schaltung aufgebaut. Das Blockschaltbild Abb. 7.2-3 zeigt die Übersicht der gesamten Schaltungskomponenten. Der Lokoszillator besteht aus einem digitalen Phasenvergleich, einem Schleifenfilter, einem OPV zur Einstellung des Tunebereiches, dem VCO, dem Frequenzteiler und dem Eingang des Referenzsignals.

Das Oszillatorsignal teilt sich nach dem VCO auf. Das erste Signal geht zum FM-Mischer und das zweite Signal zum Frequenzteiler. Falls der VCO nicht genau auf 160 MHz schwingt wird mit Hilfe des Phasenvergleichs eine Spannung generiert, die über das Schleifenfilter nochmals gefiltert wird, um dann den VCO auf den exakten Wert zu tunen.

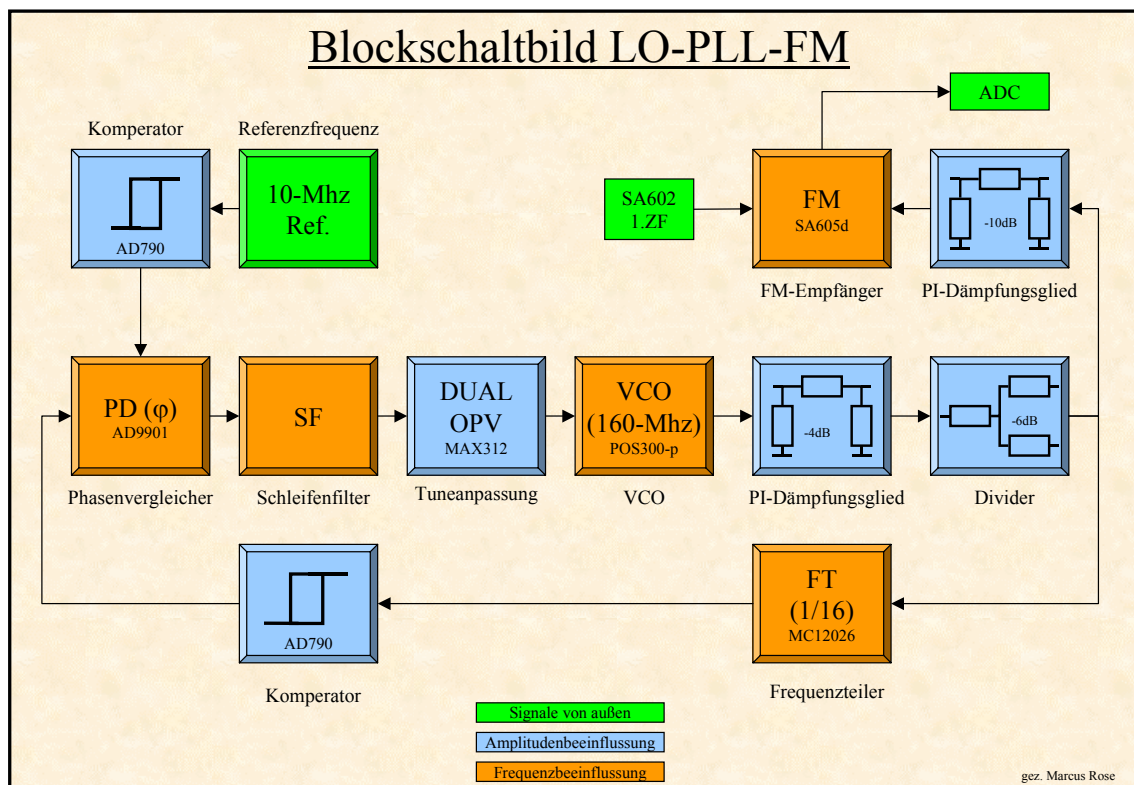


Abb. 7-18: Blockschaltbild der Gesamtschaltung

7.2.5 Das Mischerprinzip

Mischer sind Modulatoren, welche optimiert sind um Signale von einem gegebenen Frequenzbereich in einen anderen Frequenzbereich zu bewegen. Mischer haben zwei Eingänge, wobei ein Eingang als RF-Input bezeichnet wird (RF - radio frequency). Diesem Eingang wird in der Regel ein hochfrequentes Signal zugeführt. Der zweite Eingang wird mit LO-Input (LO local oscillator) bezeichnet. Der Ausgang wird als IF-Output oder ZF- Ausgang bezeichnet. Der Mischer nimmt die Spannung

am RF- Eingang und mischt diese mit der Spannung am LO- Eingang und erzeugt ein ZF- Ausgangssignal, welches die Frequenzkomponenten $f_{RF}+f_{LO}$ sowie $f_{RF}-f_{LO}$ enthält. Mit einem Bandpass können die gewünschten Signalkomponenten herausgefiltert werden. Wird die Summenfrequenz weiter verwendet so spricht man von einem upconverter und im Fall das die Differenzfrequenz verwendet wird von einem downconverter.

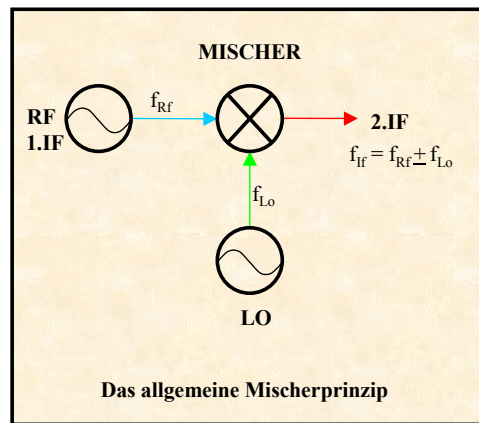


Abb. 7-19: Mischerprinzip

In unserem Mischer wird das 1. IF-Signal des ersten Mischers aus der HF- Lage bei 170,7-MHz mit der LO-Oszillatorfrequenz 160-MHz in die niederfrequente ZF –Lage bei 10.7MHz heruntergemischt. In diesem Signal sind neben dem erwünschten Signal oftmals auch unerwünschte Signale enthalten. Daher muss der Mischer zwischen IF- Output und RF- Input eine sehr hohe Linearität aufweisen. Ferner ist es wünschenswert, die Leistung am LO- Input so gering wie möglich zu halten, um ein Übersprechen zwischen den drei Signalen am Mischer zu minimieren.

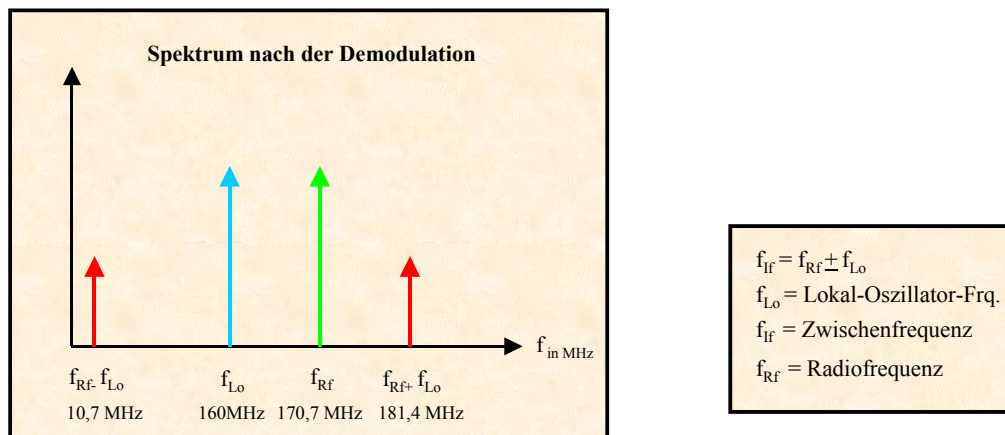


Abb. 7-20: Spektrum

7.2.6 Signalbeschreibung

Am Schaltungseingang wird über eine SMA-Buchse das sinusförmige Referenzsignal von 10 MHz über einen Komparator AD790 auf eine Rechteckspannung gebracht. Dies ist notwendig, da der Eingang(Ref_In) des Phasenvergleichers mit TTL-Logikpegeln arbeitet. Der Phasenvergleichers AD9901 ist digital mit Flip-Flops aufgebaut. Dort vergleicht er das Referenzsignal mit dem Oszillatorsignal. Falls eine Phasendifferenz auftritt, wird eine gemittelte „Korrekturspannung“ erzeugt. Diese

„Korrekturspannung“ wird mit Hilfe eines Schleifenfilters von störenden Einflüsse befreit und geglättet. Diese Spannung hat ein Offset von 3,2V. Um dieses zu beheben, benutzen wir den Dualoperationsverstärker MAX312 im Single-Supplybetrieb. Den Single-Supplybetrieb mussten einfügen, um die Anzahl der Spannungsregler zu minimieren. Der erste Teilverstärker ist ein einfacher Spannungsfolger. Der zweite Verstärker hat zwei Aufgaben. Einmal mit Hilfe der äußeren Beschaltung das Offset entfernen und andererseits den Bereich der Tunespannung von 0-5V zu erweitern, da der VCO POS-300p einen 5V Tuningbereich aufweist.

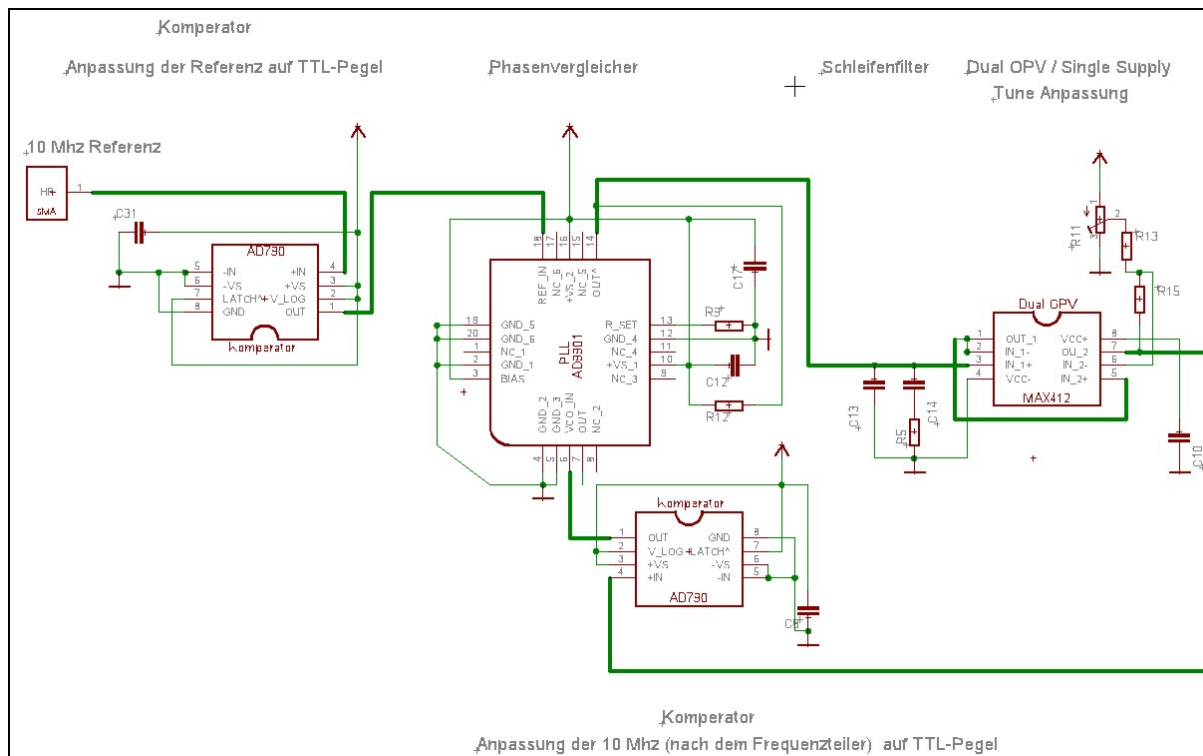


Abb. 7-21: Schaltplanteil-1

Der VCO soll im eingerasteten Zustand die geforderten 160-MHz liefern. Nun wird über einen Abschwächer die Ausgangsleistung von 10dBm auf 6dBm heruntergeregelt. Der anschließende Divider bereitet das Signal für den Frequenzteiler auf. Sein Eingang arbeitet in einem Bereich von -4dBm bis 4dBm . Der Frequenzteiler teilt die VCO-Frequenz durch 16., d.h. es werden im eingerasteten Zustand 10MHz am Ausgang zu erwarten sein. Die 10MHz werden nun über den zweiten Komparator AD790 auf TTL-Pegel gebracht und wieder im Phasenvergleich (VCO_IN) mit dem Referenzsignal verglichen.

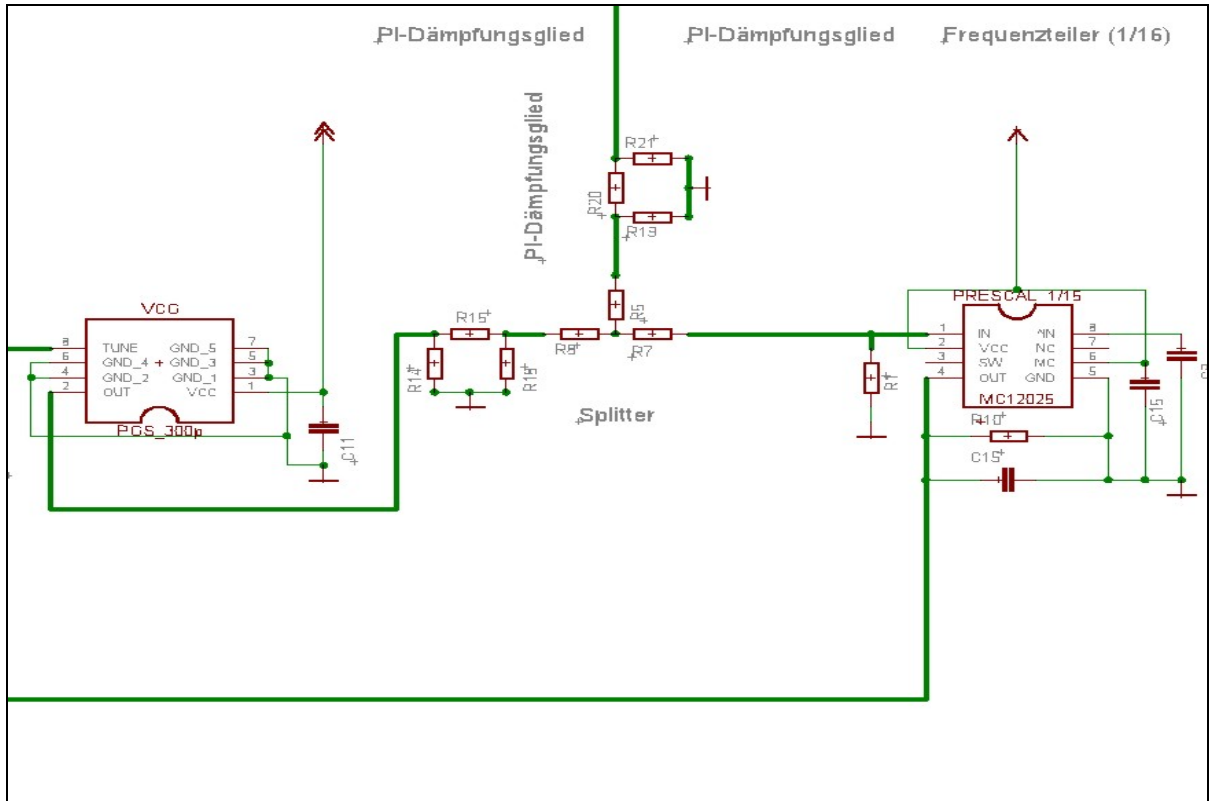


Abb. 7-22: Schaltplanteil-2

Für einen reflexionsfreien Abschluss sowie für eine optimale Leistungsübertragung ist am Mischer SA605d das Eingangs L-C-Netzwerk notwendig. Dieses passt die unterschiedlichen Impedanzen des Ein- und Ausgangskreises optimal an. Die genauen Berechnungen werden erst im Abschlussbericht beschrieben.

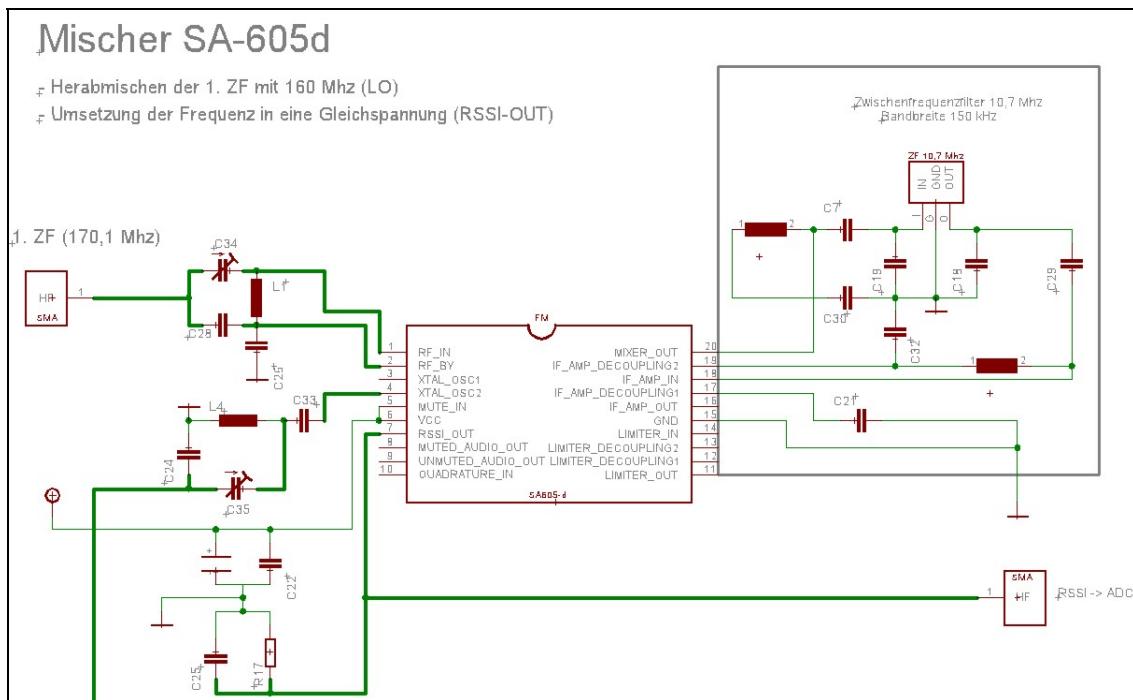


Abb. 7-23: Mischerbeschaltung

Der Mischer bekommt von außen über eine SMA-Buchse das 1.ZF-Signal von 170,7MHz (RF_IN) und die vom VCO POS300-p zur Demodulation bereitgestellten 160 MHz (XTAL_IN2). Die beiden Signale werden im Mischer miteinander multipliziert. Dabei entsteht unser zweites Zwischenfrequenzsignal von 10,7 MHz. Danach folgt eine anschließende Filterung(MIXER_OUT) mit dem Zwischenfrequenzfilter dessen Mittenfrequenz bei genau 10,7MHz liegt. Die Bandbreite des Filters beträgt + 150kHz. Zum Abschluss wird die jeweils zur Frequenz gefilterte Amplitude in eine analoge Spannung umgesetzt und zur Weiterverarbeitung an den ADC weitergeleitet.

Wir benötigen insgesamt 3 Spannungsregler, um alle Bausteine ordnungsgemäß mit Spannung zu versorgen. Der VCO POS-300p benötigt 12V, der Mischer SA605 6V, der Phasenvergleich AD9901, die Komperatoren AD790, der DualOPV MAX312 und der Frequenzteiler MC12026 benötigen 5V.

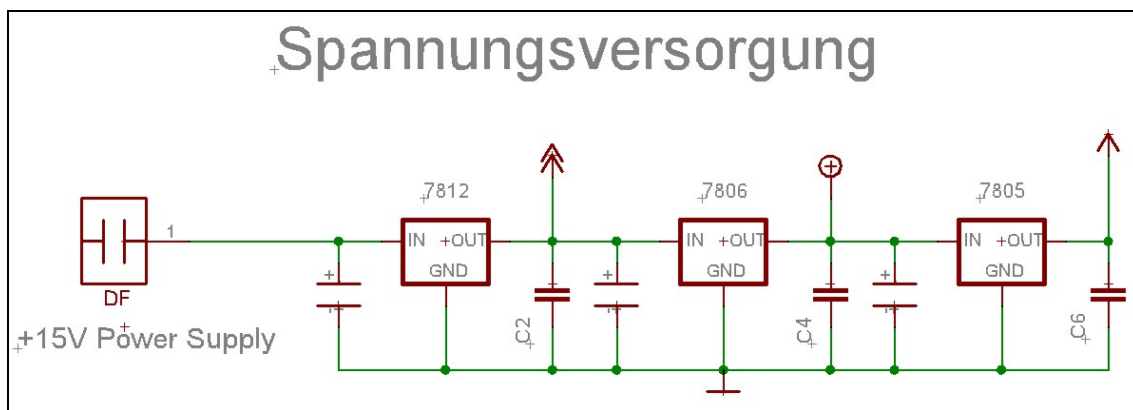


Abb. 7-24: Spannungsversorgung

7.2.7 Das Platinen-Layout

Das Layout wurde mit der Software Eagle erstellt. Die Größe der Platine wird ungefähr 50x70mm betragen. Die Platine wird noch vollständig durchkontaktiert und mit Masseflächen auf Rück- und Vorderseite überzogen.

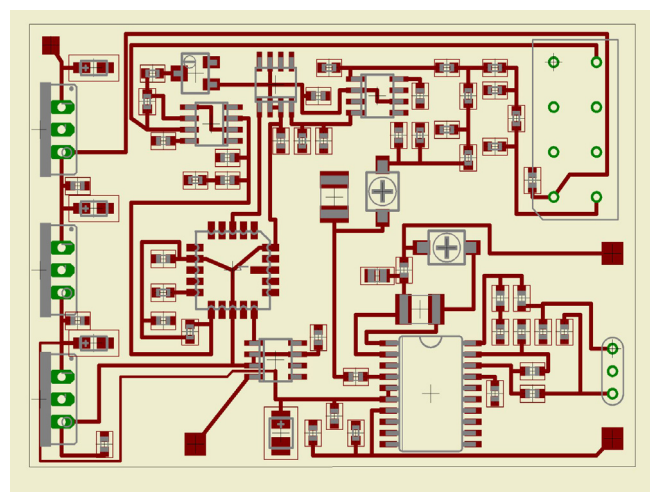


Abb. 7-25: Das vorläufige Platinenlayout

7.3 Steuerungs- und Verarbeitungsmodul

7.3.1 Funktionsweise

Das Steuerungsmodul im einfachen Spektrumanalysator steuert den Ablauf der Analyse des Spektrums eines Eingangssignals und verarbeitet die aufgenommenen Messwerte.

Die Steuerungs- und Verarbeitungsaufgaben werden durch einen Mikrokontroller erledigt. Zur weiteren Verarbeitung der Messdaten sowie zur Einstellung von Grenzfrequenzen und Auflösung des Messvorganges wird durch den Mikrokontroller ebenfalls die Kommunikation mit einem PC ermöglicht.

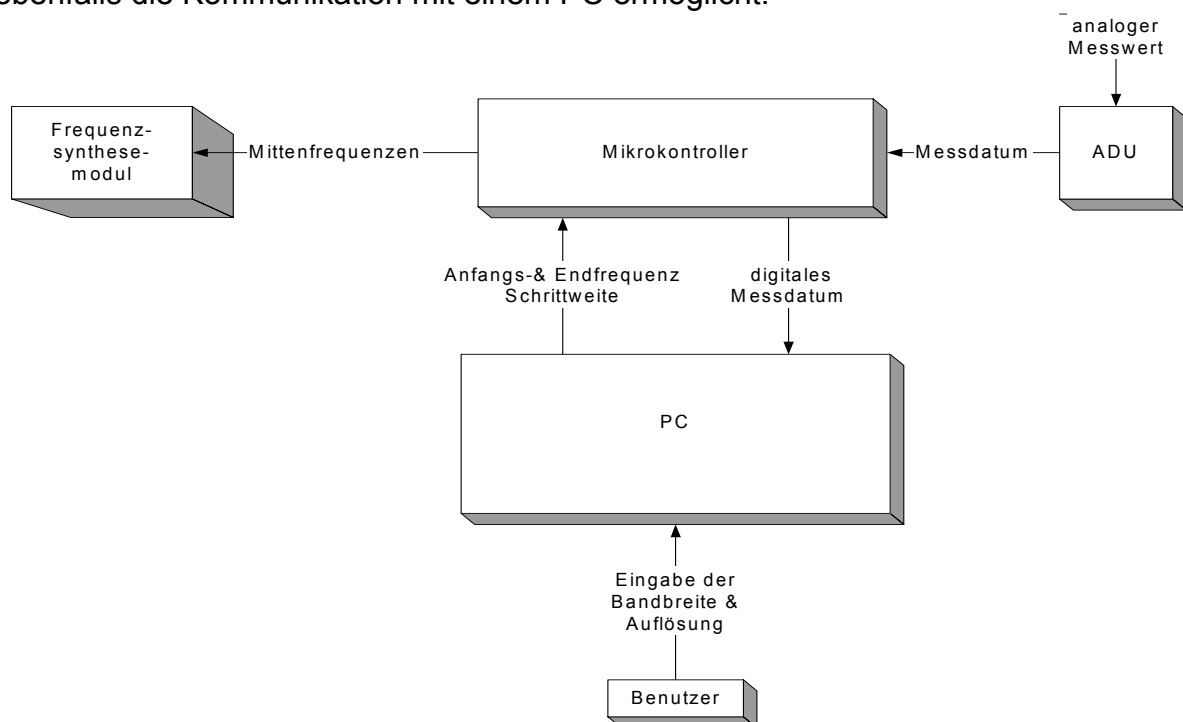


Abb. 7-26: Signalflussbild des Steuerungs- und Verarbeitungsmoduls

Der Steuerungs- und Verarbeitungsablauf beginnt mit der Übernahme der Parameter wie Bandbreite und Auflösung, die von der Software des PCs zum Mikrokontroller über eine serielle Schnittstelle übertragen werden. Die Parameter sollen auf dem PC durch den Benutzer gewählt werden. Nachdem der Mikrokontroller die Einstellungen für die Messung erhalten hat, sind für den Frequenzdurchlauf die Anfangs- und Endfrequenz sowie die Frequenzschrittweite gegeben. Damit ist die Initialisierung des Messvorganges beendet.

Der Messvorgang beginnt mit der Einstellung der ersten Mittenfrequenz. Dazu übermittelt der Mikrokontroller über eine Schnittstelle dem Frequenzsynthesemodul die Anfangsfrequenz. Am Ausgang des Frequenzanalysemoduls liegt eine analoge Gleichspannung an, die proportional zur Leistung des Eingangssignals bei der jeweiligen Messfrequenz ist. Dieser analoge Messwert wird mittels eines Analog-Digital-Umsetzers (ADU) in ein digitales Messdatum umgesetzt, welches vom Mikrokontroller aus dem ADU über eine weitere Schnittstelle ausgelesen wird. Das digitale Messdatum wird anschließend zum PC übertragen.

Zur Ermittlung des nächsten Messdatums wird durch den Mikrokontroller die nächste Mittenfrequenz am Frequenzsynthesemodul eingestellt und der obige Ablauf wiederholt. Der gesamte Messvorgang wiederholt sich bis zum Erreichen der Endfrequenz.

7.3.2 Anforderungen

Um den oben beschriebenen Messvorgang zu realisieren, sind folgende Anforderungen zu Stellen.

Für die Analog-Digitalumsetzung von einer Gleichspannung von 0 bis 5 V ist eine Auflösung von 20 mV mit 8-Bit-Datenwort für den einfachen Spektrumanalysator ausreichend. Damit werden hohe Anforderungen an die Genauigkeit der Referenzspannung sowie an die Größe des Auflösungsbereiches des ADU gestellt. Diese beiden Anforderungen werden durch externe Analog-Digital-Umsetzer hinreichend erfüllt.

Aufgrund der guten Erfahrungen am Fachbereich Elektronik mit der ATMEL-Mikrokontroller-Familie wurde die Wahl auf diese Mikrokontroller eingeschränkt.

Zur Kommunikation mit den beiden anderen Modulen und dem PC sind drei Schnittstellen zum Datenaustausch erforderlich. Für den Datentransfer zwischen Mikrokontroller und Frequenzsynthese-Modul, dem ADU sowie dem PC zur Programmierung des Mikrokontroller wurde das „Serial Peripheral Interface“ (SPI) ausgewählt. Aufgrund der Schnittstellenfestlegung RS-232 für den Datenaustausch zwischen PC und dem ATMEL-Mikrokontroller (ATMEL) benötigt der ATMEL einen „Universal Asynchronous Receiver/Transmitter“ (UART) und weiterhin einen externen Pegelumsetzer von TTL-Logik auf RS-232.

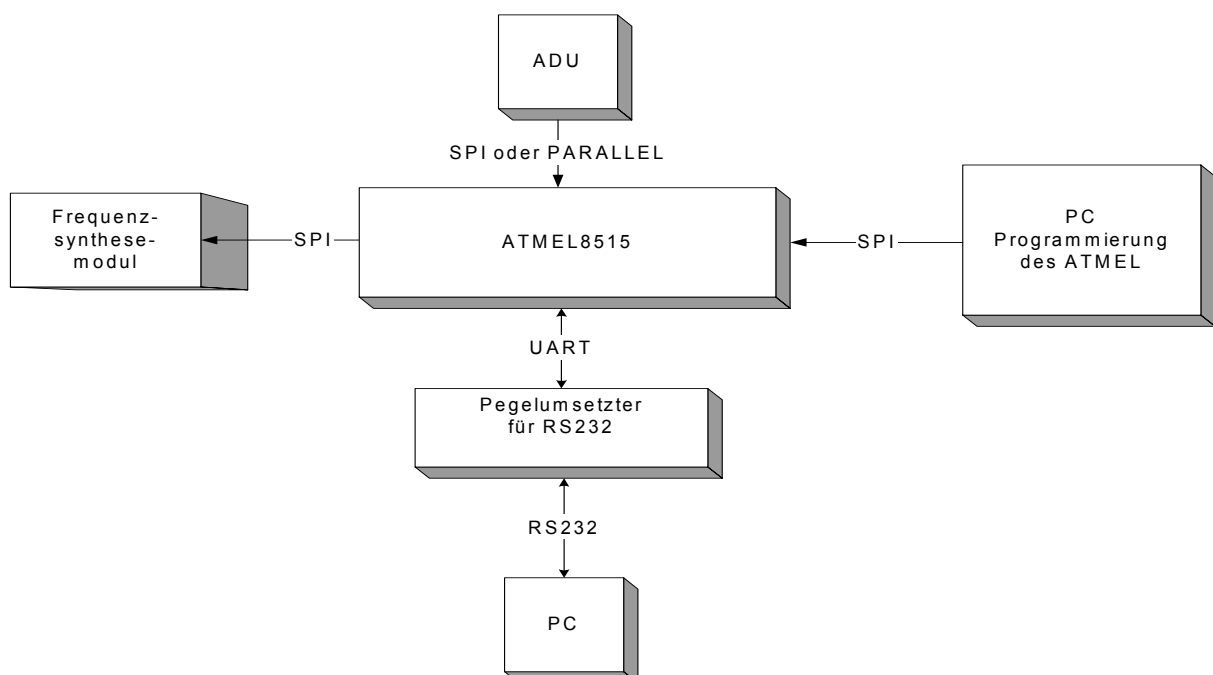


Abb. 7-27: Schnittstellen zwischen dem ATMEL-Mikrokontroller und der Peripherie

Diese Merkmale erfüllt der ATMEL-Mikrokontroller AT90S8515. Weiterhin war die Realisierung einer hohen Taktfrequenz innerhalb der AT90S-Serie ausschlaggebend, was bei diesem Kontroller bei einer Taktfrequenz von 8 MHz der Fall ist.

7.3.3 Realisierung

Zur Umsetzung der zentralen Versorgungsspannung von 15V Gleichspannung auf die im Steuerungs- und Verarbeitungsmodul benötigt 5V Gleichspannung wird der Spannungsregler L7805 im TO220-Gehäuse verwendet. Die Eingangsspannung V_{in} des L7805 sollte größer als 8V sein um eine gute Ausregelung von $V_{out} = 5V$ zu gewährleisten. In unserem Fall steht uns eine Versorgungsspannung von 15V zur Verfügung, wir benötigen aber nur 5 Volt, d.h. 8 Volt werden an unserem L7805 abfallen, was bei einem Strom von maximal 1A eine maximale Verlustleistung von 8 Watt entspricht! (DATENBLATT unter www.st.com „L7805“).

Zuerst fiel die Wahl für die TTL-RS-232-Pegelumsetzung auf den MAX233, da dieser eine einfache äußere Beschaltung (nur eine Kapazität) benötigt. Da er aber nur für einen Preis von 6 Euro erhältlich ist, fällt unsere Entscheidung auf den MAX232, denn er kostet nur 1/6 des vorher angegebenen Preises und erfüllt die Aufgabe ebenso. Wir nehmen lieber 4 weitere Kapazitäten für die äußere Beschaltung in Kauf, da diese Alternative die Kosten von 6 Euro nicht erreicht.

Der Datenaustausch mit dem Frequenzsynthese-Modul über die SPI-Schnittstelle wurde verworfen, denn für jede einstellbare Mittenfrequenz ist ein 32 Bit-Wort erforderlich. Für solch eine Wortlänge müssen 4x8 Bits über die Datenleitung geschoben werden, dies verlängert die Messdatenaufnahme. Ebenfalls wäre ein zusätzlicher Multiplexer oder ein Multiplexer mit 3 Umschaltmöglichkeiten erforderlich. Durch diese Erweiterung wird ebenfalls das Softwareprogramm komplexer. Aus diesem Grund erfolgt der Datentransfer synchron parallel über einen externen Port des ATMEL. Die Vorteile liegen im geringeren Aufwand der Ansteuerung bzw. im schnelleren Datenaustausch.

Da über die SPI-Schnittstelle zum einen der Datentransfer zwischen PC und Mikrokontroller realisiert wird und zum anderen die Daten aus dem ADU auslesen werden, findet in der Schaltung der Multiplexer 74HC4053 Verwendung. Die SPI-Schnittstelle besteht aus den folgenden Datenleitungen: MISO (Master in Slave out) ermöglicht den Datenaustausch vom ADU zum ATMEL, MOSI (Master out Slave in) ist notwendig für die Programmierung des AT90S8515 und SCK (Shift Clock) gibt den Takt für den synchronen Datentransfer vor.

Der 74HC4053 besteht aus drei 1-zu-2 Multiplexern und wird in der vorliegenden Schaltung voll ausgenutzt. Damit es zu keinen Fehlschaltungen kommt, sind die Schalteingänge des Multiplexers kurzgeschlossen, so dass immer alle SPI-Leitungen an der gleichen Peripherie anliegen.

Um den ATMEL in den Programmiermodus zu bringen, muss der /RESET-Eingang des Mikrokontrollers während der gesamten Dauer der Programmierung auf Masse (GND) gezogen werden. Dies kann der Beschaltung des 10-poligen Wannenstecker (ISP) entnommen werden. Somit wird der ATMEL zur Programmierung vom PC aus auf /RESET gesetzt.

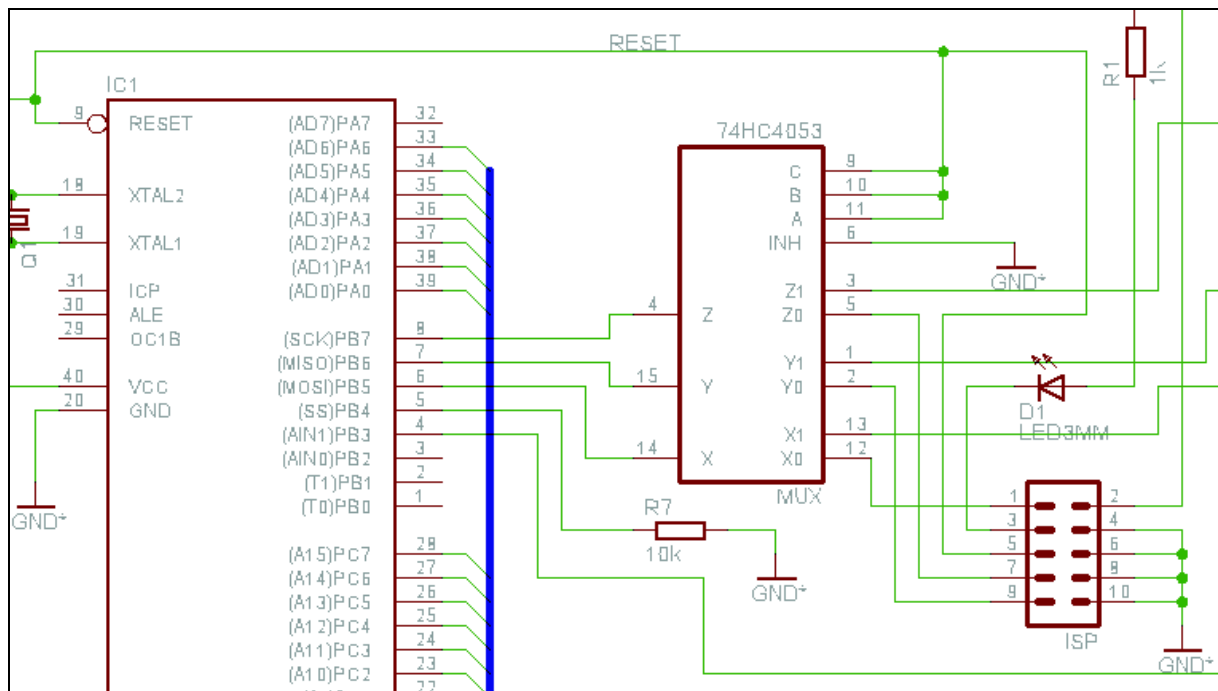


Abb. 7-28: Beschaltung des Multiplexers 74HC4053 und der Realisierung der Programmierung des ATMEGA mittels ISP-Steckverbindung

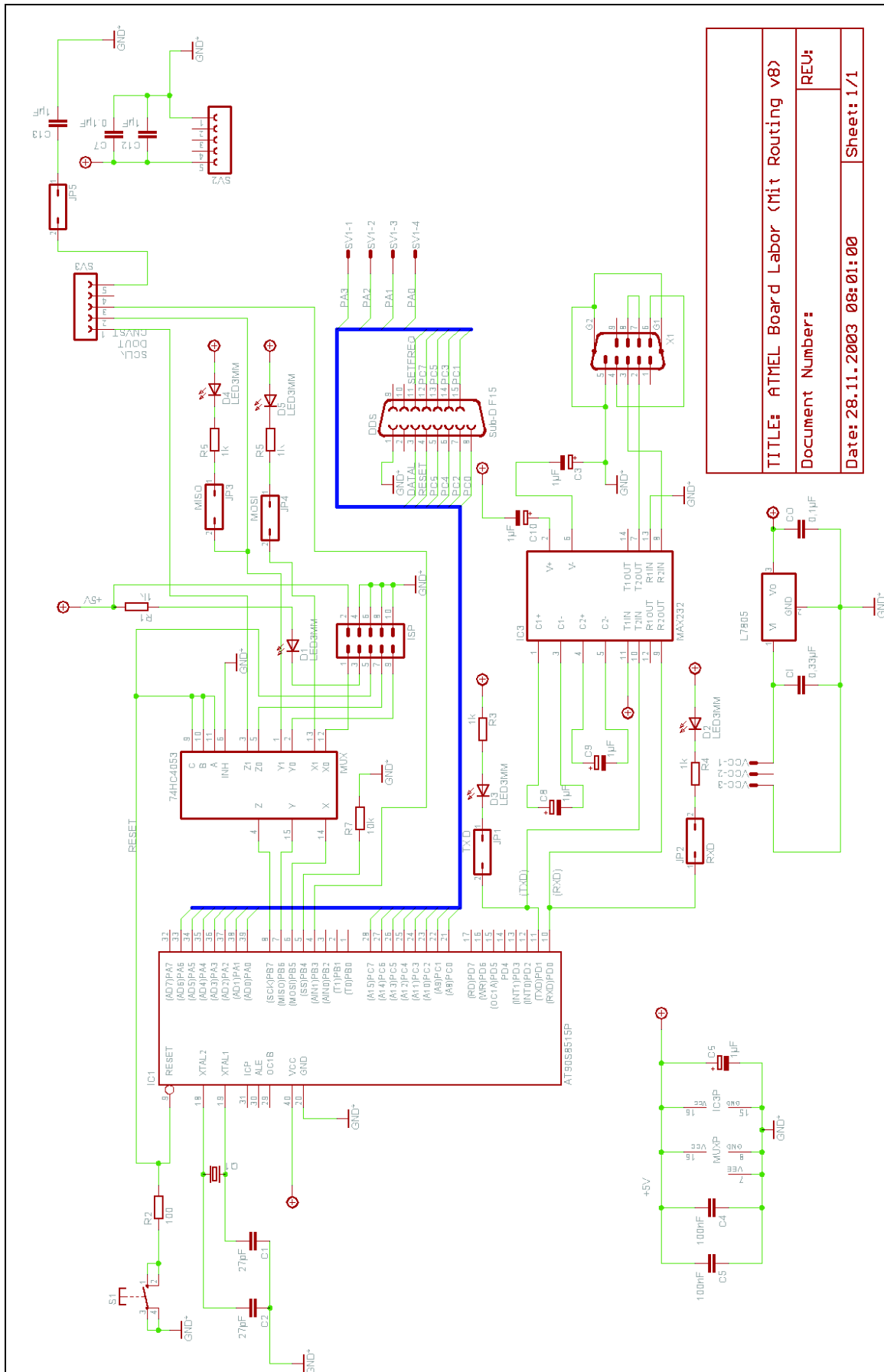
Auf Grund einer sehr geringen Anzahl von noch freien externen I/O-Pins des ATMEGA-Mikrokontrollers (keine 8 I/O-Pins mehr frei) bestand nur die Möglichkeit, die Daten der externen ADU mittels serieller SPI-Datenübertragung zum ATMEGA zu übertragen.

Für den großen Auflösungsbereich von 0-5V und serieller SPI-Schnittstelle stehen nicht viele ADUs zur Verfügung. Da die Kosten des gesamten Projekts möglichst gering gehalten werden sollen und daher auf Samples zurückgegriffen werden soll, wurde der Analog-Digital-Umsetzer AD7478 der Firma „Analog Devices“ als alle unsere Anforderungen erfüllendes Bauteil ausgewählt.

Für die optionale Ansteuerung von verschiedenen Zwischenfrequenzfiltern des Frequenzanalyse-Moduls wurden 4 externe I/O-Pins vom ATMEGA reserviert und an einen 4-poligen Printstecker geführt.

Die Realisierung unseres Steuerungs- und Verarbeitungsmoduls erfolgt in zwei Schritten. Im ersten Schritt erfolgte die Entwicklung eines Test-Boards mit Möglichkeiten zur Evaluierung von Pegelzuständen auf Datenleitungen. Daher können LEDs mit Jumpers zu ihren zugehörigen Leitungen hinzugeschaltet werden. Aufgrund zeitlicher Lieferprobleme der Firma Analog Devices wurde der ausgewählte ADU nicht auf dem Test-Board untergebracht, sondern eine 10-polige Steckverbindung für selbst zu entwickelnde ADU-Adapter berücksichtigt. Dadurch besteht die Möglichkeit verschiedene ADUs zu nutzen. Es liegen Samples von Maxim (MAX1118 und den MAX1119) vor. Leider können diese ADUs nur einen Auflösungsbereich von 0- 4,096V digitalisieren und entsprechen somit nicht dem gewünschten Auflösungsbereich von 0-5V. Als zweiter Schritt werden eine Revision des Platinenlayouts sowie eine Miniaturisierung des Layouts vorgenommen. Auf der Endfassung des Platinenlayouts soll auch der ADU AD7478 integriert werden.

7.3.4 Schaltplan



TITLE: ATMEL Board Labor (Mit Routing v8)
Document Number:
Date: 28.11.2003 08:01:00
Sheet: 1/1

Abb. 7-29: Schaltplan des Steuerungs- und Verarbeitungsmoduls

7.3.5 Platinenlayout

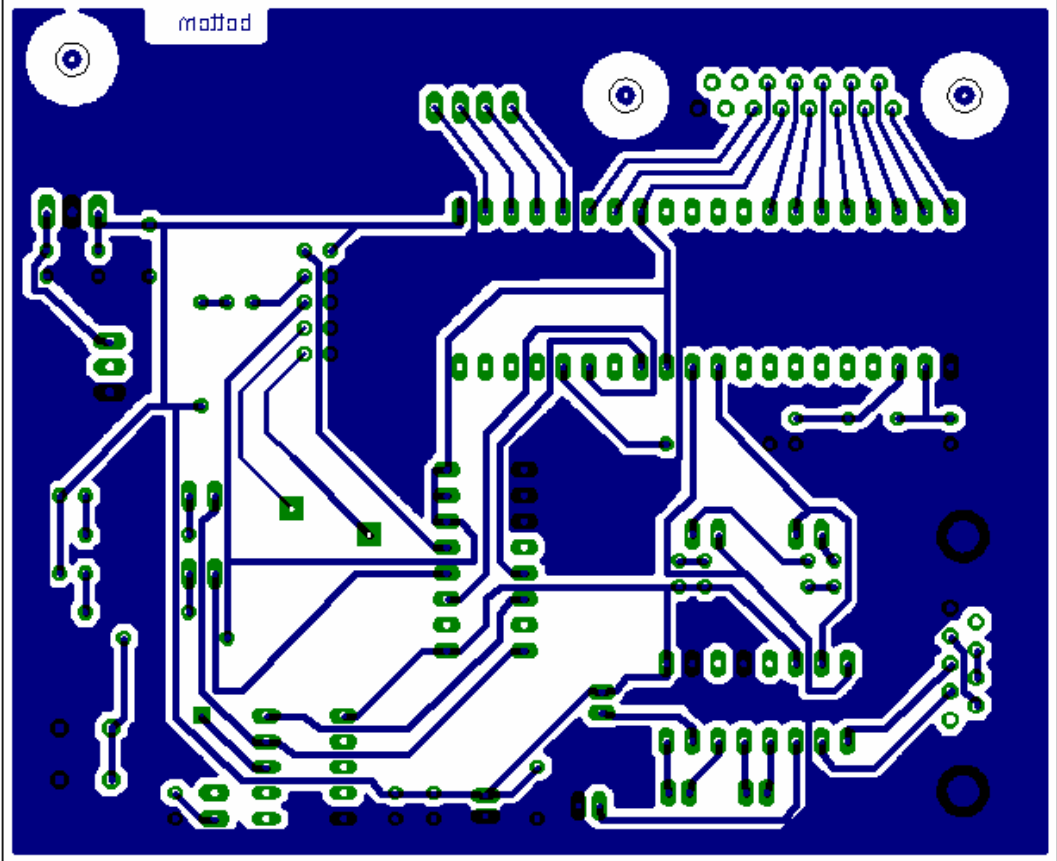


Abb. 7-30: Unterseite des Platinen-Layouts (Bottom-Layer)

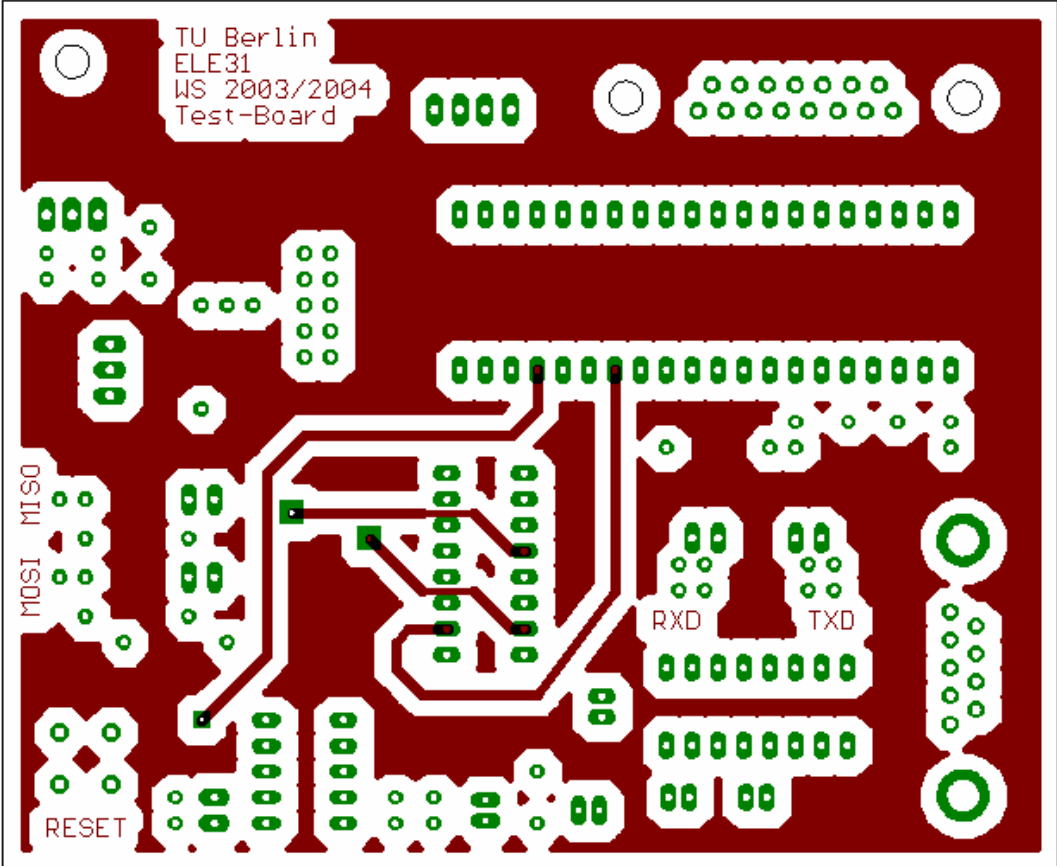


Abb. 7-31: Oberseite des Platinen-Layouts (Top-Layer)

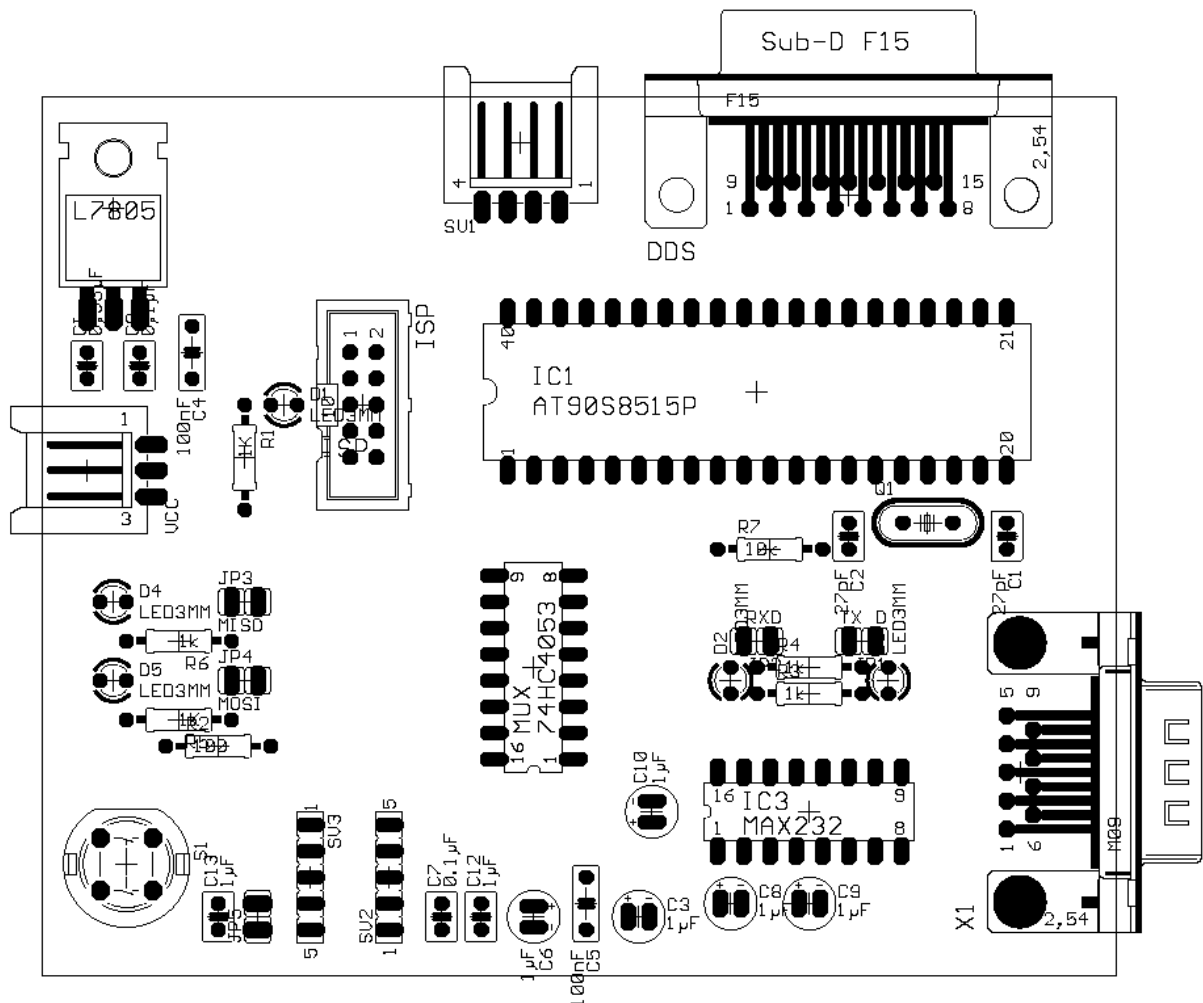


Abb. 7-32: Bestückungsansicht des Platinen-Layouts

7.3.6 Firmware

Die Firmware ist die Software im Flash-Programmspeicher des ATMELE-Mikrokontroller und steuert die Messung sowie verarbeitet die digitalisierten Messdaten zur seriellen Übertragung an den PC mittels serieller Schnittstelle RS-232. Dazu ist in Abbildung 7-33 der Programmablaufplan dargestellt.

Zur Programmierung der Firmware wird ein Assembler der Firma ATMELE namens AVR Studio eingesetzt. Das AVR Studio enthält weiterhin einen Debugger zur Simulation des Assembler-Programms und ein Programm zur Übertragung der kompilierten Binärdatei in den Flash-Programmspeicher des ATMELE-Mikrokontrollers.

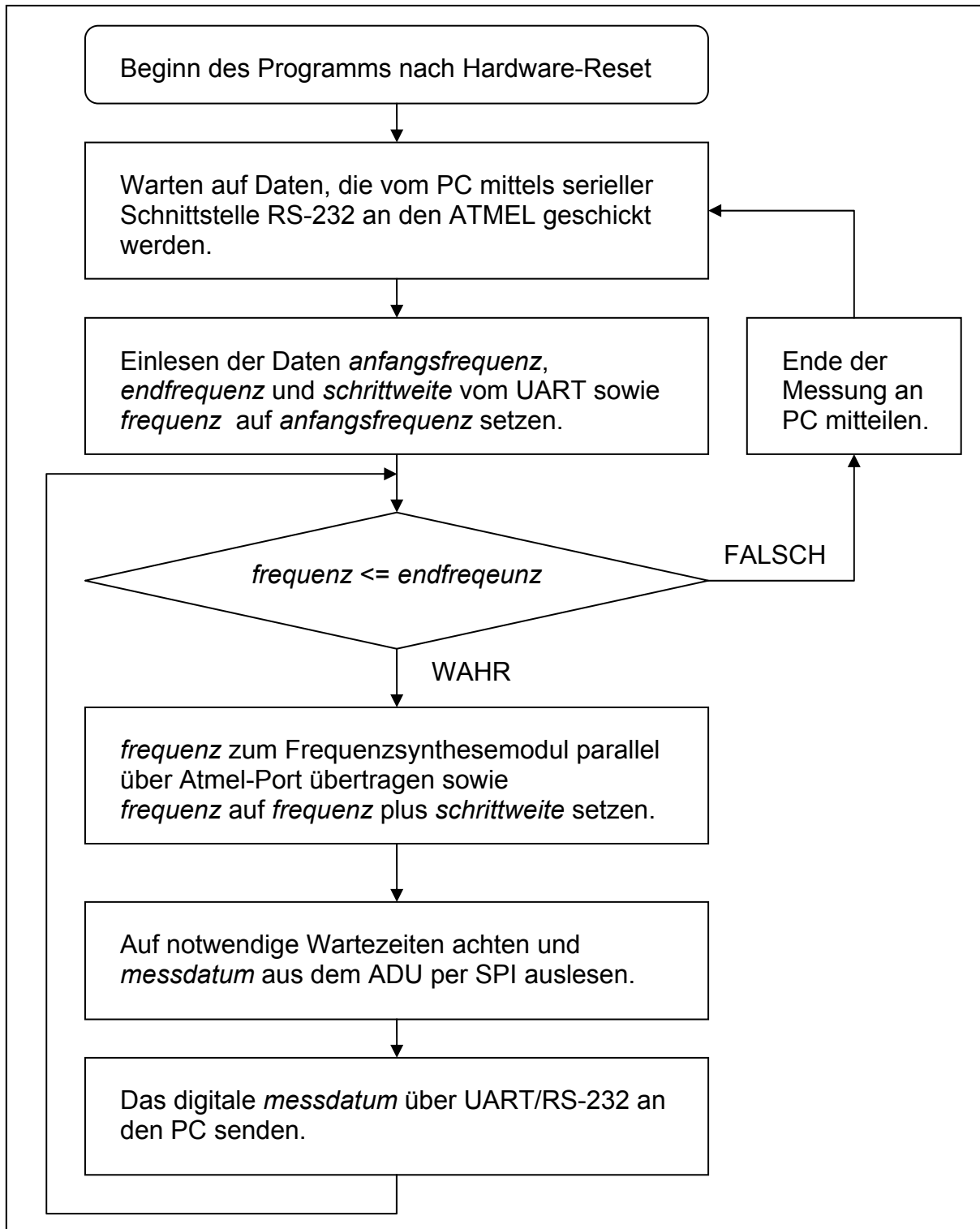


Abb. 7-33: Programmablaufplan für die Steuerung und Verarbeitung der Messung durch den ATMEL-Mikrokontroller

Implementierung von Teilaspekten der Firmware

Bisher erfolgt die Einarbeitung in Teilaspekte des Gesamtprogramms der Firmware mit Hilfe des Assemblers aus dem AVR Studio und dem STK500-Entwicklerboard.

UART – Die serielle Kommunikation zwischen PC (LabView) und Mikrokontroller wurde mit dem UART-Port des ATMELs realisiert. Wir haben die serielle

Kommunikation in beiden Richtungen geprüft und den seriellen Empfang auf der Seite des Mikrokontrollers mit Hilfe eines Interrupt-Aufrufes implementiert.

Timer – In Abhängigkeit der Dauer von möglichen Einschwingzeiten der Messstrecke muss das Programm möglicherweise eine Wartezeit beachten. Dies geschieht mit Hilfe des im ATMEL-Mikrokontroller eingebauten Zeitgebers (Timer). Auf dem Mikrokontroller stehen 8-bit und 16-bit Zeitgeber zur Verfügung. Der Unterschied besteht in der Genauigkeit und in der maximalen Zeitdauer der Messung. Wir haben uns zuerst für den 8-bit Zeitgeber entschieden. Somit ist die maximale Wartezeit auf $255 \cdot 8 \text{MHz} / 1024$ beschränkt. Diese Wartezeit sollte ausreichend sein.

SPI-Schnittstelle – Die Benutzung der SPI-Schnittstelle des ATMEL-Mikrokontrollers wurde in Assembler implementiert, aber noch nicht vollständig getestet. Umfassende Tests hierfür können erst bei Vorhandensein des Test-Boards mit dem möglichen Zugriff über SPI auf den ADU über die ADU-Adapter erfolgen.

Parallele DDS-Schnittstelle – Die Routine für die parallele Programmierung des DDS-Chips wurde in Assembler theoretisch implementiert. Die Richtigkeit der Routine kann in einem sehr frühen Stadium des Gesamtprojektes mit einem Logik-Analysator und den Timing-Informationen aus dem Datenblatt des DDS-Chips überprüft werden. Dennoch bleiben Tests mit dem richtigen DDS-Chip und dem Frequenzsynthesemodul nicht erspart.

Probleme der Implementierung

Während der Erarbeitung und Tests der Assembler-Routinen traten die folgenden Probleme auf.

UART – Für die Kommunikation des PCs mit dem UART des ATMELs über RS-232 müssen am PC die folgenden Einstellungen der seriellen Schnittstelle beachtet werden. Es traten Probleme mit der Datenübertragung für den Fall von eingeschaltetem Hardware-Protokoll auf. Die Anzahl der Bits pro Sekunde (bps) kann in Abstimmung mit der Einstellung der Baudrate im Mikrokontroller erhöht werden. Eine zu schnelle Übertragung kann aufgrund fehlender Fehlerkontrolle zu fehlerhaften Messdaten im PC führen. Um hier die Möglichkeiten festzustellen sind mit dem Test-Board weitere Messungen notwendig. Eine Bitrate von 19.200 bps sollte unbedingt realisierbar sein, damit genügend Messdaten für den gesamten aufzunehmenden Frequenzbereich des Spektrums innerhalb der realisierbaren Analyse-Zeit auf den PC übertragen werden können.

Das Steuerregister für die Baudrate (UBRR) des Mikrokontrollers kann mit Hilfe der folgenden Formel für eine gegebene Taktfrequenz f_T und einer gegebenen Bitrate R in bps bestimmt werden oder in einer Tabelle dem Datenblatt des ATMEL-Mikrokontrollers entnommen werden.

$$UBRR = \frac{f_T}{16 \cdot R - 1}$$

Es ist offensichtlich, dass die Taktfrequenz also ein Vielfaches der Bitrate sein sollte. Für eine 8-MHz-Taktfrequenz sind die vordefinierten Bitraten der seriellen Schnittstelle nur mit einer gewissen Abweichung realisierbar. Für eine Taktfrequenz von 7,3728 MHz ist die Realisierung der Bitraten ohne Fehler möglich. Wenn

aufgrund der bisherigen Wahl von 8-MHz als Taktfrequenz zu viele Fehler in der seriellen Datenübertragung entstehen, wird nachträglich der Austausch des Quarzes Q1 zu erfolgen haben.

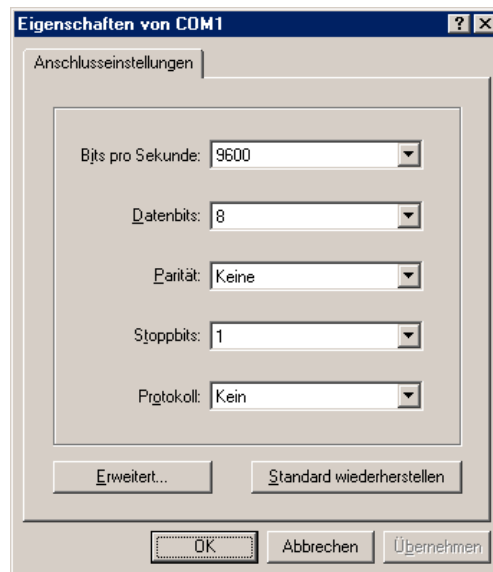


Abb. 7-34: Einstellungen der seriellen Schnittstelle am PC

Initialisierung des Stapelspeichers (Stack) – Dem Mikrokontroller dient der Stack hauptsächlich dazu Rücksprungadressen beim Aufruf von Unterprogrammen zu speichern, damit der Mikrokontroller nach Abarbeitung des Unterprogramms die Stelle kennt, zu die er zurückkehren muss. Weiterhin wird der Stapelspeicher zur Sicherung von Registerinhalten verwendet, wenn Unterprogramme oder Interrupts aufgerufen werden. Wenn beispielsweise im Hauptprogramm die Register R16, R17 und R18 verwendet werden, ist es unerwünscht, wenn diese Register durch aufgerufene Unterprogramme beeinflusst werden. Auf die korrekte Initialisierung des Stapelspeichers muss dringend geachtet werden. Dies hatten wir in frühen Assembler-Routinen vergessen und somit Laufzeitfehler produziert.

Auflösung der Frequenzschrittweite – Die minimale Schrittweite zwischen zwei Frequenzen beträgt für die DDS $60 \text{ MHz} / 2^{32} = 0,014 \text{ Hz}$. Für den Fall eines maximalen Frequenzbereiches zwischen 0-100 MHz könnten Messdaten für 7142857142 Frequenzschritte aufgenommen werden. Bei Annahme einer Wartezeit von 1 ms beträgt die Zeit des Messvorgangs des Spektrums für maximale Auflösung 7142857 sek. = 1984 h = 82 Tage. Diese Zeit des Messvorgangs ist unrealistisch und da viele Messsignale in der Praxis kein stationäres Verhalten aufweisen auch messtechnisch nicht interessant. Daher sollte die Frequenzschrittweite begrenzt werden. Für eine ausreichend genaue Darstellung des Spektrums mit der Software auf dem PC sind nach Überlegungen der gesamten Gruppe ca. 1000 Messdaten für beliebige Frequenzbereiche ausreichend. Somit ist eine Aufnahme des Spektrums in befriedigender Zeitdauer möglich.

Interrupts – Bei bestimmten Ereignissen wird im Mikrokontroller ein Interrupt ausgelöst. Dabei werden die gerade abgearbeiteten Anweisungen bei Freigabe von Interrupts unterbrochen und die entsprechende Interrupt-Routine aufgerufen. Nach Abarbeitung der Interrupt-Routine wird zur vorherigen Anweisung im Programm zurückgekehrt und die Abarbeitung fortgesetzt.

Bei dem ATMEL-Mikrocontroller kann ein Interrupt beispielsweise ausgelöst werden, wenn

- eine Änderung eines Pegelzustandes an einem bestimmten Eingangs-Pin erfolgt,
- eine vorher festgelegte Zeitspanne abgelaufen ist (Timer) oder
- Daten von einer seriellen Übertragung im UART vorliegen.

Zur Behandlung von Interrupts sind im Assembler-Programm entsprechende Interrupt-Routinen zu programmieren. Dabei muss dem Mikrocontroller die Zuordnung der Sprungadresse der Interrupt-Routine zu dem jeweiligen Interrupt mittels Initialisierung der Interrupt-Vektortabelle mitgeteilt werden.

Die Benutzung von Interrupts hat den großen Vorteil, dass das Programm völlig unbeeinflusst weiterläuft, während der Mikrocontroller auf Daten vom UART wartet. Auf diese Weise können mehrere Aktionen quasi gleichzeitig ausgeführt werden, da das Programm nur kurz unterbrochen werden muss, um die empfangenen Daten zu verarbeiten. In unserem Programm haben wir die Interrupts für den Datenempfang am UART implementiert. Weiterhin wurde auch ein Interrupt für den „Overflow Flag“ des Timer realisiert, um das Überlauf-Problem zu behandeln.

Weitere Aufgaben

Sobald das Test-Board als erster Realisierungsschritt des Steuerungs- und Verarbeitungsmoduls vorliegt, wird die Firmware insgesamt sukzessive in Assembler implementiert und die Routinen auf Korrektheit überprüft.

Das Datenformat des DDS-Chips mit einem 32-Bit-Wort für die Einstellung der zu synthetisierenden Frequenz sowie weiteren 6 Bits zur Steuerung muss in der Firmware implementiert werden. Dabei tritt das Problem auf, dass der ATMEL-Mikrocontroller nur 8-Bit-Register zur Verfügung stellt. Somit müssen Routinen für die Erstellung eines korrekten 40-Bit-Wortes zur Steuerung des DDS programmiert werden.

7.3.7 Software

Die Auswertung der durch den PC empfangenen digitalen Messdaten wird mittels der Software LabView vorgenommen. LabView bietet einen unkomplizierten Zugriff auf die serielle RS-232-Schnittstelle des PCs und bietet einfach zu realisierende vielfache Darstellungs- und Auswertungsmöglichkeiten.

Die Entwicklung der Software unter LabView muss noch erfolgen. Dabei soll die Parameterauswahl durch Benutzer, die Berechnung und Übermittlung der Anfangs- und Endfrequenz sowie der Frequenzschrittweite sowie die Visualisierung des aufgenommenen Spektrums mit Hilfe von LabView erfolgen. Das LabView-Programm muss gewährleisten, dass die an den ATMEL gesendeten Parameter zu einem korrekten Messvorgang führen. Die Software auf dem PC stellt also die Benutzerschnittstelle zum einfachen Spektrumanalysator dar.

Weiterhin ist bei genügend vorhandener Projektzeit die Implementierung zusätzlicher Auswertungsfunktionen möglich.

8 Zusammenfassung

Der Abschlussbericht markiert die Grenze zwischen Theorie und Praxis.

In den nächsten Wochen werden die Schaltungen aufgebaut, getestet, durchgemessen und von eventuellen Fehlern bereinigt. Dazu liegen von allen Teilgruppen Platinenlayouts vor. Die Schnittstellen zwischen den einzelnen Modulen sind mechanisch und elektrisch wohl definiert.

Es wird angestrebt, dass die Teilgruppen möglichst unabhängig von den anderen Teilgruppen ihre Schaltungen sowie die Firmware/Software testen können. So sollen Probleme in den Modulen schneller erkannt und lokalisiert werden können. Weiterhin sollen die Probleme einer Teilgruppe nicht andere Teilgruppen innerhalb der Testphase der Module beeinflussen.

Darüber hinaus arbeiten alle Teilgruppen gemeinsam am Gesamtprojekt. Die gemeinsame Problemlösung und Hilfestellungen über die Teilgruppen hinweg lassen jeden Labortermin am Mittwoch zu einem Ort des regen Austauschs von Ideen und Vorschlägen werden.

9 Literaturverzeichnis

- [1] H. Bernstein: Das Eagle PCB-Designer Handbuch. Franzis, 2001
- [2] H. Bernstein: Elektronik-Hobby. Richard Pflaum Verlag München, 1982
- [3] R. Graf: 300 Oszillatoren. 4. Auflage, Elektor, 2002
- [4] R. Heinemann: Einführung in die Elektronik Simulation. Hanser, 3. Auflage, 2001
- [5] B. Kainka: Handbuch der analogen Elektronik. Franzis, 2000
- [6] K. Lipinski: Lexikon der Datenkommunikation. mitp-Verlag, 2002
- [7] U. Naundorf: Analoge Elektronik, Hüthig Verlag. Heidelberg, 2001
- [8] B. Neubig und W. Briese: Das große Quarzkochbuch. Franzis, 1997
- [9] P. Noll: Skript Signale und Systeme. TU-Berlin, 1999
- [10] D. Nährmann: Das große Werkbuch Elektronik Band 1-4. Franzis, 1998
- [11] D. Nährmann: Professionelle Schaltungstechnik Band 1-12. Franzis, 1996
- [12] R. Orglmeister: Skript Analog- und Digitalelektronik. TU Berlin, 2002
- [13] K. Petermann: Arbeitsblätter zur Vorlesung Hochfrequenztechnik II. TU-Berlin, 1998
- [14] W. Priesterath: Elektronik als Hobby. Falken, 1988
- [15] U. Tietze und Ch. Schenk: Halbleiter-Schaltungstechnik, 11. Auflage, Springer-Verlag, 1999
- [16] W. Trampert: AVR-RISC Mikrokontroller. Franzis, 2000
- [17] O. Zinke und H. Brunswig: Hochfrequenztechnik 1. Springer-Verlag, 6. Aufl., 2000
- [18] O. Zinke und H. Brunswig: Hochfrequenztechnik 2. Springer-Verlag, 5. Aufl., 1999

A Anhang

A.1 Bauteilliste des Frequenzsynthese-Moduls

Bauteil	Größe	Footprint	Beschreibung
C 01	0,33uF	1206	Capacitor
C 02	0,1uF	603	Capacitor
C 03	0,1uF	603	Capacitor
C 04	0,1uF	603	Capacitor
C 05	470pF	603	Capacitor
C 06	100pF	603	Capacitor
C 07	15pF	603	Capacitor
C 08	100pF	603	Capacitor
C 09	47pF	603	Capacitor
C 10	33pF	603	Capacitor
C 11	68pF	603	Capacitor
C 12	33pF	603	Capacitor
C 13	22pF	603	Capacitor
C 14	68pF	603	Capacitor
C 15	0,33uF	1206	Capacitor
C 16	0,1uF	603	Capacitor
C 17	0,1uF	603	Capacitor
C 18	0,1uF	603	Capacitor
C 19	1nF	603	Capacitor
C 20	1nF	603	Capacitor
C 21	0,1uF	603	Capacitor
C 22	1uF	603	Capacitor
C 23	1nF	603	Capacitor
C 24	1nF	603	Capacitor
C 25	10nF	603	Capacitor
C 26	0,1uF	603	Capacitor
C 27	0,1uF	603	Capacitor
C 28	8p	603	Capacitor
C 29	10nF	603	Capacitor
C 30	0,1uF	603	Capacitor
C 31	10nF	603	Capacitor
DDS Control	DB15	DB15/M	SUB-D Stecker
DF 1	15V DC	DF	Durchführungskondensator
IC 1	AD9850BRS	SSO-G28/E4.3	125 MHz Complete DDS Synthesizer
IC 2	AD9901 PLCC	PLCC20	Phasen-Frequenz-Vergleicher
IC 3	AD790 SOIC	SO-8	Resistor
IC 4	MC12026	SO-8	Teiler
IC 5	MC34072	SO-8	Dual OP
IC 6	SRA-1WH	SBL-1	Ringdiodenmischer von Minicircuits
IC 7	POS-300	POS	VCO von Minicircuits
L 1	10uH	603	Inductor
L 2	1,2uH	805	Inductor

L 3	680nH	805	Inductor
L 4	820nH	805	Inductor
R 01	3.9k	603	Resistor
R 02	47	603	Resistor
R 03	180	603	Resistor
R 04	100	603	Resistor
R 05	100k	603	Resistor
R 06	100k	603	Resistor
R 07	200	603	Resistor
R 08	200	603	Resistor
R 09	100	603	Resistor
R 10	150	603	Resistor
R 11	36	603	Resistor
R 12	150	603	Resistor
R 13	250	603	Resistor
R 14	20	603	Resistor
R 15	250	603	Resistor
R 16	120	603	Resistor
R 17	330	603	Resistor
R 18	150	603	Resistor
R 19	36	603	Resistor
R 20	150	603	Resistor
R 21	16	603	Resistor
R 22	16	603	Resistor
R 23	16	603	Resistor
R 24	1k	603	Resistor
R 25	7,3	603	Resistor
R 26	10k	SO-G3/C2.5	Resistor
R 27	250	603	Resistor
R 28	20	603	Resistor
R 29	250	603	Resistor
R 30	1,1k	603	Resistor
R 31	50	603	Resistor
REG 1	12V	TO220S	Linearregler
REG 2	5V	TO220S	Linearregler
SMA 1	Ref.	SMA	SMA Flanschbuchse weiblich
SMA 2	RF	SMA	SMA Flanschbuchse weiblich
SMA 3	IF	SMA	SMA Flanschbuchse weiblich
T 1	MSA0886	MSA	MMIC 50Mhz - 6GHz

Tabelle A-1: Bauteilliste des Frequenzsynthese-Moduls

A.2 Bauteilliste des Frequenzanalyse-Moduls

Bauteil	Größe	Footprint	Beschreibung	Hersteller
7805	78XXS	SO220	5V Festspannungsregler	Motorola
7806	78XXS	SO220	6V Festspannungsregler	Motorola
7812	78XXS	SO220	12V Festspannungsregler	Motorola
C01	0,33uF	CT3216	SMD-Kondensator-Tantal	
C02	0,1uF	603	SMD-Keramik-Kondensator	
C03	0,33uF	CT3216	SMD-Kondensator-Tantal	
C04	0,1uF	603	SMD-Keramik-Kondensator	
C05	0,33uF	CT3216	SMD-Kondensator-Tantal	
C06	0,1uF	603	SMD-Keramik-Kondensator	
C07	47pF	603	SMD-Keramik-Kondensator	
C08	0,1uF	603	SMD-Keramik-Kondensator	
C09	10nF	603	SMD-Keramik-Kondensator	
C10	0,1uF	603	SMD-Keramik-Kondensator	
C11	0,1uF	603	SMD-Keramik-Kondensator	
C12	0,1uF	603	SMD-Keramik-Kondensator	
C13	??	603	SMD-Keramik-Kondensator	
C14	??	603	SMD-Keramik-Kondensator	
C15	8pF	603	SMD-Keramik-Kondensator	
C16	0,1uF	603	SMD-Keramik-Kondensator	
C17	0,1uF	603	SMD-Keramik-Kondensator	
C18	47pF	603	SMD-Keramik-Kondensator	
C19	47pF	603	SMD-Keramik-Kondensator	
C20	10uF	CT6032	SMD-Kondensator-Tantal	
C21	0,1uF	603	SMD-Keramik-Kondensator	
C22	0,1uF	603	SMD-Keramik-Kondensator	
C24	10pF	603	SMD-Keramik-Kondensator	
C25	0,1nF	603	SMD-Keramik-Kondensator	
C26	330pF	603	SMD-Keramik-Kondensator	
C28	10pF	603	SMD-Keramik-Kondensator	
C29	47pF	603	SMD-Keramik-Kondensator	
C30	1nF	603	SMD-Keramik-Kondensator	
C31	0,1uF	603	SMD-Keramik-Kondensator	
C32	0,1uF	603	SMD-Keramik-Kondensator	
C33	330pF	603	SMD-Keramik-Kondensator	
C34	30pF	CTRIM3018_12	SMD-Trimmenkondensator	Murata
C35	30pF	CTRIM3018_12	SMD-Trimmenkondensator	Murata
DF1			Durchführungskondensator	Kerko
FLT	10,7MHz	3PIN	10,7 MHz ZF-Filter	Murata
IC1	SA605D	SO20L	FM-Mischer	Philips Semiconductor
IC2	VCO POS-300p	8PIN	VCO	Mini-Circuit
IC3	AD9901	PLCC20	Digitaler Phasenvergleichler	Analog Devices
IC4	MAX412	SO8	Dual Opv	Maxim
IC5	AD790SO8	SO8	Komperator	Analog Devices
IC6	MC12026	SO8	Frequenzteiler	Motorola
IC7	AD790SO8	SO8	Komperator	Analog Devices
L01	82nH	603	SMD-Spule	
L02	8,2uH	603	SMD-Spule	

L03	8,2uH	603	SMD-Spule	
L04	82nH	603	SMD-Spule	
SMA01	SMA	SMA	SMA-Buchse	
SMA02	SMA	SMA	SMA-Buchse	
SM03	SMA	SMA	SMA-Buchse	
R01	47	603	SMD-Widerstand	
R05	??	603	SMD-Widerstand	
R06	16	603	SMD-Widerstand	
R07	16	603	SMD-Widerstand	
R08	16	603	SMD-Widerstand	
R09	47	603	SMD-Widerstand	
R10	1,1k	603	SMD-Widerstand	
R11	10k	RTRIMTSM53YL	Timmerpotentiometer	Vishay
R12	180	603	SMD-Widerstand	
R13	1k	603	SMD-Widerstand	
R14	250	603	SMD-Widerstand	
R15	1,5k	603	SMD-Widerstand	
R16	20	603	SMD-Widerstand	
R17	100k	603	SMD-Widerstand	
R18	250	603	SMD-Widerstand	
R19	96	603	SMD-Widerstand	
R20	72	603	SMD-Widerstand	
R21	96	603	SMD-Widerstand	

Tabelle A-2: Bauteilliste des Frequenzanalyse-Moduls

A.3 Bauteilliste des Steuerungs- und Verarbeitungsmoduls

Bauteil	Größe	Footprint
C1	27pF	C-EU025-030X050
C2	27pF	C-EU025-030X050
C3	1µF	CPOL-EUE2-5
C4	100nF	C-EU050-025X075
C5	100nF	C-EU050-025X075
C6	1µF	CPOL-EUE2-5
C7	0.1µF	C-EU025-030X050
C8	1µF	CPOL-EUE2-5
C9	1µF	CPOL-EUE2-5
C10	1µF	CPOL-EUE2-5
C12	1µF	C-EU025-030X050
C13	1µF	C-EU025-030X050
CI	0,33µF	C-EU025-030X050
CO	0,1µF	C-EU025-030X050
D1	LED3MM	LED3MM
D2	LED3MM	LED3MM
D3	LED3MM	LED3MM
D4	LED3MM	LED3MM
D5	LED3MM	LED3MM
DDS	15-polige Sub-D-Buchse	F15H
IC1	AT90S8515P	AT90S8515P
IC3	MAX232	MAX232

ISP	10-poliger Wannenstecker	ML10
JP1	TXD	JP1Q
JP2	RXD	JP1Q
JP3	MISO	JP1Q
JP4	MOSI	JP1Q
JP5	Zusätzl. Kapaz. für ADU	JP1Q
L7805	5V	78XXT
MUX	74HC4053	4053N
Q1	8 MHz	HC49/S
R1	1k Ω	R-EU_0207/10
R2	100 Ω	R-EU_0207/10
R3	1k Ω	R-EU_0207/10
R4	1k Ω	R-EU_0207/10
R5	1k Ω	R-EU_0207/10
R6	1k Ω	R-EU_0207/10
R7	10k Ω	R-EU_0207/10
S1	Reset-Taster	DT6
SV1	ZF-Filter	L04P
SV2	ADU-Adapter	FE05-1
SV3	ADU-Adapter	FE05-1
VCC	3-poliger Printstecker (15V)	L03P
X1	9-poliger Sub-D-Stecker	M09HP

Tabelle A-2: Bauteilliste des Steuerungs- und Verarbeitungsmoduls